

Examen CCIAC, Juin 2006

Conception de Circuits Intégrés Analogique CMOS

Master ACSI, 1^{ère} Année

Cours : Hassan Aboushady

- Durée 2 heures
- Tous les documents sont autorisés
- Pour vos calculs, utiliser les paramètres de la technologie CMOS données dans le Tableau 2.1.
- $\epsilon_{ox} = 34.5e-12$ F/m
 $c_{ox} = \epsilon_{ox} / t_{ox}$

EXERCICE I :

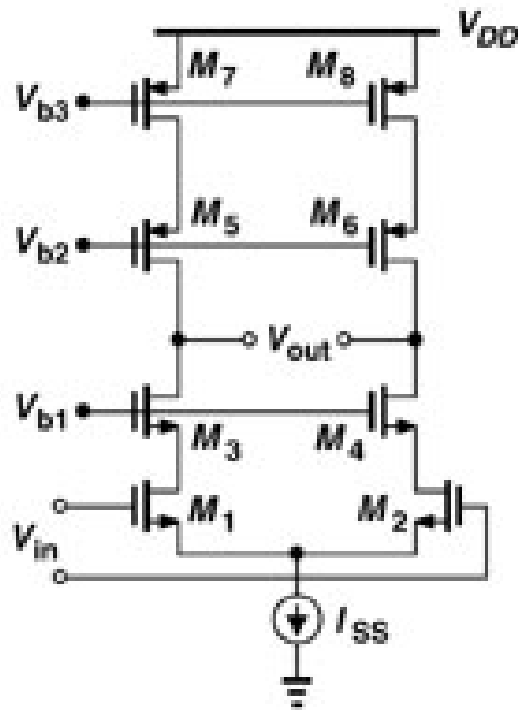


Figure 1

Dans le schéma de la Figure 1, on supposera que tous les transistors fonctionnent dans le régime saturé et qu'ils ont tous la même tension effective de grille, $V_{EG} = V_{GS} - V_{TH} = 0.3V$. Le courant de polarisation, $I_{SS} = 200\mu A$. Nous allons supposer que la capacité totale au nœud de sortie est égale à : $C_{out1} = C_{out2} = 3 pF$.

- (1) Calculer le gain petit signal de cet amplificateur.
- (2) En considérant uniquement le pôle dû au nœud de sortie, trouver la fréquence en rad/sec et en Hz de ce pôle.
- (3) Trouver la fréquence de gain unitaire de cet amplificateur.
- (4) Cet amplificateur est utilisé dans une boucle de contre-réaction avec un gain unitaire (unity-gain feedback loop), calculer la marge de phase ?
Tracer un diagramme de bode approximatif de ce système (amplitude et phase).
- (5) Si nous voulons obtenir un gain petit-signal de 2000. Quel doit-être la tension effective de grille des transistors afin d'obtenir ce gain.
- (6) Recalculer la fréquence du pôle dû au nœud de sortie et la fréquence de gain unitaire dans ces conditions.

EXERCICE II :

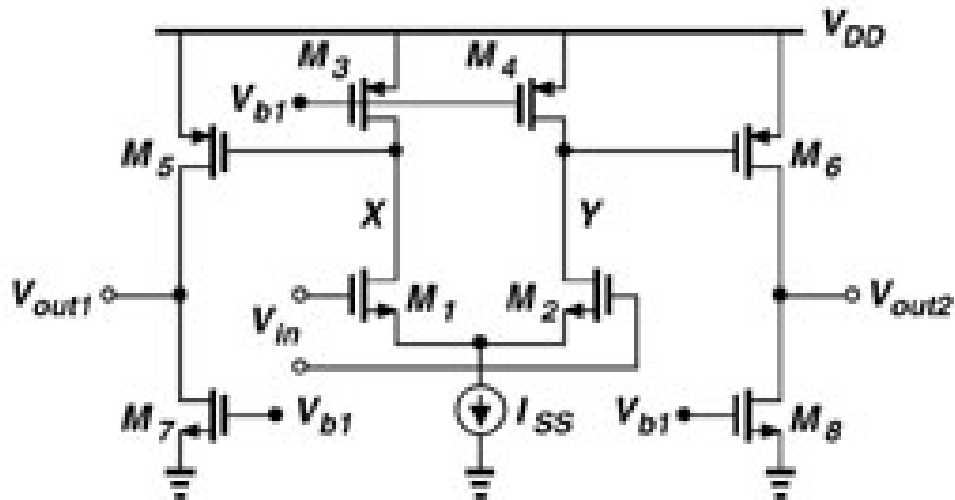


Figure 2

Dans le schéma de la Figure 2. On supposera que tous les transistors fonctionnent dans le régime saturé et qu'ils ont tous la même tension effective de grille, $V_{EG} = V_{GS} - V_{TH} = 0.2 V$. Le courant de polarisation du 1^{er} étage, $I_{SS} = 10\mu A$, et le courant de polarisation du 2^{ème} étage est égal à $100\mu A$. Nous allons supposer que les capacités totales aux nœuds de sorties du 1^{er} et 2^{ème} étage sont respectivement égales à : $C_X = C_Y = 0.2pF$ et $C_{out1} = C_{out2} = 1 pF$.

- (1) Calculer le gain petit signal de cet amplificateur 2-étages.
- (2) Trouver les fréquences en rad/sec et en Hz des pôles dus aux nœuds Y et V_{out} .
- (3) Cet amplificateur est utilisé dans une boucle de contre-réaction avec un gain unitaire (unity-gain feedback loop), calculer la marge de phase ?
Tracer un diagramme de bode approximatif de ce système (amplitude et phase).
- (4) On rajoute une capacité de compensation $C_c = 0.1pF$ entre les nœuds Y et V_{out} . Quelle est la nouvelle fréquence des pôles dus aux nœuds Y et V_{out} ? Calculer la marge de phase dans ces conditions ?
Tracer un diagramme de bode approximatif de ce système (amplitude et phase).

Table 2.1 Level 1 SPICE Models for NMOS and PMOS Devices.

NMOS Model			
LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = 9e+14	LD = 0.08e-6	UO = 350	LAMBDA = 0.1
TOX = 9e-9	PB = 0.9	CJ = 0.56e-3	CJSW = 0.35e-11
MJ = 0.45	MJSW = 0.2	CGDO = 0.4e-9	JS = 1.0e-8
PMOS Model			
LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = 5e+14	LD = 0.09e-6	UO = 100	LAMBDA = 0.2
TOX = 9e-9	PB = 0.9	CJ = 0.94e-3	CJSW = 0.32e-11
MJ = 0.5	MJSW = 0.3	CGDO = 0.3e-9	JS = 0.5e-8

VTO: threshold voltage with zero V_{SB} (unit: V)

GAMMA: body effect coefficient (unit: $V^{1/2}$)

PHI: $2\Phi_F$ (unit: V)

TOX: gate oxide thickness (unit: m)

NSUB: substrate doping (unit: cm^{-3})

LD: source/drain side diffusion (unit: m)

UO: channel mobility (unit: $cm^2/V/s$)

LAMBDA: channel-length modulation coefficient (unit: V^{-1})

CJ: source/drain bottom-plate junction capacitance per unit area (unit: F/m^2)

CJSW: source/drain sidewall junction capacitance per unit length (unit: F/m)

PB: source/drain junction built-in potential (unit: V)

MJ: exponent in CJ equation (unitless)

MJSW: exponent in CJSW equation (unitless)

CGDO: gate-drain overlap capacitance per unit width (unit: F/m)

CGSO: gate-source overlap capacitance per unit width (unit: F/m)

JS: source/drain leakage current per unit area (unit: A/m^2)