

Partiel CCIAC, Mars 2007

## Conception de Circuits Intégrés Analogique CMOS

Master ACSI, 1<sup>ère</sup> Année

Cours : Hassan Aboushady

- Durée 2 heures
- Document autorisé : 1 feuille A4
- Pour vos calculs, utiliser les paramètres de la technologie CMOS données dans le Tableau 2.1.
- $\epsilon_{ox} = 34.5e-12$  F/m  
 $c_{ox} = \epsilon_{ox} / t_{ox}$

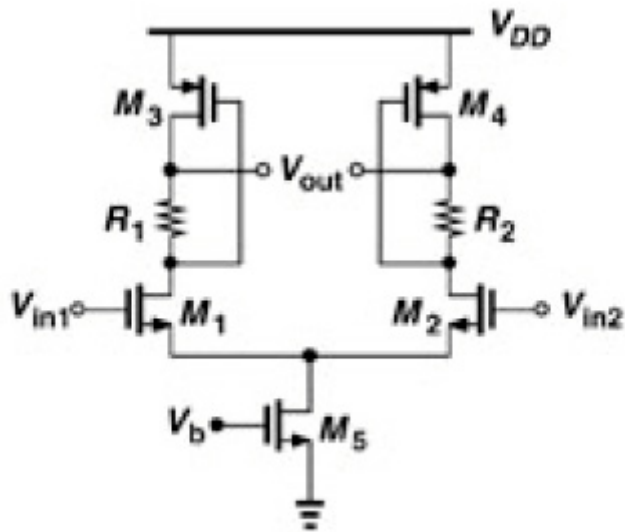


Figure. I

**EXERCICE I :**

En supposant que tous les transistors sont polarisés dans le régime saturé et en considérant l'effet de modulation du canal, trouvez, à partir du schéma équivalent petit signal, le gain en tension différentiel du circuit de la figure 1.

**EXERCICE II :**

**II.1** La Figure II, illustre 3 manières différentes pour faire le dessin des masques (layout) d'une paire différentielle. Lequel de ces trois layouts diminue au mieux les erreurs d'appariements (améliore le « matching »).

Classez ces trois « layouts » du meilleur au pire.  
Justifiez votre réponse.

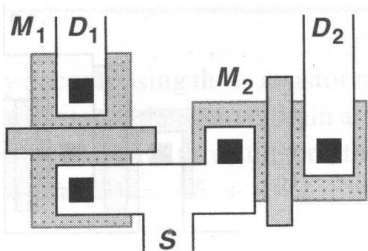
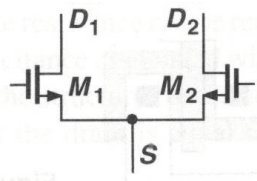


Figure II.1(a)

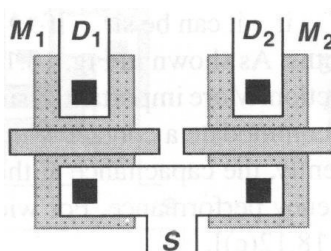


Figure II.1(b)

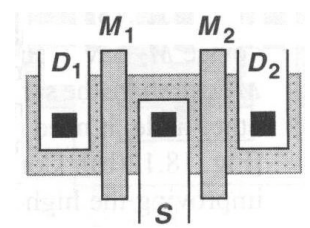


Figure II.1(c)

**II.2** A quoi sert le VIA Metal1-Metal2 illustré dans la figure II.2 .

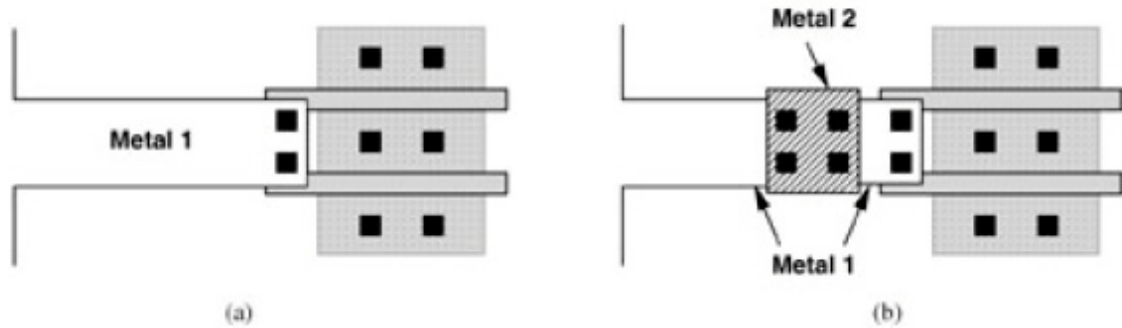


Figure II.2

**II.3** Citez 2 avantages à dessiner le masque (layout) d'un transistor comme dans la figure II.3(b) par rapport au masque de la figure II.3(a).

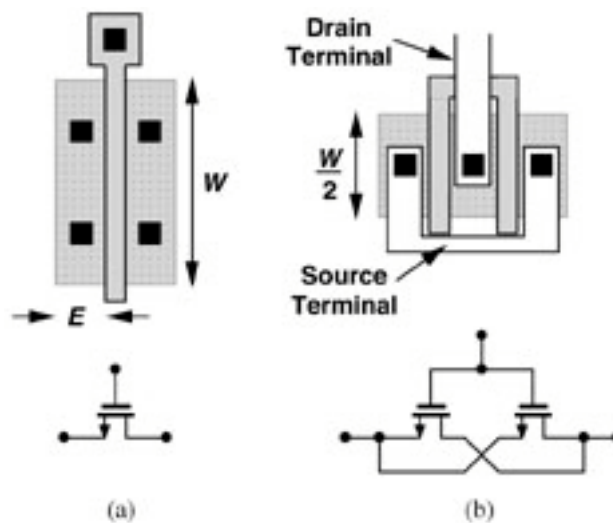


Figure II.3

### EXERCICE III :

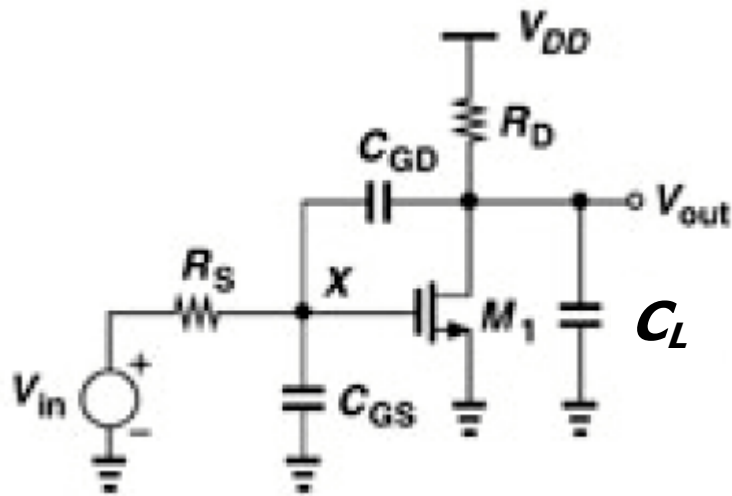


Figure III

Dans le schéma de la Figure III, on supposera que le transistor fonctionne dans le régime saturé.

- En utilisant le théorème de Miller, trouvez des expressions pour les pôles de circuit de la Figure III.
- Si  $V_x = 1\text{V}$ ,  $I_{ds} = 1\text{mA}$ ,  $R_D = 2\text{K}$ ,  $R_S = 1\text{K}$  et  $L = 1\ \mu\text{m}$ , trouvez la largeur  $W$  du transistor  $M_1$ .
- En négligeant les capacités avec le bulk et les capacités de recouvrement (overlapping), calculez la position des pôles de ce circuit pour  $C_L = 0\text{pF}$ .
- Tracez un diagramme de Bode approximatif du gain et de la phase de :  

$$H(s) = V_{out}(s) / V_{in}(s)$$
- Répétez (c) et (d) pour  $C_L = 3\text{pF}$ .  
 Commentez ces résultats.

**Table 2.1** Level 1 SPICE Models for NMOS and PMOS Devices.

---

NMOS Model			
LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = 9e+14	LD = 0.08e-6	UO = 350	LAMBDA = 0.1
TOX = 9e-9	PB = 0.9	CJ = 0.56e-3	CJSW = 0.35e-11
MJ = 0.45	MJSW = 0.2	CGDO = 0.4e-9	JS = 1.0e-8
PMOS Model			
LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = 5e+14	LD = 0.09e-6	UO = 100	LAMBDA = 0.2
TOX = 9e-9	PB = 0.9	CJ = 0.94e-3	CJSW = 0.32e-11
MJ = 0.5	MJSW = 0.3	CGDO = 0.3e-9	JS = 0.5e-8

---

VTO: threshold voltage with zero  $V_{SB}$  (unit: V)

GAMMA: body effect coefficient (unit:  $V^{1/2}$ )

PHI:  $2\Phi_F$  (unit: V)

TOX: gate oxide thickness (unit: m)

NSUB: substrate doping (unit:  $\text{cm}^{-3}$ )

LD: source/drain side diffusion (unit: m)

UO: channel mobility (unit:  $\text{cm}^2/\text{V/s}$ )

LAMBDA: channel-length modulation coefficient (unit:  $V^{-1}$ )

CJ: source/drain bottom-plate junction capacitance per unit area (unit:  $\text{F/m}^2$ )

CJSW: source/drain sidewall junction capacitance per unit length (unit:  $\text{F/m}$ )

PB: source/drain junction built-in potential (unit: V)

MJ: exponent in CJ equation (unitless)

MJSW: exponent in CJSW equation (unitless)

CGDO: gate-drain overlap capacitance per unit width (unit:  $\text{F/m}$ )

CGSO: gate-source overlap capacitance per unit width (unit:  $\text{F/m}$ )

JS: source/drain leakage current per unit area (unit:  $\text{A/m}^2$ )