

# TME5 -- Modèle VHDL de l'étage EXEC



## Contents

|   |          |
|---|----------|
| <b>Objectifs</b> . . . . .                            | <b>1</b> |
| <b>Exercices</b> . . . . .                            | <b>1</b> |
| Exercice 1 -- Modèle comportemental de EXEC . . . . . | <b>1</b> |
| Question 1 . . . . .                                  | <b>1</b> |
| Question 2 . . . . .                                  | <b>1</b> |

## Objectifs

- Faire un premier modèle comportemental de l'étage EXEC .
- Tester ce modèle.

## Exercices

### Exercice 1 -- Modèle comportemental de EXEC

Écrire dans un premier temps un modèle de l'étage EXEC n'incluant pas le modèle complet de la fifo à destination de [MEM]. Un modèle vide de la fifo va vous être fourni. Dans un second temps vous utiliserez un modèle fonctionnel de la fifo.

#### Question 1

Écrire le modèle VHDL de l'étage EXEC . Dans ce modèle vous allez instancier l'ALU et le *shifter* que vous avez écrit à l'occasion de la précédente séance. Vous allez également instancier la FIFO vide fournie qui constitue l'étage de pipeline entre EXEC et MEM .

Fichiers fournis :

- Interface du bloc EXEC : `exec_vide.vhdl`.
- Bloc FIFO : `fifo_72b.vhdl`.

#### Question 2

Écrire un fichier *test bench* permettant de valider votre modèle.