

# Comparateurs de tension CMOS

## Table des matières

<b>1</b>	<b>Concepts de base</b>	<b>3</b>
1.1	Définition	3
1.2	Classification et symbolisme	3
1.3	Caractérisation et indices de performance	3
1.3.1	Caractérisation statique	4
1.3.2	Caractérisation temporelle	5
1.3.3	Autres indices de performance	6
<b>2</b>	<b>La comparaison synchrone</b>	<b>7</b>
2.1	La bistabilité	8
2.1.1	Principe	8
2.1.2	Modélisation linéaire	9
2.2	Comparaison des différentes techniques d'amplification et concept ...	9
2.3	La métastabilité	10
2.3.1	Définition	10
2.3.2	Modélisation	11
2.4	La chaîne de comparaison	12
2.5	Classification	13
<b>3</b>	<b>Les modèles de calcul</b>	<b>13</b>
3.1	Modèles déterministes	13
3.2	Modèles statistiques	14
<b>4</b>	<b>Comparateurs synchrones compacts à déclenchement par les drains</b>	<b>16</b>
4.1	Le comparateur générique	16
4.1.1	Constitution et principe de fonctionnement	16
4.1.2	Analyse temporelle	17
4.1.3	Détermination analytique de la tension de décalage statique	19
4.1.4	Détermination analytique de la tension de décalage dynamique	22
4.1.5	M1/M2 en régime ohmique versus M1/M2 en régime saturé	24
4.1.6	Principes de dimensionnement	24
4.1.7	Performances et domaine d'application	27
4.2	Comparateur générique semi-dynamique à entrées différentielles	27
4.3	Comparateur semi-dynamique de Yukawa	29
4.3.1	Constitution et principe de fonctionnement	29
4.3.2	Détermination de la tension de décalage statique	30
4.3.3	Performances et domaine d'application	31
4.4	Comparateur dynamique de Lewis et Gray	31
4.4.1	Constitution et principe de fonctionnement du comparateur de ...	31
4.4.2	Détermination analytique de la tension de décalage	33
4.4.3	Performances et domaine d'application	35
4.5	Comparateur dynamique de Song	36
4.5.1	Constitution et principe de fonctionnement	36

4.5.2	Détermination analytique de la tension de décalage statique . . . .	36
4.5.3	Performances et domaine d'application . . . . .	38
<b>5</b>	<b>Comparateurs synchrones compacts à déclenchement par les sources</b>	<b>38</b>
5.1	Le comparateur générique semi-dynamique . . . . .	38
5.1.1	Constitution et principe de fonctionnement . . . . .	38
5.1.2	Analyse temporelle . . . . .	39
5.1.3	Détermination analytique de la tension de décalage . . . . .	41
5.1.4	Principe de dimensionnement, performances et ... . . . .	42
5.1.5	Variante avec source de courant . . . . .	42
5.1.6	Comparateurs avec entrées différentielles . . . . .	43
5.2	Le comparateur dynamique . . . . .	47
5.2.1	Constitution et principe de fonctionnement . . . . .	47
5.2.2	Détermination de la tension de décalage . . . . .	48
5.2.3	Principe de dimensionnement, performances et ... . . . .	49
<b>6</b>	<b>Comparateurs dynamiques synchrones non compacts ...</b>	<b>50</b>
6.1	L'amplificateur de lecture deux étages et deux sources de courant . . . .	50
6.2	L'amplificateur dynamique . . . . .	51
6.2.1	Constitution et principe de fonctionnement . . . . .	51
6.2.2	Détermination du gain dynamique . . . . .	52
6.2.3	Détermination de la tension de décalage . . . . .	53
6.2.4	Principe de dimensionnement . . . . .	54
6.2.5	Variantes topologiques . . . . .	55
6.3	Comparateur avec amplificateur dynamique N et latch de Song P . . . .	55
6.3.1	Constitution et principe de fonctionnement . . . . .	55
6.3.2	Détermination de la tension de décalage du latch . . . . .	57
6.3.3	Principes de dimensionnement . . . . .	58
6.3.4	Performances et domaine d'application . . . . .	58
6.4	Comparateur avec amplificateur dynamique N et latch de Song N . . . .	59
6.5	Comparateurs avec amplificateur dynamique et latch de Lewis-Gray . . .	60

# 1 Concepts de base

## 1.1 Définition

Un comparateur est un dispositif actif produisant en sortie un niveau logique 0 ou 1 selon que la valeur instantanée du signal analogique appliqué sur une entrée est inférieure ou supérieure à une tension de référence appliquée sur l'autre entrée. Un comparateur peut être vu comme un convertisseur analogique/numérique 1 bit. C'est un dispositif essentiel de l'électronique, il est utilisé pour la détection de niveau, le redressement de tension, ... , et surtout pour la conversion analogique/numérique puisque selon le type de convertisseur on peut utiliser de 1, pour un convertisseur à approximations successives, jusqu'à  $2^N - 1$  comparateurs pour une conversion directe (parallèle) sur N bits.

## 1.2 Classification et symbolisme

Un comparateur est asynchrone si le résultat de la comparaison est fournie directement et continuellement en fonction du signal d'entrée, ou synchrone si le résultat de la comparaison est généré à la suite de l'application d'un signal de commande (horloge). Il est à entrée simple ou différentielle, selon que la comparaison s'effectue entre deux signaux simples ou entre deux signaux différentiels, et il est à sortie simple ou complémentée si le résultat de la comparaison est fourni sans ou avec son complément. Les symboles correspondant sont représentés sur la *figure 1* pour les différents comparateurs asynchrones et sur la *figure 2* pour les différents comparateurs synchrones.

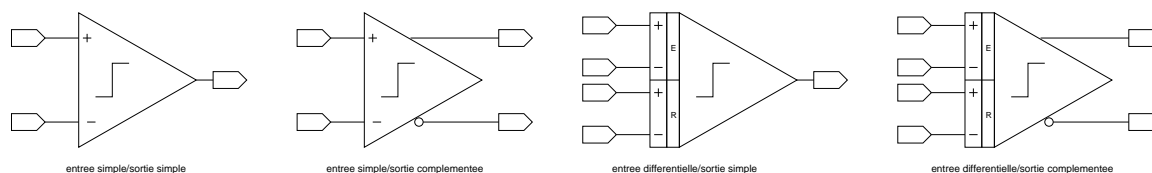


FIGURE 1 –

*Symbolisme des différents comparateurs asynchrones*

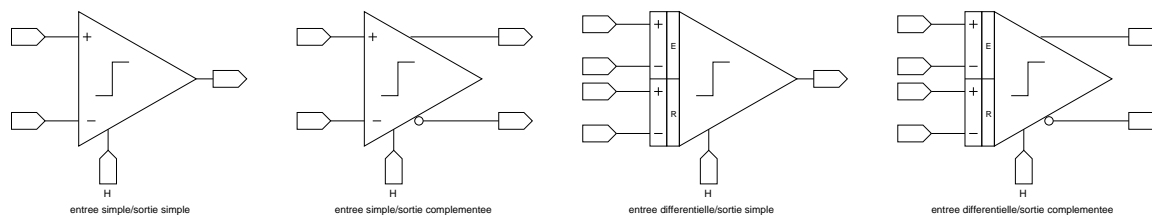


FIGURE 2 –

*Symbolisme des différents comparateurs synchrones*

## 1.3 Caractérisation et indices de performance

Un comparateur de tension idéal génère intantamment le niveau logique 1 correspondant à la tension de sortie  $VOH$  si le signal  $V_e$  (simple ou différentiel) appliqué

sur l'entrée positive est supérieur à la tension de référence  $V_r$  (simple ou différentielle) appliquée sur l'entrée négative, sinon, il génère le niveau logique 0 correspondant à la tension de sortie  $VOL$ . Il est complètement caractérisé par la caractéristique de transfert de la *figure 3*. Quant au comparateur réel, constitué de transistors MOS au gain intrinsèque fini, affectés d'erreurs d'appariement, de capacités intrinsèques non nulles, ..., il doit être caractérisé par un jeu d'indices de performances statiques et temporels.

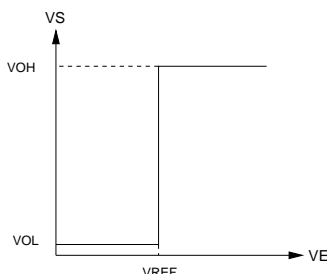


FIGURE 3 –

*Le comparateur idéal*

### 1.3.1 Caractérisation statique

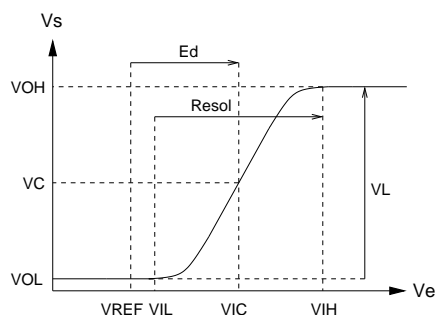


FIGURE 4 –

*Caractéristique statique du comparateur physique*

La caractéristique statique de transfert de la *figure 4*, permet de définir pour le comparateur trois niveaux de tensions de sortie :

- $VOH$  : tension de sortie haute correspondant au 1 logique
- $VOL$  : tension de sortie basse correspondant au 0 logique
- $VC$  : tension de commutation correspondant à la tension de sortie interprétée comme un 1 logique par la circuiterie numérique suivant le comparateur

permettant de définir

- l'excursion de sortie  $Vl = VOH - VOL$

ainsi que les deux principaux indices de performances statiques d'entrée du comparateur réel :

- la résolution :  $V_{res} = V_{IH} - V_{IL}$
- la tension de décalage  $E_d = V_{IC} - V_{REF}$ .

La résolution correspond à la zone morte de la caractéristique de transfert statique où la sortie est ambiguë (ni 0 et ni 1 logique), elle a pour origine le gain fini  $A_v$  du comparateur, et on peut l'exprimer formellement par la relation

$$V_{res} = V_{IH} - V_{IL} \approx \frac{V_{OH} - V_{OL}}{A_v}.$$

On notera que la sensibilité du comparateur est égale à  $V_{res}/2$  et que la tension de commutation  $VC$  est souvent définie comme étant la valeur centrale de la résolution. La tension de décalage  $E_d$  comporte une composante systématique issue du dimensionnement des transistors, une première composante statistique issue des différentes erreurs d'appariement entre les paires de MOS électriquement symétriques correspondant à la tension de décalage statique, et une seconde composante statistique issue des erreurs d'appariement capacitifs (capacités actives des transistors et capacités passives de routage), correspondant à la tension de décalage dynamique.

### - L'excursion de la tension d'entrée de mode commun

Pour tous les comparateurs, il est possible de définir une tension d'entrée de mode commun minimum  $V_{EMC_{min}}$  et maximum  $V_{EMC_{max}}$  pour lesquelles les spécifications statiques et dynamiques sont respectées. Ces deux valeurs sont fortement dépendantes de la topologie du dispositif.

### 1.3.2 Caractérisation temporelle

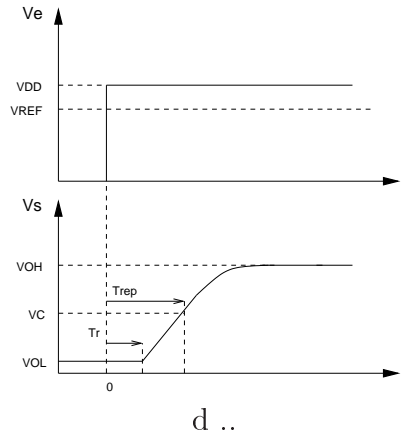


FIGURE 5 –

*Caractéristique temporelle du comparateur physique*

La caractéristique de la *figure 5* permet de définir le principal indice de performance temporel du comparateur réel, c'est à dire le temps de réponse  $T_{rep}$  défini comme le temps nécessaire pour que la sortie atteigne la tension de commutation  $VC$ . Il peut être mesuré à partir de l'instant  $T = 0$  ou à partir de l'instant où la tension d'entrée atteint la valeur  $V_{REF}$  si le temps de montée de ce signal n'est pas négligeable. Le temps de réponse du comparateur a pour origine principale les constantes de temps associées

aux différents nœuds du dispositif physique. En très haute fréquence, il peut comporter une composante non négligeable due au temps de transit des porteurs dans le canal des **transistors MOS**. On notera également qu'il peut dépendre de l'état logique précédent du comparateur, de ce fait il est impératif de tester la fonctionnalité du comparateur par un "test de recouvrement après surcharge", qui consiste à surcharger l'entrée avant d'appliquer un signal de valeur  $Ed \pm V_{res}/2$ . La tension  $V_{res}/2$  étant par définition la sensibilité du comparateur.

Un deuxième indice de performance dynamique est le temps de retard  $Tr$  qui est le temps requis pour que le comparateur passe d'un état logique initial au commencement de l'état logique suivant. Deux autres indices peuvent également être définis, ce sont les temps de montée  $Tm$  et temps de descente  $Td$  qui sont définis de manière standard entre 10% et 90% de  $Vl$ .

### 1.3.3 Autres indices de performance

#### - Le slew-rate

Le slew-rate, vitesse d'excursion en sortie du comparateur, est un indice de performance dynamique. Il correspond à la charge d'un condensateur  $C$  par un courant constant  $I0$  et s'exprime formellement par

$$SR = \frac{I0}{C}.$$

Il est présent dans les dispositifs utilisant une source de courant constant, et affecte typiquement les comparateurs asynchrones et les amplificateurs de tension temps continu des comparateurs synchrones non compacts.

#### - L'hystérésis

L'hystérésis est un indice de performance dynamique ( $Vh$ ) mesurant un éventuel phénomène de mémorisation. En comparaison synchrone, il a principalement pour origine une décharge incomplète des nœuds internes du dispositifs entre deux comparaisons, impliquant sur une prise de décision, un état logique dépendant de la valeur précédente. En comparaison asynchrone, il a principalement pour origine la vitesse d'excursion finie de la sortie du comparateur.

#### - La transition de commutation

La transition de commutation (anglicisme :kickback) correspond au fait qu'un comparateur est un dispositif non linéaire avec des nœuds internes susceptibles de présenter une grande variation de tension, typiquement d'une amplitude de l'ordre de la tension d'alimentation, pouvant être couplés avec l'entrée du comparateur, notamment par les capacités grille-drain des transistors d'entrée (*figure 6*). Ce couplage génère un bruit caractéristique appelé bruit de transition de commutation ou bruit de kickback, pouvant fortement perturber la circuiterie précédent le comparateur si elle présente une faible impédance de sortie (typiquement l'échelle résistive fixant les différentes tensions de référence d'un CAN).

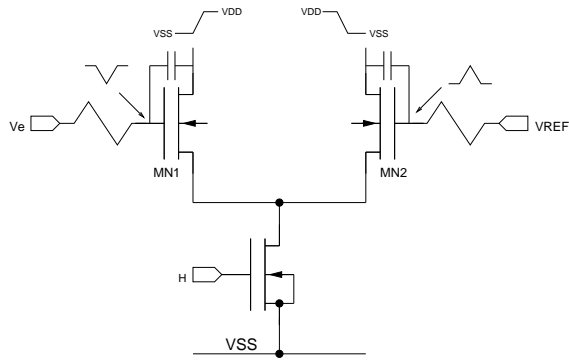


FIGURE 6 –

*Modélisation du kickback*

## - Le bruit

Les composants actifs et passifs utilisés pour la conception d'un comparateur sont des sources de bruit, elles sont à l'origine d'une plage d'incertitude sur la valeur de la tension de commutation (*figure 7*).

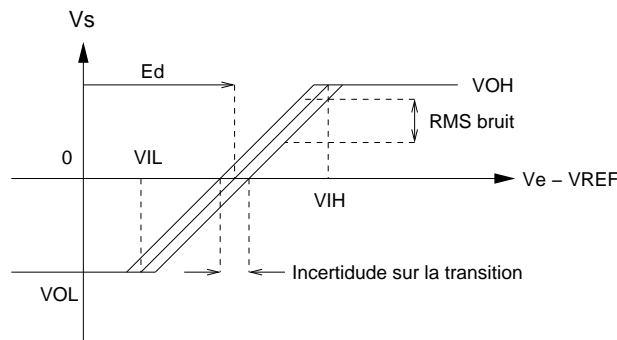


FIGURE 7 –

*Influence du bruit pour un comparateur physique*

## 2 La comparaison synchrone

Fonctionnellement, un comparateur est un amplificateur possédant un grand gain statique afin de pouvoir générer un niveau logique parfaitement défini pour une faible valeur de tension d'entrée. Toutefois, cet amplificateur n'a nul besoin d'être linéaire et peut parfaitement travailler en boucle ouverte ou en réaction positive pour atteindre un gain virtuellement infini. Dans ce cas, pour éviter un verrouillage non désiré sur un des deux niveaux logiques, la mise en action de la réaction positive doit être validée par un signal de commande permettant une montée progressive (mais extrêmement rapide) du gain de l'amplificateur. Pour ce faire, on utilise le principe de la bistabilité.

## 2.1 La bistabilité

### 2.1.1 Principe

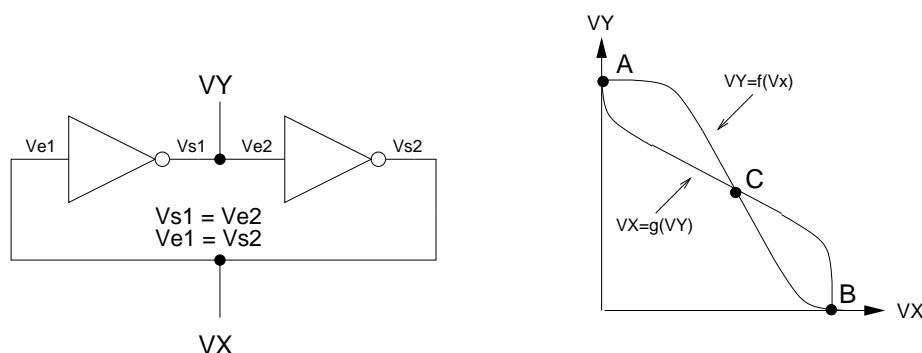


FIGURE 8 –

*Principe de la bistabilité*

Le principe de la bistabilité, permettant la mémorisation d'un événement fugitif, est basé sur la réaction positive obtenue par le bouclage de deux amplificateurs inverseurs. Ainsi, si on considère le schéma de principe de la *figure 8*, en imposant les égalités  $Vs1 = Ve2$  et  $Ve1 = Vs2$ , on obtient deux caractéristiques de transfert statiques  $VY = f(VX)$  et  $VX = g(VY)$  montrant que le système est caractérisé par trois points de fonctionnement A, B et C. Si les gains des inverseurs dans la zone de transition sont supérieurs à l'unité, les points A et B sont stables et le point C est instable (état métastable). En effet, comme le montre graphiquement la *figure 9*, une faible modification  $\Delta V$  de la position du point C provoque son évolution vers l'état stable A (B avec  $\Delta V$  dans l'autre sens) avec une vitesse de convergence d'autant plus rapide que le gain au voisinage de C est important. En A (B), la stabilité est assurée puisque le gain à l'approche de A (B) est très inférieur à l'unité. Ainsi, le bouclage de deux inverseurs forme un circuit ayant deux états stables (circuit bistable) pouvant mémoriser deux états logiques, l'état logique 1 correspondant au point de fonctionnement A et l'état logique 0 correspondant au point de fonctionnement B. Le principe de la bistabilité, utilisé pour la synthèse des [circuits numériques](#) séquentiels standards CMOS, est également mis à profit pour la synthèse des comparateurs synchrones.

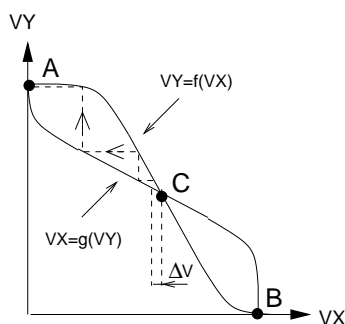


FIGURE 9 –

*Analyse graphique de l'instabilité du point C*



### 2.1.2 Modélisation linéaire

Si on se place au début d'un cycle de régénération, le signal  $VX - VY$  est d'amplitude suffisamment faible pour que l'on puisse supposer le bistable comme un système linéaire, les inverseurs identiques peuvent donc être caractérisés statiquement par un gain  $A_0$  et dynamiquement par une pulsation de coupure  $\omega_c$  avec

$$A(p) = \frac{A_0}{1 + \frac{p}{\omega_c}}.$$

Ce faisant, on peut écrire

$$VX = -\frac{A_0}{1 + \frac{p}{\omega_c}} VY$$

et

$$VY = -\frac{A_0}{1 + \frac{p}{\omega_c}} VX$$

soit

$$\tau_{regen} \frac{dVX}{dt} + VX = -A_0 VY$$

et

$$\tau_{regen} \frac{dVY}{dt} + VY = -A_0 VX.$$

La constante de temps de régénération  $\tau_{regen}$  étant l'inverse de la pulsation de coupure  $\omega_c$ , par soustraction des deux équations précédentes, le bistable est caractérisé par l'équation différentielle du premier ordre

$$\tau_{regen} \frac{d(VX - VY)}{dt} = (A_0 - 1)(VX - VY)$$

admettant la solution

$$VX - VY = (VX - VY)_{t=0} \exp\left(\frac{t}{\tau_{regen}}(A_0 - 1)\right).$$

Le gain statique  $A_0$  étant normalement supérieure à l'unité, l'argument de la fonction exponentiel est positif, et la valeur initiale  $VXY_0 = (VX - VY)_{t=0}$  est ainsi régénérée avec une constante de temps  $\tau_{regen} = 1/\omega_c$ .

## 2.2 Comparaison des différentes techniques d'amplification et concept de gain dynamique

Trois approches génériques peuvent être utilisées pour fournir l'amplification nécessaire à la comparaison [23],[3] : l'amplification simple (AS), l'amplification cascade (AC) et l'amplification régénératrice (AR). Considérons tout d'abord le cas de l'amplification simple, elle est définie par la relation sortie/entrée

$$\frac{Vs}{Ve} = -\frac{A_0}{1 + \frac{p}{\omega_c}} \approx -\frac{\omega_T}{p},$$

on notera que l'approximation réalisée suppose que l'on s'intéresse à un comportement haute vitesse (les fréquences considérés sont très supérieures à  $\omega_c$ . Temporellement, l'amplification simple est donc caractérisée par la relation

$$\frac{vs}{ve} = -\omega_T t.$$

Si maintenant, on considère une cascade de N amplificateurs simples, avec

$$\frac{V_s}{V_e} \approx (-1)^N \prod_1^N \frac{\omega_T}{p}$$

l'amplification cascade est caractérisée par la relation temporelle

$$\frac{vs}{ve} = (-1)^N \frac{(\omega_T t)^N}{N!}.$$

Quant à l'amplification régénératrice, avec

$$vs = ve \exp\left(\frac{t}{\tau_{regen}}(A_0 - 1)\right) \text{ et } A_0 \gg 1,$$

elle est caractérisée par

$$\frac{vs}{ve} = \exp(\omega_T t).$$

Les trois techniques d'amplification considérées, correspondent à trois gains fonction du temps, que nous conviendrons d'appeler gains dynamiques  $G_{dyn}$ . Une comparaison, de ces trois techniques peut ainsi être facilement effectuée, en considérant qu'en comparaison synchrone, le temps imparti pour la détection du niveau logique en sortie du comparateur est la moitié de la période d'horloge. On obtient ainsi les graphes normalisés  $G_{dyn}$  versus  $F_T/FH$  de la *figure 10* montrant la supériorité de l'amplification régénératrice pour un gain dynamique supérieur à la quarantaine de dB. On notera BLABLA GAIN N=5 N=15 BLABLA BLABLA BLABLA BLABLA BLABLA BLABLA BLABLA BLABLA nombre optimal d'amplificateurs à mettre en cascade BLABLA en dérivant l'expression

$$\pi \frac{F_T}{FH} = (G_{dyn} N!)^{1/N}$$

pour un gain dynamique spécifié, on détermine le nombre optimal d'amplificateurs en cascade

$$N_{opt} \approx 1.1 \text{ Log}(G_{dyn}) + 0.79$$

minimisant la fréquence de transition de chaque inverseur.

## 2.3 La métastabilité

### 2.3.1 Définition

La métastabilité est inhérente au caractère dynamique du gain d'un comparateur, elle correspond au fait que si l'amplification peut être fixée arbitrairement grande, le temps imparti pour la prise de décision de l'état de la sortie du comparateur est toujours limité. Il existe donc une valeur d'entrée pour laquelle la sortie est ambiguë puisque dans l'état métastable intermédiaire entre 0 et 1. La métastabilité, conduisant à une prise de décision erronée, peut donc être définie comme l'erreur logique résultant de l'impossibilité pour un comparateur à convertir la variable d'entrée temps continu en une variable de sortie temps discret (numérique).

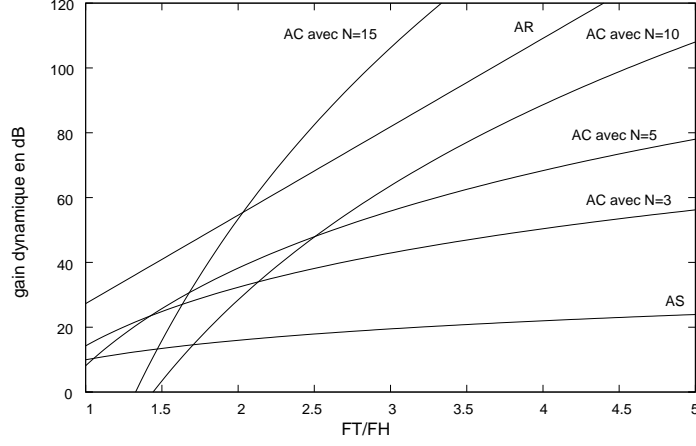


FIGURE 10 –

*Comparaison des trois techniques génériques d'amplification*

### 2.3.2 Modélisation

Historiquement, la prise en compte de la métastabilité a tout d'abord été effectuée pour la conception des dispositifs électroniques permettant la resynchronisation d'un signal transitant dans un système numérique asynchrone, à partir de bascules (bistables). Ainsi, Si nous considérons le temps nécessaire  $T_C$  pour que la sortie d'un bistable atteigne la tension de commutation  $V_C$ , avec

$$T_C = \frac{\tau_{regen}}{A_0 - 1} \text{Log} \frac{V_C}{VXY_0} \approx \frac{1}{A_0 \omega_c} \text{Log} \frac{V_C}{VXY_0} = \frac{1}{\omega_T} \text{Log} \frac{V_C}{VXY_0},$$

le produit gain-bande  $\omega_T$  (pulsation de transition) étant une caractéristique physique du bistable, on constate que la métastabilité est générée par une tension initiale  $VXY_0$  trop petite. Cette tension initiale pouvant être considérée comme une variable aléatoire, la métastabilité peut être quantifiée en terme de probabilité d'apparition. Pour ce faire, on suppose que le système considéré est échantillonné avec une période  $2T_C = 1/Fe$ , et qu'une métastabilité survient si le bistable ne peut fournir la tension de commutation  $V_C$  dans l'intervalle  $T_C$ . Ainsi, sachant que la tension initiale  $VXY_0$  est uniformément distribuée entre les deux tensions  $-VXY_a$  et  $+VXY_a$ , la probabilité d'observer une métastabilité est donnée par la relation [21]

$$P(Ta > T_C) = \exp\left(\frac{(1 - A_0)T_C}{\tau_{regen}}\right) = \exp\left(\left(\frac{1}{A_0} - 1\right)\pi \frac{F_T}{Fe}\right).$$

On notera que la métastabilité peut être minimisée en augmentant  $A_0$ , en diminuant  $\tau_{regen}$  ou en cascasant (pipelinant) plusieurs bistables.

En conversion analogique/numérique, la métastabilité conduira également à des prises de décision erronées, notamment dans les CAN hautes fréquences [8], c'est à dire lorsqu'on doit convertir des petites valeurs de tension en un temps très court. Ainsi, comme le montre la *figure 11*, une tension de sortie du bistable VB ambiguë peut être interprétée aléatoirement comme un 1 ou un 0 logique par la circuiterie numérique de traitement figurée par deux inverseurs présentant une erreur d'appariement. En terme de modélisation, la probabilité d'observer une métastabilité peut être utilisée [14], toutefois,

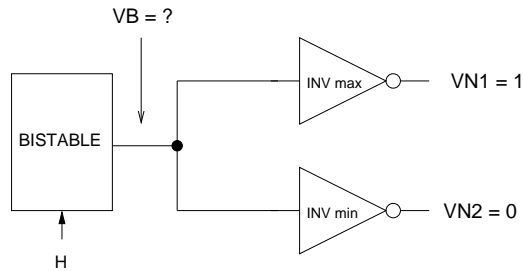


FIGURE 11 –

*Génération d'une prise de décision erronée dans un CAN*

la pertinence de cet indice de performance peut être mise en question dans la mesure où les bits erronés peuvent avoir des poids différents, en terme d'influence, selon le type de CAN considéré. Ainsi, en conversion, on est conduit à mesurer l'influence de la métastabilité par le rapport signal/métastabilité (RSM) [3]. On notera que la satisfaction de cet indice conduit souvent à une contrainte plus forte sur la résolution effective du comparateur que la seule satisfaction du standard rapport signal/bruit de quantification.

## 2.4 La chaîne de comparaison

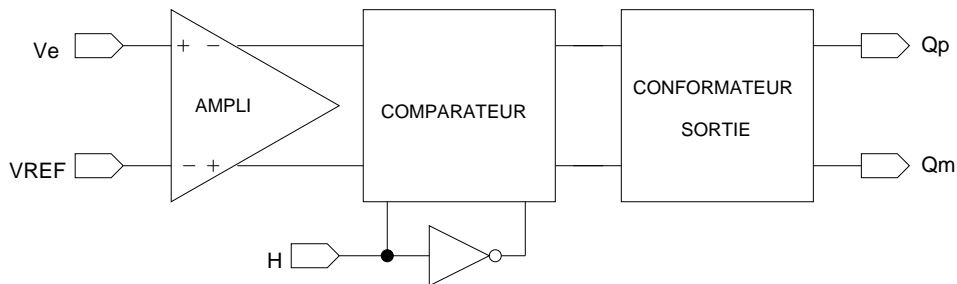


FIGURE 12 –

*La chaîne de comparaison*

Si l'amplification régénératrice s'avère être très performante en terme de vitesse, on doit considérer que les dispositifs physiques la réalisant sont généralement affectés d'une tension de décalage importante (typiquement la dizaine de mV) et d'une forte transition de commutation (l'excursion génératrice du kickback a souvent pour amplitude une valeur de l'ordre de la tension d'alimentation). De ce fait, pour répondre aux spécifications demandées, on peut être amené à réaliser la comparaison en cascade un (ou plusieurs) amplificateur de tension, selon le schéma de principe de la *figure 12*. Ainsi, ramenée sur l'entrée, la tension de décalage du comparateur est divisée par le gain de (des) l'amplificateur statique et les entrées ne sont pas directement affectées par le kickback. D'autre part, le fonctionnement des comparateurs synchrones nécessite une phase de précharge (initialisation) sur laquelle les deux sorties du comparateur sont placées dans un état déterminé (typiquement VDD ou VSS), il est ainsi souvent nécessaire de conformer les sorties par une bascule RS, pour obtenir des sorties électriquement complémentaires. La bascule RS est très souvent précédée par un ou plusieurs inverseurs numériques afin de réduire la métastabilité et de limiter la tension de décalage dynamique en facilitant

la symétrisation du routage des sorties du comparateur.

## 2.5 Classification

### - Classification selon le type d'entrée

En terme d'entrée, on peut distinguer principalement deux types de comparateur

1. les comparateurs à simple entrée
2. les comparateurs à double entrée.

Les premiers, effectuent une comparaison entre deux signaux non différentiels, et les second effectuent une comparaison entre deux signaux différentiels. Cette première distinction topologique, est essentiellement dépendante de l'environnement électronique utilisant le comparateur,

### - Classification selon la consommation

On peut également objectivement classer les dispositifs par leur consommation, on est ainsi conduit à considérer :

1. les comparateurs dynamiques
2. les comparateurs semi-dynamiques
3. les comparateurs statiques.

### - Classification selon la topologie

La schémathèque des comparateurs étant pléthorique, on peut aussi opérer une classification topologique en considérant :

1. les comparateurs compacts
2. les comparateurs non compacts,

les comparateurs non compacts sont typiquement constitués d'un préamplificateur dynamique suivi d'un comparateur compact. Les comparateurs compacts pouvant être distingués selon deux modes de déclenchement :

1. les comparateurs à déclenchement par les drains
2. les comparateurs à déclenchement par les sources.

## 3 Les modèles de calcul

### 3.1 Modèles déterministes

Pour tous les comparateurs, sauf indication contraire, nous utiliserons pour tous les transistors, les [modèles](#) de calcul simples usuels avec prise en compte de l'effet de substrat sur la tension de saturation avec

$$V_{dsat} = \frac{V_{gs} - V_{TH}}{1 + \delta} \quad \text{et} \quad \delta = \frac{V_{gs} - V_{TH}}{V_{dsat}} - 1$$

et telles que

$$I_{ds} = \mu \frac{C_{ox}}{2(1+\delta)} \frac{W}{L} (V_{gs} - V_{TH})^2 (1 + \lambda(V_{ds} - V_{dsat}))$$

soit

$$I_{ds} = \frac{\beta}{2(1+\delta)} \frac{W}{L} V_{eg}^2 (1 + \lambda(V_{ds} - V_{dsat}))$$

pour le régime saturé, et

$$I_{ds} = \mu C_{ox} \frac{W}{L} (V_{gs} - V_{TH} - \frac{1+\delta}{2} V_{ds}) V_{ds}$$

pour le régime ohmique, avec les transconductances respectives

$$G_m = \mu C_{ox} \frac{W}{L} V_{eg} = \frac{2I_{ds}}{V_{eg}} \quad \text{et} \quad G_m = \mu C_{ox} \frac{W}{L} V_{ds} = \frac{I_{ds}}{V_{gs} - V_{TH} - \frac{1+\delta}{2} V_{ds}}.$$

La tension  $V_{eg} = V_{gs} - V_{TH}$  est par définition la tension effective de grille.

### 3.2 Modèles statistiques

La détermination des tensions de décalage statistiques, nécessitant l'utilisation de modèles statistiques pour la prise en compte des erreurs d'appariement, en termes de variances, nous utiliserons pour les courants de drain, les [modèles](#) simples

$$\sigma^2\left(\frac{dI_{ds}}{I_{ds}}\right) = \sigma^2\left(\frac{d\beta}{\beta}\right) + \frac{4}{(V_{gs} - V_{TH})^2} \sigma^2(dV_{TH}) \quad \text{pour le régime saturé}$$

et

$$\sigma^2\left(\frac{dI_{ds}}{I_{ds}}\right) = \sigma^2\left(\frac{d\beta}{\beta}\right) + \frac{1}{(V_{gs} - V_{TH} - \frac{1+\delta}{2} V_{ds})^2} \sigma^2(dV_{TH}) \quad \text{pour le régime ohmique,}$$

les paramètres statistiques intermédiaires s'écrivant

$$\sigma^2\left(\frac{d\beta}{\beta}\right) = \frac{1}{2} \frac{A_\beta^2}{WL} \quad \text{et} \quad \sigma^2(dV_{TH}) = \frac{1}{2} \frac{A_{V_{TH}}^2}{WL},$$

et les constantes technologiques  $A_\beta$  et  $A_{V_{TH}}$  étant les constantes d'appariement de Pelgrom.

Pour les tensions de grille, avec pour le régime saturé

$$V_{gs} = \sqrt{\frac{2(1+\delta)I_{ds}}{\beta \frac{W}{L} (1+\lambda(V_{ds} - V_{dsat}))}} + V_{TH}$$

et

$$dV_{gs} = -\frac{1}{2} \sqrt{\frac{2(1+\delta)I_{ds}}{\beta^3 \frac{W}{L} (1+\lambda(V_{ds} - V_{dsat}))}} d\beta + dV_{TH} = -\frac{1}{2} (V_{gs} - V_{TH}) \frac{d\beta}{\beta} + dV_{TH},$$

on détermine

$$\sigma^2(dV_{gs}) = \frac{1}{4} (V_{gs} - V_{TH})^2 \sigma^2\left(\frac{d\beta}{\beta}\right) + \sigma^2(dV_{TH}),$$

alors que pour le régime ohmique, avec

$$V_{gs} = \frac{I_{ds}}{V_{ds} \beta \frac{W}{L}} + \frac{1+\delta}{2} V_{ds} + V_{TH}$$

et

$$dV_{gs} = -\frac{I_{ds}}{V_{ds} \beta \frac{W}{L}} \frac{d\beta}{\beta} + dV_{TH} = -(V_{gs} - V_{TH} - \frac{1+\delta}{2} V_{ds}) \frac{d\beta}{\beta} + dV_{TH},$$

on détermine

$$\sigma^2(dV_{gs}) = (V_{gs} - V_{TH} - \frac{1+\delta}{2} V_{ds})^2 \sigma^2(\frac{d\beta}{\beta}) + \sigma^2(dV_{TH}).$$

Quant aux transconductances, avec

$$dGm = \frac{W}{L} (V_{gs} - V_{TH}) d\beta - \frac{W}{L} \beta dV_{TH} = Gm \frac{d\beta}{\beta} - \frac{Gm}{V_{gs}-V_{TH}} dV_{TH},$$

pour le régime saturé, on arrive au modèle statistique

$$\sigma^2(\frac{dGm}{Gm}) = \sigma^2(\frac{d\beta}{\beta}) + \frac{1}{(V_{gs} - V_{TH})^2} \sigma^2(dV_{TH}),$$

et pour le régime ohmique, avec

$$dGm = \frac{W}{L} V_{ds} d\beta = Gm \frac{d\beta}{\beta}$$

on arrive à

$$\sigma^2(\frac{dGm}{Gm}) = \sigma^2(\frac{d\beta}{\beta}).$$

Si nous considérons les transistors flottants, ils sont typiquement dans la configuration cascode de la *figure 13*, et la contribution de MN2 à la variation du courant de sortie, se fait principalement de manière indirecte par la variation de la tension de drain du transistor principal MN1, ainsi, pratiquement, quatre cas sont à considérer.

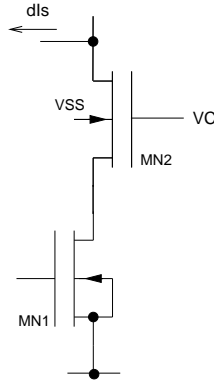


FIGURE 13 –

*Transistors en configuration cascode*

- MN2 en régime saturé et MN1 en régime ohmique

En terme de variation, pour MN1 avec  $dV_{ds1} = dV_{gs2}$ , on écrit

$$dI_{ds1} \approx \beta \frac{W1}{L1} (V_{gs1} - V_{TH1} - (1 + \delta_1) V_{ds1}) dV_{gs2}$$

soit en terme d'écart type pour dIs

$$\sigma(dI_s) = \beta \frac{W_1}{L_1} (Vg_{s_1} - VTH_1 - (1 + \delta_1)Vds_1) \left( \frac{1}{2} (Vg_{s_2} - VTH_2) \frac{\sigma(d\beta)}{\beta} + \sigma(dVTH_2) \right)$$

et en terme de variance

$$\sigma^2\left(\frac{dI_s}{I_s}\right) = \left( \frac{1}{Vds_1} - \frac{0.5(1 + \delta_1)}{Vg_{s_1} - VTH_1 - \frac{1+\delta_1}{2}Vds_1} \right)^2 \left( \frac{1}{4} (Vg_{s_2} - VTH_2)^2 \sigma^2\left(\frac{d\beta}{\beta}\right) + \sigma^2(dVTH_2) \right).$$

#### - MN2 en régime saturé et MN1 en régime saturé

Si on considère le modèle du transistor MOS en régime saturé prenant en compte la conductance de sortie

$$Ids_1 = \frac{\beta}{2(1+\delta_1)} \frac{W_1}{L_1} (Vg_{s_1} - VTH_1)^2 (1 + \lambda(Vds_1 - Vds_{sat_1})) \quad \text{avec } \lambda \approx g_{ds_1}/Ids_1.$$

Ainsi, avec

$$dIds_1 = \frac{\beta}{2(1+\delta_1)} \frac{W_1}{L_1} (Vg_{s_1} - VTH_1)^2 \lambda dVds_1 \approx Ids_1 \lambda dVg_{s_2}$$

on détermine en terme de variance

$$\sigma^2\left(\frac{dI_s}{I_s}\right) = \lambda^2 \left( \frac{1}{4} (Vg_{s_2} - VTH_2)^2 \sigma^2\left(\frac{d\beta}{\beta}\right) + \sigma^2(dVTH_2) \right)$$

#### - MN2 en régime ohmique et MN1 en régime ohmique

Similairement au premier cas, MN2 étant en ohmique, on détermine en terme de variance

$$\sigma^2\left(\frac{dI_s}{I_s}\right) = \left( \frac{1}{Vds_1} - \frac{0.5(1+\delta_1)}{Vg_{s_1} - VTH_1 - \frac{1+\delta_1}{2}Vds_1} \right)^2 \left( (Vg_{s_2} - VTH_2 - \frac{1+\delta_2}{2}Vds_2)^2 \sigma^2\left(\frac{d\beta}{\beta}\right) + \sigma^2(dVTH_2) \right).$$

#### - MN2 en régime ohmique et MN1 en régime saturé

En considérant le deuxième cas, MN2 étant en ohmique, on calcule

$$\sigma^2\left(\frac{dI_s}{I_s}\right) = \lambda^2 \left( (Vg_{s_2} - VTH_2 - \frac{1 + \delta_2}{2}Vds_2)^2 \sigma^2\left(\frac{d\beta}{\beta}\right) + \sigma^2(dVTH_2) \right).$$

## 4 Comparateurs synchrones compacts à déclenchement par les drains

### 4.1 Le comparateur générique

#### 4.1.1 Constitution et principe de fonctionnement

Si nous considérons le comparateur de la *figure 14*, fonctionnellement et topologiquement représentatif des comparateurs à déclenchement par les drains, il est constitué d'un



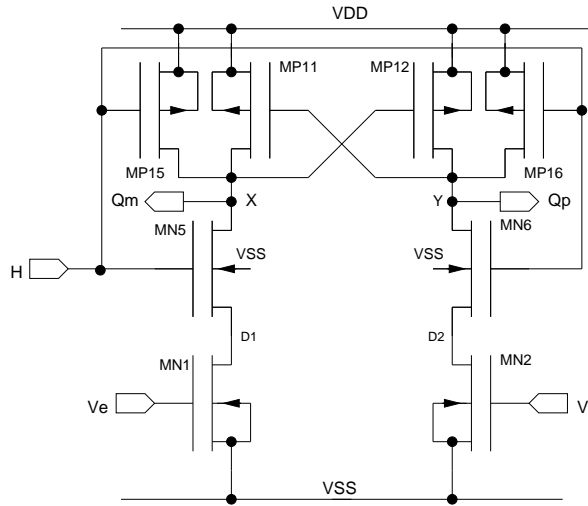


FIGURE 14 –

*Comparateur semi-dynamique générique de type N  
à déclenchement par les drains*

bistable (MP11 et MP12), de deux transistors de précharge (MP15 et MP16), de deux transistors de déclenchement (MN5 et MN6) et d'une paire de transistors d'injection des signaux à comparer (MN1 et MN2). Fonctionnellement, après la phase de précharge (niveau bas de l'horloge) initialisant les entrées X et Y du bistable à VDD (également sorties du comparateur), et les drains des transistors MN1 et MN2 à VSS (MN5 et MN6 sont bloqués), le niveau haut de l'horloge provoque le déclenchement de la comparaison en transférant le déséquilibre entre  $V_e$  et  $V_r$ , transformé en courant, sur les nœuds X et Y du bistable qui peut ainsi régénérer les sorties à VDD et à VSS. On notera que c'est la paire de transistors de déclenchement qui confère au dispositif son caractère dynamique en interdisant la circulation du courant sur le niveau bas de l'horloge. D'autre part, le bistable ne consommant un courant que durant le haut de l'horloge, le comparateur considéré est en terme de consommation de type semi-dynamique. En transformant les transistors de type N en transistors de type P et les transistors de type P en transistors de type N, et en opérant une symétrie orthogonale d'axe horizontal, un comparateur complémentaire "de type P" est également synthétisable.

#### 4.1.2 Analyse temporelle

Pour réaliser une analyse temporelle approximative, on peut considérer la simulation SPICE de la *figure 15*. Si nous définissons l'instant  $T_0$  de l'analyse comme correspondant à une configuration du comparateur où les grilles des transistors de déclenchement et de précharge viennent juste d'être commutées à VDD, on peut distinguer une première phase de fonctionnement de durée  $T_{init}$ , pendant laquelle les transistors MN1 et MN2, partant de VDD, déchargent, avec une vitesse fonction de l'amplitude des tensions appliquées sur les grilles, la somme des capacités présentes sur les nœuds X et Y jusqu'à une tension  $V_A$  suffisante pour que les transistors MP11 et MP12 du bistable entrent en conduction. On peut définir cette tension comme étant proche de la tension de seuil  $V_{TH}$  des deux MOS. Les transistors d'injection étant en régime saturé ou en régime

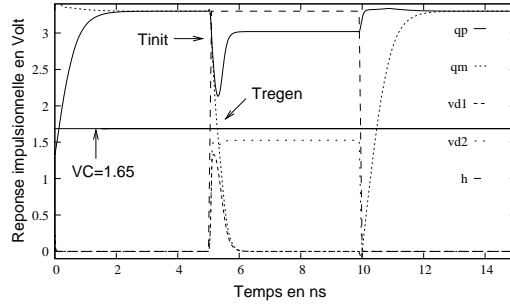


FIGURE 15 –

Résultats de simulation SPICE du comparateur de la figure 14 avec une technologie  $L_{min}=0.35\mu m$   $V_{THn}=0.49$   $V_{THp}=-0.68$  V et avec  $V_{DD}=3.3$  V  $V_e=1.9$   $V_r=1.65$  et un modèle BSIM3v3

ohmique selon leur tension de seuil et leur tension de grille, on peut écrire

$$T_{init} \approx \frac{C_X V_{TH_{M11}}}{I_{ds_{M1}}}.$$

La tension de seuil des transistors du bistable étant atteinte, une deuxième phase de fonctionnement s'amorce en considérant que le gain de boucle du bistable est supérieur à 1 et que la la boucle de régénération, en forte réaction positive, partant d'une tension initiale  $V_{xy_0}$ , l'amplifie jusqu'à une tension  $V_{xy}$  telle que les tensions de sortie  $V_{Qp}$  et  $V_{Qm}$  puissent être interprétées respectivement comme un 1 logique et un 0 logique. Cette deuxième phase de fonctionnement identifiable avec le temps de régénération  $T_{regen}$  du bistable, correspond à un mode de fonctionnement variant temporellement de part le gain qui évolue avec le temps. Il est difficilement modélisable et donc difficilement quantifiable analytiquement. On peut toutefois fournir une estimation du temps de régénération, en définissant un point de fonctionnement VB autour duquel on peut développer le modèle linéarisé de la figure 16.

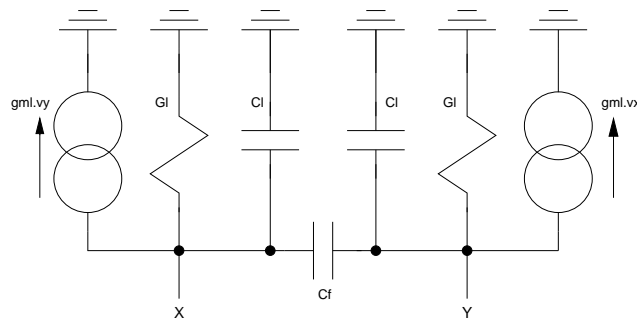


FIGURE 16 –

Modèle linéaire du bistable PMOS

Ce modèle linéaire est régi par le jeu d'équations découplées

$$-(C_l + C_f) \frac{dv_x}{dt} + C_f \frac{dv_y}{dt} = g_{m1} v_y + G_l v_x$$

$$-(C_l + C_f) \frac{dv_y}{dt} + C_f \frac{dv_x}{dt} = g_{m1} v_x + G_l v_y.$$

Ainsi, avec  $v_{xy} = vx - vy$ ,  $\tau_{regen} = \frac{C_l + 2C_f}{G_l}$  et  $A_0 = \frac{gm_l}{G_l}$ ,

on arrive à l'équation différentielle

$$\tau_{regen} \frac{dv_{xy}}{dt} = (A_0 - 1)v_{xy}$$

ayant pour solution

$$V_{xy} = Vxy_0 \exp\left(\frac{A_0 - 1}{\tau_{regen}}t\right) = Vxy_0 \exp(\beta_{regen}t).$$

avec

$$\beta_{regen} = \frac{gm_l - G_l}{C_l + 2C_f}.$$

D'autre part, avec  $v_{mc} = vx + vy$ ,  $\omega_{mc} = \frac{gm_l + G_l}{C_l}$

on caractérise le mode commun par l'équation différentielle

$$\frac{dv_{mc}}{dt} = -\omega_{mc}v_{mc}$$

ayant pour solution

$$V_{mc} = Vmc_0 \exp(-\omega_{mc}t).$$

L'établissement du mode commun s'effectuant par une exponentielle décroissante selon une constante de temps au moins égale à celle du mode différentiel, on peut se limiter à l'analyse de la composante du mode différentiel et déterminer

$$T_{regen} \approx \log\left(\frac{V_{xy}}{Vxy_0}\right) / \beta_{regen}$$

avec

$$Vxy_0 \approx \frac{T_{init}}{C_l} (Ids_{M1} - Ids_{M2}) = |VTH_{M11}| \left(1 - \frac{Ids_{M2}}{Ids_{M1}}\right)$$

et

$$V_{xy} \approx 2(VDD - |VTH_{M11}| - VC).$$

Quant à la troisième phase de fonctionnement, la durée à considérer est fonction de la faculté de la circuiterie suivant le comparateur à détecter un 0 et un 1 logiques. Typiquement, une durée de l'ordre de 40% de l'impulsion de déclenchement est suffisante pour assurer le bon fonctionnement du comparateur.

### 4.1.3 Détermination analytique de la tension de décalage statique

Chaque transistor situé dans les deux branches d'un comparateur est affecté d'erreurs globales et locales (appariement) issues de l'intégration. Les erreurs globales strictement identiques pour chaque MOS à même fonctionnalité sont à l'origine d'une tension de décalage systématique identique pour les deux branches, qui n'affecte normalement pas la précision de la comparaison, alors que les erreurs d'appariement statistiquement différentes pour les deux transistors de chaque paire, génèrent une tension de décalage statique et statistique affectant directement le bon fonctionnement du comparateur. Elle

doit donc être, autant que faire ce peut, déterminée analytiquement pour éventuellement être réduite par dimensionnement. Malheureusement, les comparateurs sont des dispositifs non linéaires avec des transistors caractérisés par des points de fonctionnement évoluant temporellement, ainsi, les comparateurs dynamiques ne possèdent probablement pas de modèle analytique statistique pour la détermination de la tension de décalage statique. Toutefois, en utilisant un des [modèles](#) statistiques simples développés précédemment, pour chaque paire de transistors MOS il est possible de calculer une valeur approximative de la tension de décalage générée par leur désappariement. Pour ce faire, définissons arbitrairement l'état d'équilibre, comme le jeu de points de fonctionnement correspondant à  $V_H=V_{DD}$ ,  $V_e=V_r$ ,  $V_{Qp}=V_{Qm}=V_{S0}$ , et tel que les paires M11 et M12 sont en régime saturé ( $V_{DS}=V_{GS}$ ), M1 et M2, sont en régime saturé (typiquement) ou en régime ohmique (sous fortes contraintes externes), M5 et M6 sont en régime ohmique (les transistors de déclenchement fonctionnent en commutateurs), et enfin tel que M15 et M16 sont bloqués. Pour cet état d'équilibre (état métastable), le régime et les différentes tensions de polarisation de tous les transistors peuvent être préhalablement fixés, le comparateur est électriquement symétrique et les deux branches sont parcourues par des courants identiques. Ainsi, tout erreur d'appariement entre les transistors à même fonctionnalité des deux branches peut être corrigée par une tension ED en série avec  $V_e$ .

### - Tension de décalage due à MN1 et MN2

A l'état d'équilibre, les fluctuations statistiques du facteur de transconductance et de la tension de seuil des transistors d'entrée MN1 et MN2 génèrent deux courants de drain de [variance](#)  $\sigma^2 dI_{ds1} = \sigma^2 dI_{ds2}$  se superposant aux courants nominaux  $I_{ds1} = I_{ds2}$ , ils sont vus différentiellement par le bistable et sont à l'origine d'un courant de décalage  $dI_s$  en sortie du comparateur. Ce courant peut formellement être corrigé par une tension en série sur la grille de MN1 s'écrivant en termes de variances et pour des transistors d'entrée en régime saturé

$$\sigma_{ED1}^2 = 2 \alpha_1^2 \frac{\sigma^2 dI_{ds1}}{gm_1^2} = \alpha_1^2 \left( \frac{1}{2} \frac{\sigma^2 dI_{ds1}}{I_{ds1}^2} V_{eg1}^2 \right) = \alpha_1^2 \left( \frac{1}{2} \sigma^2 \left( \frac{d\beta_1}{\beta_1} \right) V_{eg1}^2 + 2\sigma^2 (dV_{TH1}) \right)$$

et en termes d'écart type et de constantes technologiques d'erreur d'appariement

$$\sigma_{ED1} = \frac{\alpha_1}{\sqrt{W_1 L_1}} \sqrt{\frac{1}{4} A_{\beta_1}^2 (V_r - V_{TH1} - V_{SS})^2 + A_{V_{TH1}}^2}.$$

De même, si MN1 et MN2 sont en régime ohmique, avec

$$\sigma_{ED1}^2 = 2 \alpha_1^2 \frac{\sigma^2 dI_{ds1}}{gm_1^2} = 2 \alpha_1^2 \frac{\sigma^2 dI_{ds1}}{I_{ds1}^2} (V_{gs1} - V_{TH1} - \frac{1+\delta_1}{2} V_{ds1})^2$$

soit

$$\sigma_{ED1}^2 = 2 \alpha_1^2 \sigma^2 \left( \frac{d\beta_1}{\beta_1} \right) (V_{gs1} - V_{TH1} - \frac{1+\delta_1}{2} V_{ds1})^2 + 2 \sigma^2 (dV_{TH1})$$

on détermine

$$\sigma_{ED1} = \frac{\alpha_1}{\sqrt{W_1 L_1}} \sqrt{A_{\beta_1}^2 (V_r - V_{TH1} - V_{SS} - \frac{1+\delta_1}{2} V_{ds1})^2 + A_{V_{TH1}}^2}.$$

Le paramètre  $\alpha_1$  est un facteur de correction introduit pour tenir compte de l'imprécision du modèle statistique proposé. Suite à de nombreuses simulations statistiques

avec des technologies, des fréquences d'horloge et des tensions d'alimentation différentes, une valeur  $\alpha_1 \approx 1$  peut être considérée comme satisfaisante pour une détermination approximative de la tension de décalage issue de l'erreur d'appariement entre MN1 et MN2.

### - Tension de décalage due à MN5 et MN6

A l'équilibre, les transistors de déclenchement MN5 et MN6 sont normalement en régime ohmique avec leur grille à VDD, et l'association MN5 et MN1 peut être vue comme un transistor composite cascode tel que la contribution de MN5 à la génération d'un courant de décalage statistique  $I_s$  en sortie du comparateur se fait de manière indirecte par la variation du courant de drain de MN1. Ainsi, si les transistors d'entrée sont en régime saturé, **avec**

$$\sigma^2\left(\frac{dI_s}{I_s}\right) = \alpha_5^2 \lambda_1^2 \left( (Vg_{s5} - VTH_5 - \frac{1+\delta_5}{2}Vds_5)^2 \sigma^2\left(\frac{d\beta}{\beta}\right) + \sigma^2(dVTH_5) \right)$$

on détermine la tension de décalage à placer sur la grille de MN1

$$\sigma_{ED5}^2 = 2 \alpha_5^2 \frac{\sigma^2 dI_s}{gm_1^2} = \frac{1}{2} \frac{\sigma^2 dI_{ds1}}{I_{ds1}^2} V e g_1^2$$

soit en termes d'écart type et de constantes technologiques d'erreur d'appariement

$$\sigma_{ED5} = \alpha_5 \frac{Vr - VTH_1 - VSS}{2\sqrt{W_5 L_5}} \lambda_1 \sqrt{A_{\beta_5}^2 (Vg_{s5} - VTH_5 - \frac{1+\delta_5}{2}Vds_5)^2 + A_{VTH_5}^2}.$$

Si les transistors d'entrée sont en régime ohmique, **avec**

$$\sigma^2\left(\frac{dI_s}{I_s}\right) = \alpha_5^2 \left( \frac{1}{Vds_1} - \frac{0.5}{Vgs_1 - VTH_1 - \frac{1+\delta_1}{2}Vds_1} \right)^2 \left( (Vg_{s5} - VTH_5 - \frac{1+\delta_5}{2}Vds_5)^2 \sigma^2\left(\frac{d\beta}{\beta}\right) + \sigma^2(dVTH_5) \right)$$

et

$$\sigma_{ED5}^2 = 2 \alpha_5^2 \frac{\sigma^2 dI_s}{gm_1^2} = 2 \alpha_5^2 \frac{\sigma^2 dI_{ds1}}{I_{ds1}^2} (Vg_{s1} - VTH_1 - \frac{1+\delta_1}{2}Vds_1)^2$$

on détermine

$$\sigma_{ED5} = \left( \frac{Vgs_1 - VTH_1 - \frac{1+\delta_1}{2}Vds_1}{Vds_1} - 0.5 \right) \frac{\alpha_5}{\sqrt{W_5 L_5}} \sqrt{A_{\beta_5}^2 (Vg_{s5} - VTH_5 - \frac{1+\delta_5}{2}Vds_5)^2 + A_{VTH_5}^2}$$

Suite à de nombreuses simulations statistiques, nous avons déterminé qu'une valeur  $\alpha_5 \approx 2$  pour des transistors d'entrée en régime saturé et  $\alpha_5 \approx 1$  pour des transistors d'entrée en régime ohmique peut être considérée comme satisfaisante. On notera que de part la faible valeur du facteur  $\lambda_1$ , en terme de tension de décalage générée par le désappariement entre MN5 et MN6 la première configuration s'avère typiquement plus performante que la seconde.

### - Tension de décalage due à MP11 et MP12

La tension de décalage en sortie du bistable est difficile à modéliser avec précision [16]. La modélisation que nous avons adoptée, similaire à celle utilisé par [5], est simple-

ment basée sur le modèle statistique du courant dans un transistor MOS, ainsi, avec des transistors d'entrée en régime saturé et

$$\sigma_{ED11}^2 = 2 \alpha_{11}^2 \frac{\sigma^2 dI_{ds11}}{gm_1^2} = \alpha_{11}^2 \left( \frac{1}{2} \frac{\sigma^2 dI_{ds1}}{I_{ds1}^2} V_{eg1}^2 \right) = \alpha_{11}^2 \left( \frac{1}{2} \sigma^2 \left( \frac{d\beta_{11}}{\beta_{11}} \right) V_{eg1}^2 + 2\sigma^2 (dV_{TH11}) \right)$$

on détermine

$$\sigma_{ED11} = \frac{\alpha_{11}}{2\sqrt{W_{11}L_{11}}} (V_r - V_{TH1} - V_{SS}) \sqrt{A_{\beta_{11}}^2 + \frac{4}{(V_{gs11} - V_{TH11})^2} A_{V_{TH11}}^2}.$$

De même, avec des transistors d'entrée en régime ohmique, et

$$\sigma_{ED11}^2 = 2 \alpha_{11}^2 \frac{\sigma^2 dI_{ds11}}{gm_1^2} = 2 \alpha_{11}^2 \frac{\sigma^2 dI_{ds1}}{I_{ds1}^2} (V_{gs1} - V_{TH1} - \frac{1+\delta_1}{2} V_{ds1})^2$$

on détermine

$$\sigma_{ED11} = \frac{\alpha_{11}}{\sqrt{W_{11}L_{11}}} (V_r - V_{TH1} - V_{SS} - \frac{1+\delta_1}{2} V_{ds1}) \sqrt{A_{\beta_{11}}^2 + \frac{4}{(V_{gs11} - V_{TH11})^2} A_{V_{TH11}}^2}.$$

Les simulations statistiques, ont permis de déterminer qu'une valeur  $\alpha_{11} \approx 1/2$  est souvent satisfaisante pour une détermination approximative de la tension de décalage générée par le désappariement entre MP11 et MP12 quelque soit le régime de fonctionnement de MN1 et MN2.

### - Tension de décalage statique totale

Les erreurs d'appariement entre chaque paire de transistors étant normalement décorrélées (ou éventuellement faiblement corrélées), en terme d'écart type, la tension de décalage statique s'écrit

$$\sigma_{ED} = \sqrt{\sigma_{ED1}^2 + \sigma_{ED2}^2 + \sigma_{ED3}^2}$$

On notera que la tension de décalage issue de MN15 et MN16 n'est pas prise en considération, ces deux transistors étant bloqués en phase de comparaison, leur influence dans la somme quadratique peut être considérée comme négligeable.

#### 4.1.4 Détermination analytique de la tension de décalage dynamique

Les comparateurs synchrones étant des dispositifs dynamiques avec un état électrique final stable dépendant de leur comportement en régime transitoire, il est essentiel de considérer la tension de décalage due aux erreurs d'appariement entre les différentes capacités actives et passives (principalement issues du routage) entre les deux parties topologiquement symétriques des comparateurs compacts. Par opposition à la tension de décalage statique ayant pour origine la tension de seuil (quantifiée à partir de  $A_{V_{TH}}$ ) et le facteur de gain (quantifiée à partir de  $A_{\beta}$ ), cette tension de décalage est appelée tension de décalage dynamique [5] [13]. Un transistors MOS comporte de très nombreuses capacités structurelles actives et passives (supérieur à cinq) et il n'est pas raisonnable de considérer analytiquement la contribution de chaque condensateur à la génération de la tension de décalage globale. Toutefois, par simulation, on peut montrer la nette

prépondérance des deux nœuds capacitifs de sortie, et une bonne estimation de la tension de décalage dynamique peut être effectuée en ne considérant que l'erreur d'appariement sur les capacités parasites et les capacités de charge regroupées sous la forme de deux condensateurs  $CX$  et  $CY$  connectés respectivement sur les sorties  $Qm$  et  $Qp$  du comparateur. Ainsi, en posant  $CX = CY + \Delta C$ , avec

$$CX \frac{dV_{Qm}}{dt} = Ids_1 \quad \text{et} \quad CY \frac{dV_{Qp}}{dt} = Ids_2,$$

à l'état d'équilibre, la tension de décalage virtuelle  $ED_X$  placée en série avec  $Ve$  impose

$$\begin{aligned} \frac{dV_{Qm}}{dt} &= \frac{dV_{Qp}}{dt} \\ \text{soit} \quad \frac{Ids_1}{Ids_2} &= \frac{CX}{CX - \Delta C} \approx 1 + \frac{\Delta C}{CX}. \end{aligned}$$

On notera que la détermination de la tension de décalage dynamique, implique de considérer des courants différents dans les deux branches symétriques du comparateur. Ce faisant, MN1 et MN2 étant en régime ohmique, on obtient

$$1 + \frac{\Delta C}{CX} = \frac{\mu_n Cox \frac{W_1}{L_1} (Ve + ED_X - V_{THn} - \frac{1+\delta_1}{2} V_{DS1}) V_{DS1}}{\mu_n Cox \frac{W_2}{L_2} (Vr - V_{THn} - \frac{1+\delta_2}{2} V_{DS2}) V_{DS2}}$$

soit

$$\frac{\Delta C}{CX} \approx \frac{ED_X}{Vr - V_{THn} - \frac{1+\delta_1}{2} V_{DS1}}$$

conduisant à l'expression de la tension de décalage dynamique

$$ED_X = \frac{\Delta C}{CX} \left( Vr - V_{TH1} - \frac{1 + \delta_1}{2} V_{DS1} \right).$$

Si MN1 et MN2 sont en régime saturé,

$$1 + \frac{\Delta C}{CX} = \frac{\frac{\mu_n}{2} \frac{W_1}{L_1} (Ve + ED_X - V_{THn})^2}{\frac{\mu_n}{2} \frac{W_2}{L_2} (Vr - V_{THn})^2}$$

soit

$$1 + \frac{\Delta C}{CX} = \frac{(Vr - V_{THn})^2 + 2ED_X(Vr - V_{THn}) + ED_X^2}{(Vr - V_{THn})^2}$$

soit

$$\frac{\Delta C}{CX} \approx 2 \frac{ED_X}{Vr - V_{THn}}$$

conduit à l'expression de la tension de décalage dynamique

$$ED_X = \frac{1}{2} \frac{\Delta C}{CX} (Vr - V_{TH1}).$$

Indépendamment du régime de fonctionnement des transistors d'entrée, la tension de décalage dynamique est proportionnelle à l'erreur relative sur la capacité de sortie du comparateur, d'origine composite, puisque essentiellement constituée de différentes capacités actives et d'une capacité de routage. Elle peut être minimisée en chargeant les sorties du dispositif par un inverseur numérique afin de réduire la capacité de routage (en outre le gain statique de la paire d'inverseurs dimensionnés réduit la métastabilité), ou, si les spécifications temporelles demandées le permettent, on peut charger les deux sorties par des condensateurs présentant de bonnes caractéristiques d'appariement. On notera que la dépendance de la tension de décalage globale des comparateurs synchrones

à l'erreur d'appariement sur les capacités de charge, peut être mise à profit pour effectuer son réglage [9][12]. On notera également, qu'il y a potentiellement, une seconde source de tension de décalage dynamique. En effet, à la fermeture des deux transistors de précharge (front montant de l'horloge), il se produit une injection de charges parasites sur les deux nœuds de sortie, une partie a pour origine les charges électriques stockées dans les canaux des transistors, et une autre partie a pour origine leurs capacités de recouvrement grille-drain. Quantitativement, en considérant que les charges de canal sont évacuées également côté drain et côté source, et en considérant un modèle diviseur capacitif pour les charges d'horloge, une **tension**

$$V_{of} \approx \frac{W_{15}L_{15}C_{ox}(VH-|VTH_{15}|)}{2CX} + VH \frac{Cgd_{15}}{Cgd_{15}+CX}$$

est générée sur les deux nœuds de sortie du comparateur. Ce faisant, compte tenue des erreurs d'appariement entre MP15 et MP16 et entre les capacités CX et CY, une tension de décalage dynamique est créée. Toutefois, de part la faible amplitude de  $V_{of}$ , typiquement de l'ordre du mV, et des erreurs d'appariement de l'ordre du %, avec des transistors de précharge de dimension aussi petite que possible, sa valeur est normalement négligeable.

#### 4.1.5 M1/M2 en régime ohmique versus M1/M2 en régime saturé

De part la transconductance plus élevée, la solution M1/M2 en régime saturé conduit typiquement à une tension de décalage globale plus petite que la solution M1/M2 en régime ohmique. On notera que la plus faible valeur de  $ED_5$  pour le régime saturé traduit simplement le fait que le courant dans M1 et M2 est dans ce cas peu dépendant de leur tension drain-source, contrairement au cas où M1 et M2 sont en régime ohmique. Ainsi, pour une même tension de décalage cible, le courant statique consommé pendant la phase de comparaison est normalement moindre lorsque les transistors d'entrée sont en régime saturé. Par contre en terme de tension d'alimentation minimum nécessaire au bon fonctionnement du comparateur, l'option MN1 et MN2 en régime ohmique s'avère légèrement plus performante dans la mesure où un fonctionnement en saturation implique pour MN1 et MN2 une tension drain source supérieure à  $V_{DSAT} \approx Vr - VTH_{M1}$ . On notera toutefois que la condition

$$VDS_5 < VDS_{5sat} \approx VGS_5 - VTH_5 \text{ soit } VS0 < VDD - VTH_5$$

soit approximativement

$$VTH_5 > \frac{VDD}{2}$$

assurant le fonctionnement des MOS déclencheurs MN5 et MN6 en régime ohmique n'est que rarement réalisé.

#### 4.1.6 Principes de dimensionnement

##### - Respect des contraintes temporelles

L'optimisation des contraintes temporelles est essentiellement réalisée à partir du dimensionnement du bistable avec une minimisation des deux composantes du temps de réponse



$$T_{init} = CX \frac{VTH_{M11}}{IDS_{M11}} \quad \text{et} \quad T_{regen} \propto \frac{1}{\beta_{regen}} \approx \frac{CX}{gm_{11}}.$$

$C_{ext}$  étant la charge capacitive externe, la capacité CX correspond pratiquement à la somme de trois capacités

$$CX \approx Cgs_{11} + Cj_{onc} + C_{ext},$$

soit, à tension de polarisation donnée, les capacités de jonction étant considérées comme proportionnelles à la largeur des transistors MOS.

$$CX \approx \frac{2}{3} Cox W_{11} L_{11} + Kj_{11} W_{11} + Kj_5 W_5 + C_{ext}.$$

Ainsi, avec

$$T_{init} = VTH_{M11} \left( \frac{4}{3} \frac{L_{11}^2}{\mu_p (VGS_{M11} - VTH_{M11})^2} + Kj_{11} \frac{2L_{11}}{\mu_p Cox (VGS_{M11} - VTH_{M11})^2} + Kj_5 \frac{L_5}{\mu_p Cox (VGS_{M5} - VTH_{M5}) VDS_{M5}} + C_{ext} \right)$$

et, en explicitant la transconductance du bistable, avec

$$T_{regen} = \frac{L_{11}}{\mu_p (VGS_{M11} - VTH_{M11})} \left( \frac{2}{3} L_{11} + \frac{Kj_{11}}{Cox} + \frac{Kj_5 W_5}{Cox W_{11}} + \frac{C_{ext}}{Cox W_{11}} \right),$$

une optimisation du temps de réponse du comparateur est réalisée avec  $L_{11} = L_{min}$ . D'autre part,  $W_5$  étant inférieure à  $W_{11}$  (MN5 en ohmique et MP11 en saturation), une minimisation de l'influence de  $C_{ext}$  à partir d'une augmentation de  $W_{11}$  par une augmentation du courant statique consommé, est limitée par la partie irréductible de  $T_{regen}$  pouvant être définie comme le temps de régénération intrinsèque du comparateur, caractéristique de la technologie utilisée.

## - Respect des contraintes sur la tension de décalage

### - Principe de dimensionnement

Pour un transistor MOS, quelque soit son mode de fonctionnement, à tension de polarisation donnée, la largeur W est au premier ordre proportionnelle au produit L.Ids, L étant la longueur et Ids étant le courant de drain. Ainsi, l'examen des formules explicitées précédemment, montre que les tensions de décalage statiques  $ED_i$  sont inversement proportionnelles aux longueurs  $L_i$  et à la racine carré du courant du courant de polarisation, identique à l'équilibre, pour tous les transistors. Ainsi, pour un courant donné, une minimisation de la tension de décalage globale du comparateur peut être théoriquement effectuée, en pondérant les longueurs des différents transistors, à partir de la valeur des tensions de décalage partielles. Le courant de polarisation devra être fixé pour assurer, autant que faire ce peut, le respect des contraintes temporelles, compte tenu du temps de régénération intrinsèque du comparateur.

### - Validité du formalisme

Les tables 1 et 2, correspondent aux tensions de décalage obtenues à partir d'une analyse de Monte-carlo avec 50 tirages aléatoires du comparateur générique. Les com-

Tensions de décalage du comparateur générique FH=10MHz

MN1 et MN2 saturés					MN1 et MN2 saturés				
performances	calcul		simulation		performances	calcul		simulation	
$\sigma_{ED_1}$	6,26mV		8,2mV		$\sigma_{ED_1}$	7,48mV		7,26mV	
$\sigma_{ED_5}$	0,07mV		1,3mV		$\sigma_{ED_5}$	0,27V		0,15mV	
$\sigma_{ED_{11}}$	4,41mV		4,9mV		$\sigma_{ED_{11}}$	5,93mV		4,7mV	
$\sigma_{ED_{15}}$	0mV		0,1mV		$\sigma_{ED_{15}}$	0mV		0,1mV	
$\sigma_{ED_{dyn}}$	1,15mV		1,7mV		$\sigma_{ED_{dyn}}$	0,40mV		0,4mV	
$\sigma_{ED_{tot}}$	7,66mV		10,2mV		$\sigma_{ED_{tot}}$	9,55mV		9,6mV	
	MN1	MN5	MP11	MP15		MN1	MN5	MP11	MP15
$W$ en $\mu m$	0.5	0.5	0.8	0.5	$W$ en $\mu m$	0.15	0.15	0.15	0.15
$L$ en $\mu m$	5.45	0.65	2.1	0.35	$L$ en $\mu m$	2.49	0.905	0.38	0.13
Istatique=5.6 $\mu A$					Istatique=1.05 $\mu A$				

$L_{min}=0,35\mu m$   $V_{THn}=0,49V$   $V_{THp}=-0,68V$   
 $V_{DD}=3,3V$   $V_r=1,65V$   $A_{V_{THn}}=0,9510^{-8}$   
 $A_{\beta_n}=0,710^{-8}$   $A_{V_{THp}}=1,4510^{-8}$   
 $A_{\beta_p}=1,010^{-8}$   $\sigma_{dCX}/CX=0,2\%$   
 modèle BSIM3v3

$L_{min}=0,13\mu m$   $V_{THn}=0,238V$   $V_{THp}=-0,349V$   
 $V_{DD}=1,2V$   $V_r=0,6V$   $A_{V_{THn}}=0,410^{-8}$   
 $A_{\beta_n}=1,110^{-8}$   $A_{V_{THp}}=0,310^{-8}$   
 $A_{\beta_p}=1,210^{-8}$   $\sigma_{dCX}/CX=0,2\%$   
 modèle BSIM3v3

TABLE 1 –

Tensions de décalage du comparateur générique FH=100MHz

MN1 et MN2 saturés					MN1 et MN2 saturés				
performances	calcul		simulation		performances	calcul		simulation	
$\sigma_{ED_1}$	8,78mV		10,2mV		$\sigma_{ED_1}$	8,48mV		7,14mV	
$\sigma_{ED_5}$	0,05mV		0,2mV		$\sigma_{ED_5}$	0,43V		0,49mV	
$\sigma_{ED_{11}}$	4,54mV		9,9mV		$\sigma_{ED_{11}}$	4,58mV		4,44mV	
$\sigma_{ED_{15}}$	0mV		0,1mV		$\sigma_{ED_{15}}$	0mV		0,1mV	
$\sigma_{ED_{dyn}}$	1,11mV		1,42mV		$\sigma_{ED_{dyn}}$	0,33mV		0,3mV	
$\sigma_{ED_{tot}}$	9,88mV		13,0mV		$\sigma_{ED_{tot}}$	9,66mV		9,44mV	
	MN1	MN5	MP11	MP15		MN1	MN5	MP11	MP15
$W$ en $\mu m$	2.025	15.1	3.75	2.5	$W$ en $\mu m$	0.35	0.385	0.375	0.3
$L$ en $\mu m$	0.675	0.35	0.35	0.35	$L$ en $\mu m$	0.77	0.13	0.185	0.13
Istatique=158 $\mu A$					Istatique=5.7 $\mu A$				

TABLE 2 –

parateurs sont cadencés par une fréquence d'horloge de 10MHz et 100MHz , ils ont une charge capacitive de 10ff avec une erreur d'appariement de 0,2 % (1  $\sigma$  et capacités actives comprises). Dans tous les cas, malgré l'extrême simplicité des modèles de calcul utilisés, les performances simulées et calculées s'avèrent suffisamment proches pour que le formalisme proposé puisse être utilisé pour obtenir un dimensionnement initial raisonnablement objectif, pouvant être affiner après simulation, sachant que la simulation statistique de la tension de décalage des comparateurs est temporellement très longue. On notera toutefois que les tensions de décalage totales ciblées étaient de l'ordre de la dizaine de mV et que pour des tensions de décalages plus fortes (typiquement supérieures à 20mV), pour lesquelles il est illégitime de considérer que les points de fonctionnement des transistors ne sont pas interdépendants et qu'ainsi les différentes tensions de décalage restent statistiquement décorélées, les écarts entre calculs et simulation peuvent s'avérés être plus conséquents, principalement pour les transistors du bistable. D'autre part, avec MN1 en régime ohmique et pour de faibles valeurs de tension drain-source, il est possible que les résultats de simulation soient fortement biaisés compte tenu des artefacts de simulation pouvant survenir lors des analyses transitoires avec l'utilisation de modèles de simulation physiquement basés sur la tension de seuil (... , BSIM3, BSIM4), peu fiables pour des tension drain-source au voisinage de zéro, contrairement aux modèle physiquement basés sur le potentiel de surface ou l'inversion de charge (PSP, HiSIM, BSIM6, ...).



$$G_{13} = \frac{1}{R_{13}} = \mu_n Cox \left( \frac{W_1}{L_1} (Vep - VTH - \frac{1+\delta_1}{2} VDS_1) + \frac{W_3}{L_3} (Vrm - VTH - \frac{1+\delta_1}{2} VDS_1) \right)$$

et

$$G_{24} = \frac{1}{R_{24}} = \mu_n Cox \left( \frac{W_2}{L_2} (Vem - VTH - \frac{1+\delta_2}{2} VDS_2) + \frac{W_4}{L_4} (Vrp - VTH - \frac{1+\delta_2}{2} VDS_2) \right).$$

Ainsi, avec

$$W_1 = W_2, L_1 = L_2, W_3 = W_4, L_3 = L_4 = L_1 \text{ et } VDS_1 = VDS_2$$

l'égalité  $G_{13} = G_{24}$  étant obtenue avec

$$Vep - Vem = \frac{W_3}{W_1} (Vrp - Vrm) \text{ soit } Ved = \frac{W_3}{W_1} Vrd,$$

la tension de seuil du comparateur peut être fixée directement par dimensionnement des transistors d'injection. Par conséquent, si un dispositif (typiquement un CAN) nécessite plusieurs comparateurs avec des tensions de comparaison différentes, on peut n'utiliser qu'une seule tension de référence. Toutefois, pratiquement, il peut s'avérer être difficile de minimiser les erreurs systématiques de conception (erreurs globales) sur la tension de décalage du dispositif, en posant simplement  $W_{MN1} = W_{MN2} = M_1.W_1$  et  $W_{MN3} = W_{MN4} = M_3.W_1$ , et exprimer directement le facteur de pondération sur la tension de référence par un rapport de deux nombres entiers correspondant au nombre de repliements affectés à MN1 et MN3. La cause principale de cet éventuel biais sur la tension de commutation, provient essentiellement de la non prise en compte de la dépendance de la mobilité à la tension de grille dans le formalisme simplifié précédent. Ainsi, le biais de fonctionnement est d'autant plus important que le coefficient de proportionnalité est grand et que le nœud technologique utilisé est submicronique, il est toutefois réduit à zéro pour un coefficient unitaire puisque dans ce cas les transistors sont électriquement appariés. On notera que les transistors d'entrée du comparateur agissant comme des résistances contrôlées par une tension, ce type de comparateur est appelé "comparateur à diviseur résistif". Si maintenant, nous considérons ce même comparateur avec ses quatre transistors d'entrée en régime saturé, on obtient

$$I_{13} = \mu_n \frac{Cox}{2} \left( \frac{W_1}{L_1} (Vep - VTH)^2 + \frac{W_3}{L_3} (Vrm - VTH)^2 \right)$$

et

$$I_{24} = \mu_n \frac{Cox}{2} \left( \frac{W_2}{L_2} (Vem - VTH)^2 + \frac{W_4}{L_4} (Vrp - VTH)^2 \right).$$

A l'équilibre, sous les conditions précédemment énumérées, les deux courants seront égaux avec

$$(Vep + Vem - 2VTH)(Vep - Vem) = \frac{W_3}{W_1} (Vrp + Vrm - 2VTH)(Vrp - Vrm)$$

soit, VEMC étant la tension d'entrée de mode commun, avec

$$Vep + Vem = Vrp + Vrm = 2VEMC.$$

Ainsi, avec

$$Vep - Vem = \frac{W_3}{W_1} (Vrp - Vrm) \text{ soit } Ved = \frac{W_3}{W_1} Vrd,$$

La tension de seuil du comparateur peut également être fixée directement par dimensionnement des transistors d'injection en régime saturé.

En termes de tension de décalage statistique, il convient d'ajouter quadratiquement la contribution de M3 et M4 à la tension de décalage globale, soit pour le régime ohmique

$$\sigma_{ED_3} = \frac{1}{\sqrt{W_3 L_3}} \sqrt{A_{\beta_1}^2 (VEMC - VTH_1 - VSS - \frac{1 + \delta_1}{2} Vds_1)^2 + A_{VTH_1}^2}$$

et pour le régime saturé

$$\sigma_{ED_3} = \frac{1}{\sqrt{W_3 L_3}} \sqrt{\frac{1}{4} A_{\beta_1}^2 (VEMC - VTH_1 - VSS)^2 + A_{VTH_1}^2}$$

Par définition, la tension

$$VEMC = \frac{Vrp + Vrm}{2}$$

est la tension de mode commun en entrée.

### 4.3 Comparateur semi-dynamique de Yukawa

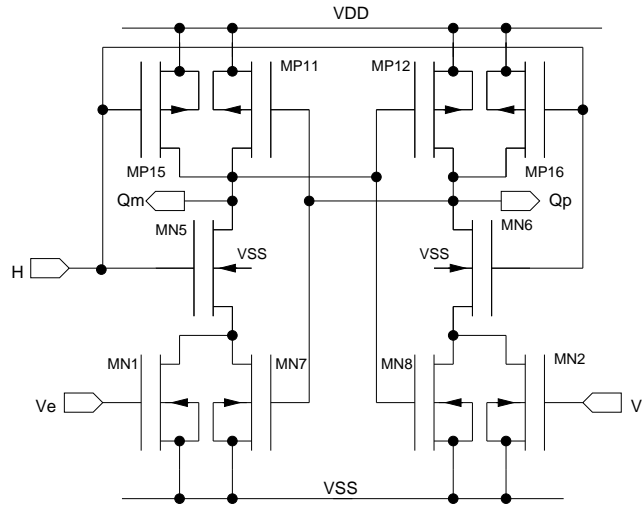


FIGURE 18 –

Comparateur de Yukawa

#### 4.3.1 Constitution et principe de fonctionnement

Le comparateur de Yukawa [24] est une variante du comparateur semi-dynamique générique obtenue en remplaçant le bistable MOS par un bistable CMOS comme indiqué sur la *figure 18*. Ce faisant, du point de vue dynamique, le circuit générique MOS et sa variante CMOS ont le même schéma équivalent petit signal de *figure 16*, mais des valeurs  $gm_i$ ,  $G_i$  et  $C_i$  différentes. La transconductance du bistable devenant la somme des transconductances des transistors P et N du bistable, pour une même consommation de courant statique (courant dans MN1 ou MN2 sur le niveau haut de l'horloge), on peut raisonnablement espérer une diminution de la constante de temps de régénération,

en considérant toutefois que la conductance  $G_l$  et la capacité  $C_l$  sont augmentées. Pour bénéficier pleinement de l'augmentation de la transconductance, à l'équilibre, MN7 et MN8 doivent être en régime saturé, ce qui implique pratiquement une mise en saturation de MN1 et MN2. On notera qu'une version avec entrées différentielles est impossible, et qu'en terme de tension d'alimentation minimum, une valeur légèrement supérieure à  $V_{THn} + V_{THp}$  est suffisante pour assurer le bon fonctionnement du comparateur de Yukawa.

### 4.3.2 Détermination de la tension de décalage statique

En terme de tension de décalage statique issue des erreurs d'appariement, les paires de transistors MN1/MN2, et MP11/MP12 sont formellement caractérisées par des expressions identiques à celles du comparateur générique. Ainsi, avec  $IDS_{M7} = K_I IDS_{M1}$ , les transistors d'entrée étant en régime saturé, on peut directement écrire

$$\sigma_{ED_1} = \frac{\alpha_1}{\sqrt{W_1 L_1}} \sqrt{\frac{1}{4} A_{\beta_1}^2 (V_r - V_{TH_1} - V_{SS})^2 + A_{V_{TH_1}}^2}$$

et

$$\sigma_{ED_{11}} = \frac{\alpha_{11} (1 + K_I)}{2\sqrt{W_{11} L_{11}}} (V_r - V_{TH_1} - V_{SS}) \sqrt{A_{\beta_{11}}^2 + \frac{4}{(V_{gs_{11}} - V_{TH_{11}})}^2} A_{V_{TH_{11}}}^2.$$

#### - Tension de décalage statique due à MN5 et MN6

Les variations aléatoires du potentiel de source de MN5 avec sa grille connectée à VDD, affectent la tension de drain de MN1 comme pour le comparateur générique, et affectent le bistable CMOS par l'intermédiaire de MN7. Il convient donc de sommer quadratiquement une tension de décalage  $ED_5$  formellement identique à celle du comparateur générique, avec une seconde tension spécifique au comparateur de Yukawa. Pour cette seconde tension, nous n'avons pas trouvé de modélisation satisfaisante prenant en compte la conductance de sortie de MN7, nous avons donc opté pour un modèle rudimentaire basé uniquement sur la variation aléatoire du courant de drain circulant dans MN5. Ainsi, les transistors MN1 et MN2 étant en régime saturé

$$\sigma_{ED_5} = \frac{\alpha_5 (1 + K_I)}{2\sqrt{W_5 L_5}} (V_r - V_{TH_1} - V_{SS}) \sqrt{A_{\beta_5}^2 + \frac{4}{V_{gs_5} - V_{TH_5} - \frac{1+\delta_5}{2} V_{ds_5}}^2} A_{V_{TH_5}}^2.$$

Les nombreuses simulations statistiques, pour des fréquences d'horloge et des technologies différentes ont permis de mettre en évidence qu'une valeur  $\alpha_5 \approx 1/4$  (avec  $K_I = 1$ ) conduit à une approximation raisonnable de la tension de décalage pour des fréquences d'horloge inférieures à la centaine de MHz, mais qu'au delà selon la technologie utilisée,  $ED_5$  pouvait être sousestimée ou surestimée d'un facteur 2. On notera toutefois que comparativement au comparateur générique, le comparateur de Yukawa est beaucoup plus sensible au désappariement entre MN5 et MN6.

#### - Tension de décalage statique due à MN7 et MN8

La modélisation utilisée, est basée sur le modèle statistique du courant dans un transistor MOS (comme pour MP11), MN7 et MN8 étant en régime saturé et avec des transistors d'entrée également saturés, on détermine

$$\sigma_{ED7} = \frac{\alpha_7 K_I}{2\sqrt{W_7 L_7}} (Vr - VTH_1 - VSS) \sqrt{A_{\beta_7}^2 + \frac{4}{(Vgs_7 - VTH_7)^2} A_{VTH_7}^2}.$$

Les simulations statistiques, ont permis de déterminer qu'une valeur  $\alpha_7 \approx \sqrt{2}$  s'avère typiquement satisfaisante pour une détermination initiale approximative de la tension de décalage générée par le désappariement entre MN7 et MN8.

### 4.3.3 Performances et domaine d'application

*Dimensions du comparateur de Yukawa FH=1GHz*

	MN1	MN5	MN7	MP11	MP15
<i>W en <math>\mu m</math></i>	4.54	27.52	4.54	17.925	8.55
<i>L en <math>\mu m</math></i>	0.13	0.13	0.13	0.13	0.13
Istatique=300 $\mu A$ et aire mos=16.4 $\mu m^2$					

TABLE 4 –

Un comparateur de Yukawa avec une fréquence d'horloge de 1GHz a été dimensionné avec la technologie 0.13 $\mu m$  précédemment mise en oeuvre. La *table 4* correspond au dimensionnement utilisé. En simulation, avec 50 tirages aléatoires, il est caractérisé par une tension de décalage d'écart type 15mV (10mV calculée) et son temps de réponse est de l'ordre de 0,16nS (0,15nS calculé). Comparativement au comparateur générique, avec la technologie utilisée, le comparateur de Yukawa est susceptible de fournir un meilleur temps de réponse. Son domaine d'application est pratiquement le même que celui du comparateur générique.

## 4.4 Comparateur dynamique de Lewis et Gray

Le comparateur dynamique de la *figure 19* est directement synthétisé en considérant le comparateur semi-dynamique de la *figure 14* et en remplaçant le bistable MOS par un bistable CMOS. Ce faisant, de part les inverseurs CMOS en série dans les deux branches, la structure obtenue ne consomme qu'un courant transitoire lors de la commutation à VDD et à VSS du bistable (sur les fronts d'horloge), c'est un comparateur dynamique. A l'équilibre, la mise en série des deux tensions grille-source des inverseurs et des tensions drain-source des déclencheurs et des transistors d'entrée font que ce dispositif d'une part nécessite, une tension d'alimentation relativement élevée (supérieure à  $VTH_p + VTH_n + 2VD_{sat}$ ), et d'autre part implique l'utilisation de deux transistors supplémentaires (MOS P non représentés sur la figure) pour décharger les capacités présentes sur les sources de MN7 et MN8 et susceptibles de produire de l'hystérésis. De ce fait, le comparateur basique dynamique est pratiquement peu utilisé, contrairement à ses deux variantes que sont le comparateur dynamique de Lewis-Gray et le comparateur dynamique de Song.

### 4.4.1 Constitution et principe de fonctionnement du comparateur de Lewis et Gray

Le comparateur dynamique de Lewis et Gray [2] de la *figure 20*, est présenté dans sa version avec entrées différentielles, sans les transistors MN3 et MN4 et avec

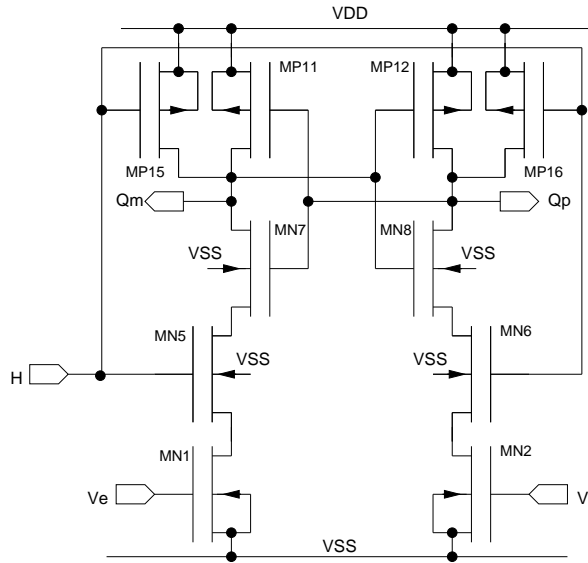


FIGURE 19 –

*Comparateur basique dynamique de type N  
à déclenchement par les drains*

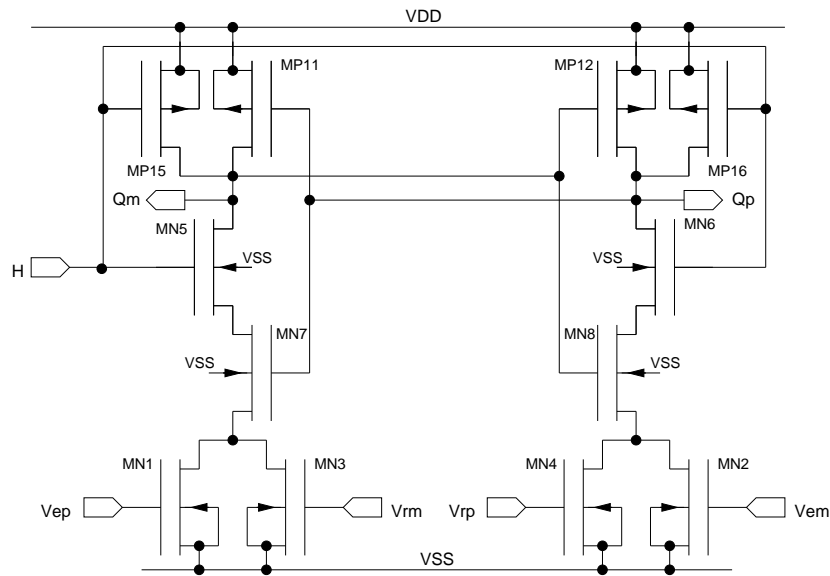


FIGURE 20 –

*Comparateur de Lewis-Gray*

$V_{em}=V_r$ , il est à entrée simple. Contrairement au comparateur dynamique générique, les déclencheurs MN5 et MN6 sont imbriqués dans les inverseurs CMOS (MP11/MP12 et MN7/MN8). En terme de principe de fonctionnement, durant la phase d'initialisation (tension d'horloge basse), les transistors de précharge MP15 et MP16 chargent les nœuds de sorties à VDD, et en se bloquant, les transistors de déclenchement, impliquent une mise en conduction de MN7 et MN8 qui déchargent les capacités situées sur leur source (les transistors supplémentaires de décharge du générique sont donc inutiles) et entraînent  $V_{D_{M1,2,3,4,7,8}} = VSS$ . Durant la phase de comparaison (tension d'horloge haute), MN5 et MN6 sont passant, et le déséquilibre entre  $V_{ed}$  et  $V_{rd}$ , converti en déséquilibre



entre les conductances des transistors d'entrée est transmis au bistable CMOS qui peut ainsi régénérer les sorties à VDD et à VSS. La nécessité d'une tension d'alimentation minimum supérieure à  $V_{THp} + V_{THn} + V_{D_{sat}}$  fait que les transistors d'entrée sont normalement en régime ohmique, le comparateur de Lewis-Gray est un comparateur à diviseur résistif, et avec

$$V_{ep} - V_{em} = \frac{W_3}{W_1} (V_{rp} - V_{rm}) \text{ soit } V_{ed} = \frac{W_3}{W_1} V_{rd},$$

sa tension de seuil peut être fixée **directement** par dimensionnement des transistors d'injection.

#### 4.4.2 Détermination analytique de la tension de décalage

##### - Tension de décalage statique due à MN1, MN3 et MP11

A l'état d'équilibre, les tensions de décalage statiques générées par le désappariement des transistors d'entrée MN1 et MN2 et par le désappariement des transistors du bistable MP11 et MP12 sont formellement identiques à celles du comparateur **générique** semi-dynamique. Ainsi, pour MN1 et MN2 en régime saturé avec

$$V_{ep} + V_{em} = V_{rp} + V_{rm} = 2V_{EMC} \text{ et } V_{gs1} = V_{EMC} - V_{SS},$$

$$\sigma_{ED1} = \frac{\alpha_1}{\sqrt{W_1 L_1}} \sqrt{\frac{1}{4} A_{\beta_1}^2 (V_{gs1} - V_{TH1})^2 + A_{V_{TH1}}^2}$$

et

$$\sigma_{ED11} = \frac{\alpha_{11}}{2\sqrt{W_{11} L_{11}}} (V_{gs1} - V_{TH1}) \sqrt{A_{\beta_{11}}^2 + \frac{4}{(V_{gs11} - V_{TH11})^2} A_{V_{TH11}}^2},$$

alors que pour MN1 et MN2 en régime ohmique

$$\sigma_{ED1} = \frac{\alpha_1}{\sqrt{W_1 L_1}} \sqrt{A_{\beta_1}^2 (V_{gs1} - V_{TH1} - \frac{1 + \delta_1}{2} V_{ds1})^2 + A_{V_{TH1}}^2}$$

et

$$\sigma_{ED11} = \frac{\alpha_{11}}{\sqrt{W_{11} L_{11}}} (V_{gs1} - V_{TH1} - \frac{1 + \delta_1}{2} V_{ds1}) \sqrt{A_{\beta_{11}}^2 + \frac{4}{(V_{gs11} - V_{TH11})^2} A_{V_{TH11}}^2}.$$

Quant aux tensions de décalage statiques dues à MN3 et MN4, elle sont celles de MN1 et MN2 en remplaçant  $W_1$  et  $L_1$  respectivement par  $W_3$  et  $L_3$ . On notera qu'une valeur initiale de  $\alpha_{11} \approx 1/\sqrt{8}$  pour des transistors d'entrée en régime ohmique et  $\alpha_{11} \approx 1$  pour des transistors en régime saturé, donne une approximation raisonnablement bonne pour une détermination initiale de la tension de décalage  $ED_{11}$ .

##### - Tension de décalage statique due à MN5

Obtenir une bonne modélisation de la tension de décalage statique due à MN5/MN6 semble être très difficile. Un modèle basique directement basé sur le courant et similaire au modèle proposé en [5] s'est avéré insuffisamment fiable en simulation statistique avec des surestimation ou des sous-estimations d'un facteur trois à quatre selon les technologies et les fréquences d'horloge utilisées. Le modèle que nous proposons considère qu'à l'équilibre, les transistors de déclenchement MN5 et MN6 sont normalement en régime ohmique avec leur grille à VDD, ils cascotent donc par l'intermédiaire de MN7 et MN8 les transistors d'injection MN1 et MN2. Ainsi les variations aléatoires du potentiel de source de MN5 affectent la tension de drain de MN7 qui modifie sa tension de grille-source et par conséquent la tension de drain de MN1. Les transistors MN7 et MN8 étant en régime saturé, *avec*

$$dV_{gs5} = -(V_{gs5} - V_{TH5} - \frac{1+\delta_5}{2}V_{ds5}) \frac{d\beta_5}{\beta_5} + dV_{TH5},$$

$$dI_{ds7} \approx \lambda_7 I_{ds7} dV_{gs5},$$

$$dV_{gs7} = \frac{1}{2} (V_{gs7} - V_{TH7}) \lambda_7 dV_{gs5},$$

$$\frac{dI_{ds1}}{I_{ds1}} = \frac{dV_{gs7}}{V_{ds1}} \quad \text{avec MN1 en régime ohmique,}$$

$$\frac{dI_{ds1}}{I_{ds1}} = \lambda_1 dV_{gs7} \quad \text{avec MN1 en régime saturé,}$$

et

$$\sigma_{ED5}^2 = 2 \alpha_5^2 \frac{\sigma^2 dI_s}{gm_1^2},$$

on détermine la tension de décalage statistique

$$\sigma_{ED5} = K_5 \frac{\lambda_7}{2} (V_{gs7} - V_{TH7}) \frac{\alpha_5}{\sqrt{W_5 L_5}} \sqrt{A_{\beta_5}^2 (V_{gs5} - V_{TH5} - \frac{1+\delta_5}{2}V_{ds5})^2 + A_{V_{TH5}}^2}.$$

Avec MN1 et MN2 en régime ohmique

$$K_5 = \frac{V_{gs1} - V_{TH1} - \frac{1+\delta_1}{2}V_{ds1}}{V_{ds1}}$$

et avec MN1 et MN2 en régime saturé

$$K_5 = \lambda_1 \frac{V_{gs1} - V_{TH1}}{2} \quad \text{et} \quad g_{ds1} \approx \lambda_1 I_{ds1}.$$

On notera que de part la faible valeur de  $\lambda_7$ , la tension de décalage générée par le désappariement entre MN5 et MN6 est typiquement faible pour des transistors d'entrée en régime ohmique et normalement négligeable pour des transistors d'entrée en régime saturé. Avec le paramètre  $\alpha_5$  fixé empiriquement à 4, pour les technologies mises en oeuvre précédemment, on obtient une corrélation relativement bonne, entre calculs et simulations statistiques.

### - Tension de décalage statique due à MN7

La modélisation utilisée, est basée sur le modèle statistique du courant dans un transistor MOS (comme pour MP11), MN7 et MN8 étant en régime saturé et avec des

transistors d'entrée également saturés, on détermine

$$\sigma_{ED_7} = \frac{\alpha_7}{2\sqrt{W_7L_7}} (Vr - VTH_1 - VSS) \sqrt{A_{\beta_7}^2 + \frac{4}{(Vgs_7 - VTH_7)^2} A_{VTH_7}^2},$$

alors qu'avec des transistors d'entrée en régime ohmique on obtient

$$\sigma_{ED_7} = \frac{\alpha_7}{\sqrt{W_7L_7}} (Vr - VSS - VTH_1 - \frac{1 + \delta_1}{2} Vds_1) \sqrt{A_{\beta_7}^2 + \frac{4}{(Vgs_7 - VTH_7)^2} A_{VTH_7}^2}.$$

Les simulations statistiques, ont permis de déterminer qu'une valeur  $\alpha_7 \approx \sqrt{8}$  s'avère typiquement satisfaisante pour une détermination initiale approximative de la tension de décalage générée par le désappariement entre MN7 et MN8.

#### - Tension de décalage totale

Les tension de décalage dynamiques [s'écrivant](#)

$$ED_X = \frac{1}{2} \frac{\Delta C}{CX} (Vgs_1 - VTH_1)$$

et

$$ED_X = \frac{\Delta C}{CX} (Vgs_1 - VTH_1 - \frac{1 + \delta_1}{2} Vds_1),$$

MN1 et MN2 étant respectivement en régime saturé et en régime ohmique, la tension de décalage statique totale a pour expression

$$\sigma_{ED} = \sqrt{\sigma_{ED_1}^2 + \sigma_{ED_3}^2 + \sigma_{ED_7}^2 + \sigma_{ED_5}^2 + \sigma_{ED_{11}}^2 + \sigma_{ED_X}^2}.$$

Les erreurs d'appariement entre chaque paire de transistors étant considérées comme décorréelées et la tension de décalage issue de MN15 et MN16 étant négligée.

### 4.4.3 Performances et domaine d'application

*Dimensions du comparateur de Lewis-Gray FH=1GHz*

	MN1	MN5	MN7	MP11	MP15
<i>W en <math>\mu m</math></i>	5.42	10.89	6.095	5.05	4.8
<i>L en <math>\mu m</math></i>	0.13	0.13	0.13	0.13	0.13
Aire mos=8.4 $\mu m^2$					

TABLE 5 –

Un comparateur de Lewis-Gray avec une fréquence d'horloge de 1GHz a été dimensionné avec la technologie  $0.13\mu m$  précédemment utilisée, ses dimensions sont données par la *table 5*, et sa tension de décalage calculée (1 sigma) est de 7mV. En simulation il est caractérisé par une tension de décalage d'écart type 8mV et son temps de réponse est de l'ordre de 0,4nS. Sa consommation dynamique est de  $154\mu A$  (valeur moyenne du courant sur TH/2). En terme de domaine d'application privilégié, le comparateur de Lewis-Gray est utilisé dans des applications autorisant des tensions de décalage modestes, comme les CAN pipelines avec 1,5 bit par étage, qui par leur redondance, peuvent admettre une tension de décalage égale à  $VREF/4$ .

## 4.5 Comparateur dynamique de Song

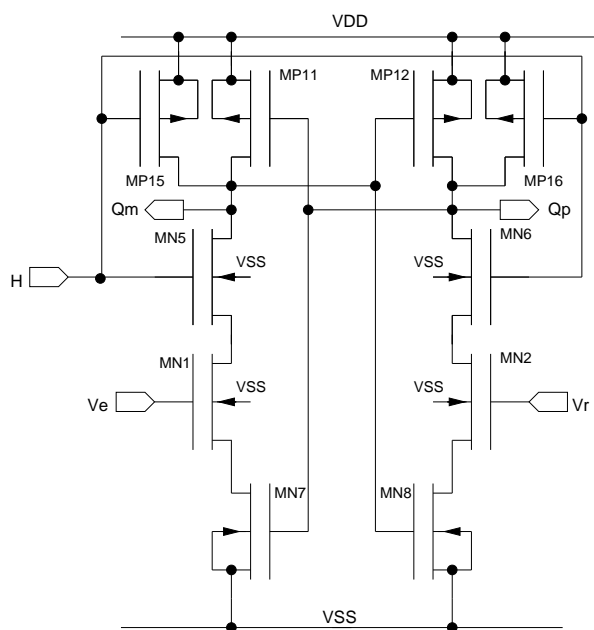


FIGURE 21 –

*Comparateur de Song*

### 4.5.1 Constitution et principe de fonctionnement

Le comparateur de la *figure 21* [18] correspond au comparateur de Song. Il est obtenu à partir du comparateur de Yukawa et en plaçant les transistors d'injections MN1 et MN2 en série avec les transistors de déclenchement MN5 et MN6 et avec les transistors MN7 et MN8 de l'inverseur CMOS, ce faisant, le comparateur de Song est un comparateur dynamique. Comparativement au circuit de Lewis-Gray, les transistors d'injection sont typiquement en régime saturé, et pour une faible tension d'alimentation et/ou une faible tension de comparaison, les transistors MN7 et MN8 doivent être placés en régime ohmique avec une faible tension drain source, afin d'éviter un fonctionnement de MN1 et MN2 en faible inversion impliquant un fort rapport d'aspect avec des fortes capacités parasites associées.

### 4.5.2 Détermination analytique de la tension de décalage statique

#### - Tension de décalage statique due à MN1 et MN2

Les transistors d'entrées étant en régime saturé, comme pour le comparateur [générique](#) semi-dynamique, à l'état d'équilibre, pour MN1 on peut directement écrire

$$\sigma_{ED_1} = \frac{\alpha_1}{\sqrt{W_1 L_1}} \sqrt{\frac{1}{4} A_{\beta_1}^2 (V_{gs_1} - V_{TH_1})^2 + A_{V_{TH_1}}^2}.$$

Typiquement, le facteur de pondération  $\alpha_1$  est de l'ordre de l'unité.

### - Tension de décalage statique due à MN5 et MN6

De part la présence de MN7 et MN8 situés sur la source des transistors d'entrée et pouvant fonctionner en régime ohmique ou saturé, la modélisation statistique de comparateur de Song s'avère être compliqué et relativement approximative pour les transistors MOS autres que les transistors d'entrée. Ainsi, comme pour le comparateur générique, nous avons considéré les transistors de déclenchement comme cascodant MN1 et MN2, mais avec une influence notable de MN7 et MN8 pris en compte empiriquement par le facteur  $K_5$ . De ce fait la tension de décalage peut s'écrire

$$\sigma_{ED_5} = \alpha_5 K_5 \frac{Vg_{s1} - VTH_1}{2\sqrt{W_5L_5}} \lambda_1 \sqrt{A_{\beta_5}^2 (Vg_{s5} - VTH_5 - \frac{1+\delta_5}{2}Vd_{s5})^2 + A_{VTH_5}^2}.$$

avec,

$$K_5 = \lambda_7 (Vg_{s7} - VTH_7) \quad \text{si MN7 est saturé,}$$

et

$$K_5 = \lambda_7 (Vg_{s7} - VTH_7 - \frac{1+\delta_7}{2}Vd_{s7}) \quad \text{si MN7 est ohmique.}$$

Une valeur  $\alpha_5 = 1$  peut être utilisée comme valeur initiale pour une éventuelle optimisation de la tension de décalage, on notera toutefois la relative faiblesse de  $ED_5$  du fait des facteurs  $\lambda_5$  et  $\lambda_7$ .

### - Tension de décalage statique due à MN7 et MN8

A partir du modèle statistique du courant dans un transistor MOS, MN7 étant en régime ohmique on détermine

$$\sigma_{ED_7} = \frac{\alpha_7}{2\sqrt{W_7L_7}}(Vg_{s1} - VTH_1) \sqrt{A_{\beta_7}^2 + \frac{1}{(Vg_{s7} - VTH_7 - \frac{1+\delta_7}{2}Vd_{s7})^2}A_{VTH_7}^2}.$$

et MN7 étant en régime saturé on détermine

$$\sigma_{ED_7} = \frac{\alpha_7}{2\sqrt{W_7L_7}}(Vg_{s1} - VTH_1) \sqrt{A_{\beta_7}^2 + \frac{4}{(Vg_{s7} - VTH_7)^2}A_{VTH_7}^2}.$$

Les valeurs  $\alpha_7 = 1/4$  et  $\alpha_7 = 2$  peuvent respectivement être choisies comme valeurs initiales pour une éventuelle optimisation de  $ED_7$ .

### - Tension de décalage statique due à MP11 et MP12

La tension de décalage statistique issue du désappariement entre MP11 et MP12 est fortement dépendante du régime de fonctionnement de MN7 et MN8. Ainsi, à partir du modèle statistique du courant dans un transistor MOS on peut écrire

$$\sigma_{ED_{11}} = K_{11} \frac{\alpha_{11}}{2\sqrt{W_{11}L_{11}}}(Vg_{s1} - VTH_1) \sqrt{A_{\beta_{11}}^2 + \frac{4}{(Vg_{s11} - VTH_{11})^2}A_{VTH_{11}}^2}.$$

Si MN7 et MN8 sont en régime saturé, on peut simplement fixer  $K_{11}^2 = 20$  et si MN7 et MN8 sont en régime ohmique on a déterminé par simulation statistique que le modèle

linéaire

$$K_{11}^2 = 31,6 \frac{V_{ds7}}{V_{dsat7}} - 11,6$$

assurant la continuité entre les deux régimes pouvait être utilisé, avec  $\alpha_{11} = 1$ , pour un calcul approximatif de la tension de décalage  $ED_{11}$ .

### 4.5.3 Performances et domaine d'application

Le domaine d'application du comparateur de Song est pratiquement le même que celui du comparateur de Lewis-Gray. Un comparateur de Song avec une fréquence d'horloge de 1GHz a été dimensionné avec la technologie  $0.13\mu m$  précédemment utilisée. Pour assurer un fonctionnement de M1 et M2 en forte inversion la tension drain-source de MN7 est fixée à 0.18V, son dimensionnement est donné par la *table 6*, et sa tension de décalage calculée (1 sigma) est de 1,6mV. En simulation il est caractérisé par une tension de décalage d'écart type 3mV (50 tirages aléatoires et sans réglage des coefficients de pondération), et son temps de réponse est de l'ordre de 0,5nS. Sa consommation dynamique est de 1,8mA (valeur moyenne du courant sur TH/2). On notera que sur ce cas d'espèce, de part la faible valeur de tension effective de grille des transistors d'entrée et la fréquence d'horloge élevée, les courants de polarisation sont notablement plus élevés que pour le comparateur de Lewis-Gray précédemment dimensionné, mais les forts rapports d'aspect des transistors impliquent une plus faible tension de décalage statique.

*Dimensions du comparateur de Song FH=1GHz*

	MN1	MN5	MN7	MP11	MP15
<i>W en <math>\mu m</math></i>	295.39	86.01	27.47	40.205	26.1
<i>L en <math>\mu m</math></i>	0.13	0.13	0.13	0.13	0.13
Aire mos=123 $\mu m^2$					

TABLE 6 –

## 5 Comparateurs synchrones compacts à déclenchement par les sources

### 5.1 Le comparateur générique semi-dynamique

#### 5.1.1 Constitution et principe de fonctionnement

Si nous considérons le comparateur de la *figure 22*, fonctionnellement et topologiquement représentatif des comparateurs à déclenchement par les sources, il est constitué d'un bistable (MP11 et MP12), de deux transistors de précharge (MP15 et MP16), d'une paire différentielle composée de deux transistors d'injection des signaux à comparer (MN1 et MN2) et d'une source de courant commutée (MN5) localisée sur la source des transistors d'injection et assurant à la fois le déclenchement du bistable et la fixation des courants de polarisation. Le troisième transistor de précharge MP19 est optionnel, il permet de s'affranchir d'un éventuel hystérésis du à une mémorisation de l'état précédent sur la capacité du nœud de source Z. En terme fonctionnel, le comparateur à déclenchement par les sources est identique au comparateur à déclenchement par les drains, après la phase de précharge (niveau bas de l'horloge) initialisant les entrées X et Y du bistable

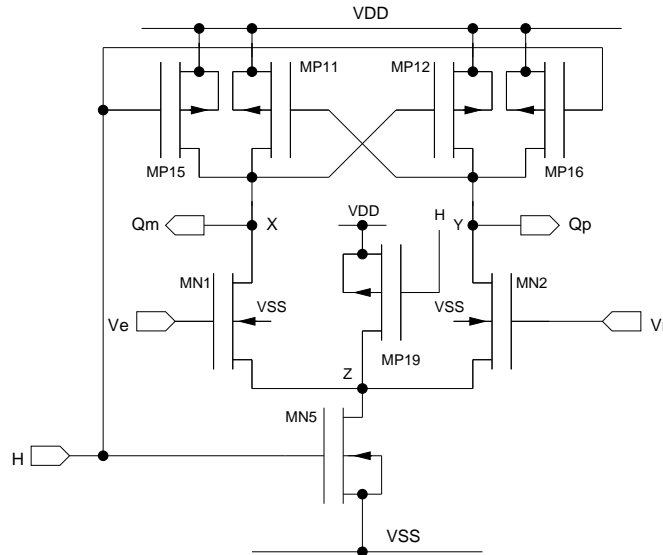


FIGURE 22 –

*Comparateur générique de type N à déclenchement par les sources*

à VDD (également sorties du comparateur), le niveau haut de l'horloge provoque le déclenchement de la comparaison en transférant le déséquilibre entre  $V_e$  et  $V_r$ , transformé en courant, sur les nœuds X et Y du bistable qui peut ainsi régénérer les sorties à VDD et à VSS. On notera qu'en début de déclenchement, les transistors d'entrée étant en régime saturé, les comparateurs à déclenchement par les sources sont normalement caractérisés par une tension de décalage statistique normalement plus faible que les comparateurs à déclenchement par les drains qui ont leurs transistors d'entrée en régime ohmique. Le bistable consommant un courant statique durant la période haute de l'horloge, le comparateur est semi-dynamique.

### 5.1.2 Analyse temporelle

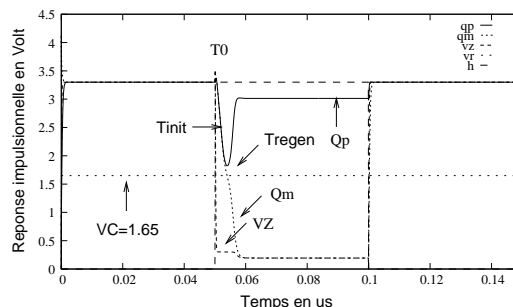


FIGURE 23 –

*Résultats de simulation SPICE du comparateur générique à déclenchement par les sources avec une technologie  $L_{min}=0.35\mu m$   $V_{THn}=0.49$   $V_{THp}=-0.68V$  et avec  $V_{DD}=3.3V$   $V_e=1.9$   $V_r=1.65$  et un modèle BSIM3v3*

La simulation SPICE de la *figure 23* donne l'évolution temporelle des différents nœuds du comparateur générique à déclenchement par les sources. Comme pour le comparateur générique à déclenchement par les drains, on peut distinguer trois phases de

fonctionnement [22]. Si nous définissons l'instant  $T_0$  de l'analyse comme correspondant à une configuration du comparateur où les grilles du transistor de déclenchement et des transistors de précharge viennent juste d'être commutées à VDD, on peut distinguer une première phase de fonctionnement de durée  $T_{init}$ , pendant laquelle les transistors MN1 et MN2, partant d'une tension de drain VDD, déchargent, avec une vitesse fonction de l'amplitude des tensions appliquées sur les grilles et de leur transconductance, la somme des capacités présentes sur les nœuds X et Y jusqu'à une tension VA suffisante pour que les transistors MP11 et MP12 du bistable entrent en conduction. Définissant cette tension comme étant approximativement la tension de seuil  $V_{TH}$  des deux MOS, la mise en régime ohmique de M1 et M2 étant très brève (durée du front montant de l'horloge), et les transistors d'injection étant en régime saturé et on peut écrire

$$T_{init} \approx \frac{C_X V_{TH_{M11}}}{I_{ds_{M1}}}.$$

La tension de seuil des transistors du bistable étant atteinte, une deuxième phase de fonctionnement s'amorce en considérant que le gain de boucle du bistable est supérieur à 1 et que la la boucle de régénération, en forte réaction positive, partant d'une tension initiale  $V_{xy_0}$ , l'amplifie jusqu'à une tension  $V_{xy}$  telle que les tensions de sortie  $V_{Qp}$  et  $V_{Qm}$  puissent être interprétées respectivement comme un 1 logique et un 0 logique, cette deuxième phase de fonctionnement est identifiable avec le temps de régénération  $T_{regen}$  du bistable. Ainsi, en considérant, le modèle linéarisé de la *figure 16*, on détermine

$$T_{regen} \approx \log\left(\frac{V_{xy}}{V_{xy_0}}\right) / \beta_{regen}$$

avec

$$V_{xy_0} \approx \frac{T_{init}}{C_I} (I_{ds_{M1}} - I_{ds_{M2}}) = |V_{TH_{M11}}| \left(1 - \frac{I_{ds_{M2}}}{I_{ds_{M1}}}\right)$$

et

$$V_{xy} \approx 2(V_{DD} - |V_{TH_{M11}}| - VC).$$

Le jeu de transistors MN1, MN2 et MN5 formant une *paire différentielle*, avec

$$\Delta Id = |I_{ds_{M1}} - I_{ds_{M2}}| \text{ et } \Delta Ve = Ve - VR \text{ et } I_{ds_{M5}} = I_0 \text{ et } \beta_1 = \mu_n C_{ox} \frac{W_1}{L_1}$$

pour une faible valeur de  $\Delta Id$  et de  $\Delta Ve$  on détermine

$$\Delta Id \approx \sqrt{\beta_1 I_0} \Delta Ve$$

soit

$$V_{xy_0} \approx |V_{TH_{M11}}| \sqrt{\frac{4\beta_1}{I_0}} \Delta Ve,$$

ce qui conduit au temps de régénération

$$T_{regen} \approx \frac{C_X}{g_{m11}} \log\left(\frac{1}{V_{TH_{11}}} \sqrt{\frac{I_0}{4\beta_1}} \frac{V_{xy}}{\Delta Ve}\right).$$

Pour la troisième phase de fonctionnement, la durée à considérer est fonction de la faculté de la circuiterie suivant le comparateur à détecter un 0 et un 1 logiques.



### 5.1.3 Détermination analytique de la tension de décalage

Définissons arbitrairement l'état d'équilibre, comme le point de fonctionnement correspondant à  $V_H=V_{DD}$ ,  $V_e=V_r$  et  $V_{Qp}=V_{Qm}=V_{S0}$ . Les transistors sujets à l'erreur d'appariement MN1, MN2, MP11 et MP12 sont normalement en régime saturé et en forte inversion.

#### - Tension de décalage statique due à MN1 et MN2

Comme pour le comparateur générique à déclenchement par les drains, à l'état d'équilibre, les fluctuations statistiques du facteur de transconductance et de la tension de seuil des transistors d'entrée MN1 et MN2 de la paire différentielle génèrent deux courants de drain de variance  $\sigma^2 dI_{ds1} = \sigma^2 dI_{ds2}$  vus différentiellement par le bistable et à l'origine d'un courant de décalage en sortie du comparateur. Ce courant peut formellement être corrigés par une tension en série sur la grille de MN1 s'écrivant en termes d'écart type et de constantes technologiques d'erreur d'appariement

$$\sigma_{ED_1} = \frac{\alpha_1}{\sqrt{W_1 L_1}} \sqrt{\frac{1}{4} A_{\beta_1}^2 (V_{gs1} - V_{TH1})^2 + A_{V_{TH1}}^2}.$$

Typiquement, le facteur de pondération  $\alpha_1$  est de l'ordre de l'unité.

#### - Tension de décalage statique due à MP11 et MP12

De même, à partir du modèle statistique du courant dans un transistor MOS, la tension de décalage issue du désappariement entre MP11 et MP12 peut être formellement donnée par

$$\sigma_{ED_{11}} = \frac{\alpha_{11}}{2\sqrt{W_{11} L_{11}}} (V_{gs1} - V_{TH1}) \sqrt{A_{\beta_{11}}^2 + \frac{4}{(V_{gs11} - V_{TH11})^2} A_{V_{TH11}}^2}.$$

Une valeur  $\alpha_{11} \approx 1/4$  peut être choisie comme valeur initiale pour une éventuelle minimisation de  $ED_{11}$ .

#### - Tension de décalage dynamique

Pour déterminer la tension de décalage dynamique, on doit considérer l'erreur d'appariement sur les capacités de sortie CX et CY. Ainsi, avec  $CX = CY + \Delta C$  et

$$CX \frac{dV_X}{dt} = I_{ds1} \quad \text{et} \quad CY \frac{dV_Y}{dt} = I_{ds2},$$

la tension de décalage virtuelle  $ED_X$  placée en série avec  $V_e$  imposera

$$\frac{dV_X}{dt} = \frac{dV_Y}{dt}$$

soit

$$\frac{I_{ds1}}{I_{ds2}} = \frac{CX}{CX - \Delta C} \approx 1 + \frac{\Delta C}{CX} = \frac{\mu_1 \frac{C_{ox}}{2} \frac{W_1}{L_1} (V_e + ED_X - V_{TH1} - V_Z)^2}{\mu_2 \frac{C_{ox}}{2} \frac{W_2}{L_2} (V_r - V_{TH2} - V_Z)^2} \approx 1 - \frac{2ED_X}{V_r - V_{TH1} - V_Z}.$$

Le comparateur semi-dynamique est donc caractérisé en terme de tension de décalage dynamique par la valeur

$$ED_X \approx \frac{\Delta C}{CX} \frac{V_r - V_{TH1} - V_Z}{2} = \frac{\Delta C}{CX} \frac{V_{eg1}}{2}$$

proportionnelle à l'erreur relative sur la capacité de sortie du dispositif. D'origine composite, puisque constituée de différentes capacités actives internes et externes (typiquement inverseurs CMOS ou bascule RS) et d'une capacité de routage, sa nature aléatoire fait qu'il conviendra de l'ajouter quadratiquement aux tensions de décalage statiques  $\sigma_{ED_1}^2$  et  $\sigma_{ED_{11}}^2$ .

On notera d'autre part, que comme pour les autres comparateurs compacts, compte tenue des erreurs d'appariement entre MP15 et MP16 et entre les capacités CX et CY, une seconde tension de décalage dynamique est créée par injection de charges parasites lors de la fermeture des deux transistors de précharge. Ayant pour valeur approximative

$$V_{of} \approx \frac{W_{15}L_{15}C_{ox}(V_H - |V_{TH_{15}}|)}{2CX} + V_H \frac{Cgd_{15}}{Cgd_{15} + CX},$$

avec des transistors de précharge de dimension aussi petite que possible, sa valeur est normalement négligeable.

#### - Tension de décalage du comparateur semi-dynamique

Les erreurs d'appariement entre chaque paire de transistors étant normalement très faiblement corrélées, en terme d'écart type, la tension de décalage s'écrit

$$\sigma_{ED} = \sqrt{\sigma_{ED_1}^2 + \sigma_{ED_{11}}^2 + \sigma_{ED_X}^2}.$$

La tension de décalage statique issue de MN15 et MN16 n'est pas prise en considération, ces deux transistors étant bloqués en phase de comparaison, leur influence dans la somme quadratique peut être considérée comme négligeable.

#### 5.1.4 Principe de dimensionnement, performances et domaine d'application

Le dimensionnement des comparateurs à déclenchement par les sources s'effectue selon les mêmes principes que les comparateurs à déclenchement par les drains, c'est à dire en respectant, autant que faire ce peut avec la technologie utilisée, les contraintes temporelles et les contraintes sur la tension de décalage. Un aperçu des performances que l'on peut obtenir peut être donné en synthétisant un comparateur cadencé par une fréquence d'horloge de 1GHz avec la technologie  $0.13\mu m$  précédemment utilisée, ses dimensions sont données par la *table 7*, et sa tension de décalage calculée (1 sigma) est de 6mV. En simulation il est caractérisé par une tension de décalage d'écart type 8mV (principalement issue de MN1/MN2) et son temps de réponse est de l'ordre de 0,4nS. En terme de domaine d'application privilégié, le comparateur générique peut être utilisé dans des applications avec une haute fréquence d'horloge (de part son caractère semi-dynamique) autorisant des tensions de décalage d'écart type de l'ordre de la dizaine de mV. Dans sa version avec paire différentielle de type N et pour les basses tensions d'alimentation la tension de comparaison devra être typiquement au minimum de l'ordre de  $VDD/2$ .

#### 5.1.5 Variante avec source de courant

Si nous considérons l'expression analytique des tensions de décalage statiques, on constate une dépendance du premier terme à la tension effective de grille  $V_{eg} = V_{gs} -$

Dimensions du comparateur géénérique FH=1GHz

	MN1	MN5	MP11	MP15	MP19
$W$ en $\mu m$	3.72	1.0	2.465	2.1	1.5
$L$ en $\mu m$	0.13	0.13	0.13	0.13	0.13
Istatique=155 $\mu A$ et aire mos=2.5 $\mu m^2$					

TABLE 7 –

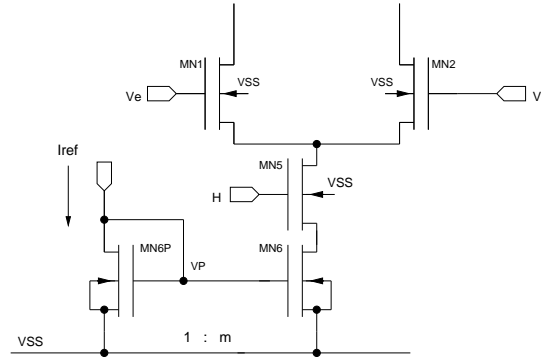
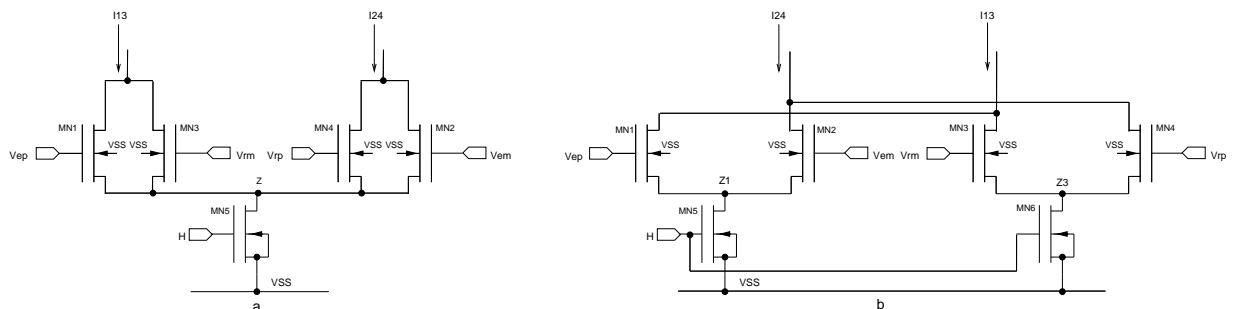


FIGURE 24 –

Comparateur semi-dynamique géénérique de type N à déclenchement par les sources avec source de courant

*VTH*. Le caractère dynamique de cette tension étant susceptible de générer de la non-linéarité dans un CAN, on peut être conduit à contrôler la polarisation de la paire différentielle par une source de courant en série avec le transistor de déclenchement comme indiqué sur la *figure 24*. Cette source de courant limite les variations de la tension effective de grille de MN1 et MN2 [6], mais son caractère statique, peut affecter la vitesse de commutation du comparateur en générant du slew-rate (fonction des capacités de charge). On notera que le courant de référence  $I_{ref}$  fixant la tension de grille de MN6P peut, par recopie, imposer certaines **caractéristiques** au courant de polarisation de la paire différentielle, stabilité en température, transconductance constante, ... [12]. Toutefois, en sus de la dégradation éventuelle des spécifications temporelles, la polarisation de MN6 en saturation implique la nécessité d'une tension d'entrée de mode commun plus élevée (typiquement une augmentation de l'ordre de 0,2V). D'autre part, autant que faire ce peut, les repliements du miroir de courant MN6P et MN6 seront fixés afin de limiter le courant statique  $I_{ref}$ .

### 5.1.6 Comparateurs avec entrées différentielles



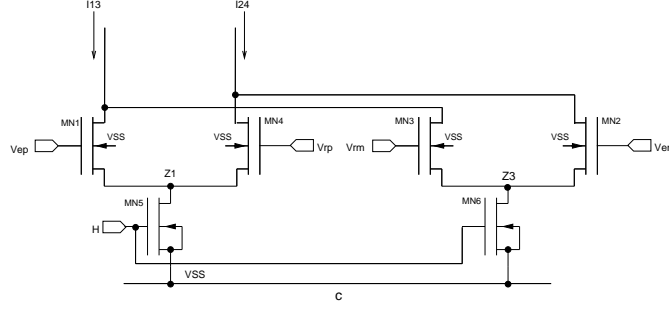


FIGURE 25 –

*Les trois modes d'injection des entrées différentielles*

La comparaison différentielle peut être structurellement réalisée selon l'un des trois modes d'injection comme indiqué sur la *figure 25*.

### - Topologie a

Les deux paires différentielles partagent la même source de courant M5, les transistors d'entrée étant en forte inversion et en régime saturé, en posant à priori  $W_1 = W_2$ ,  $W_3 = W_4$  et les longueurs étant identiques, on peut écrire

$$I_{13} = \mu_n \frac{C_{ox}}{2} \left( \frac{W_1}{L} (V_{ep} - V_{TH} - VZ)^2 + \frac{W_3}{L} (V_{rm} - V_{TH} - VZ)^2 \right)$$

et

$$I_{24} = \mu_n \frac{C_{ox}}{2} \left( \frac{W_2}{L} (V_{em} - V_{TH} - VZ)^2 + \frac{W_4}{L} (V_{rp} - V_{TH} - VZ)^2 \right).$$

A l'équilibre, sous les conditions énumérées précédemment, les deux courants seront égaux avec

$$\begin{aligned} (V_{ep} + V_{em} - 2V_{TH} - 2VZ)(V_{ep} - V_{em}) \\ = \frac{W_3}{W_1} (V_{rp} + V_{rm} - 2V_{TH} - 2VZ)(V_{rp} - V_{rm}), \end{aligned}$$

ainsi, VEMC étant la tension d'entrée de mode commun, avec

$$V_{ep} + V_{em} = V_{rp} + V_{rm} = 2V_{EMC}$$

on détermine

$$V_{ep} - V_{em} = \frac{W_3}{W_1} (V_{rp} - V_{rm}) \text{ soit } V_{ed} = \frac{W_3}{W_1} V_{rd}.$$

La tension de seuil du comparateur peut être idéalement fixée par dimensionnement des transistors d'injection. En pratique, de part l'éventuelle dépendance des mobilités aux tensions de grille, il peut s'avérer être nécessaire d'ajuster la largeur des transistors.

De même, si la paire différentielle est en ohmique (configuration atypique), pour le comparateur semi-dynamique), avec

$$\begin{aligned} I_{13} = \mu_n C_{ox} \left( \frac{W_1}{L} (V_{ep} - V_{TH} - VZ - \frac{V_{DS1}}{2}) V_{DS1} \right. \\ \left. + \frac{W_3}{L} (V_{rm} - V_{TH} - VZ - \frac{V_{DS3}}{2}) V_{DS3} \right) \end{aligned}$$

et

$$I_{24} = \mu_n C_{ox} \left( \frac{W_2}{L} (V_{em} - V_{TH} - V_Z - \frac{V_{DS_3}}{2}) V_{DS_3} + \frac{W_4}{L} (V_{rp} - V_{TH} - V_Z - \frac{V_{DS_1}}{2}) V_{DS_1} \right)$$

à l'équilibre, on détermine

$$V_{ep} - V_{em} = \frac{W_3}{W_1} (V_{rp} - V_{rm}) \text{ soit } V_{ed} = \frac{W_3}{W_1} V_{rd}.$$

### - Topologie b

Chaque paire différentielle a sa propre source de courant, la tension de référence est appliquée sur la seconde paire. Tous les transistors d'entrée étant en forte inversion et en régime saturé, on écrit

$$I_{13} = \mu_n \frac{C_{ox}}{2} \left( \frac{W_1}{L} (V_{ep} - V_{TH_1} - V_{Z1})^2 + \frac{W_3}{L} (V_{rm} - V_{TH_3} - V_{Z3})^2 \right)$$

et

$$I_{24} = \mu_n \frac{C_{ox}}{2} \left( \frac{W_2}{L} (V_{em} - V_{TH_1} - V_{Z1})^2 + \frac{W_4}{L} (V_{rp} - V_{TH_3} - V_{Z3})^2 \right).$$

A l'équilibre, les courants  $I_{13}$  et  $I_{24}$  seront égaux avec

$$V_{ep} - V_{em} = \frac{W_3}{W_1} (V_{rp} - V_{rm}) \frac{V_{EMC} - V_{Z3} - V_{TH_3}}{V_{EMC} - V_{Z1} - V_{TH_1}}.$$

Les tensions  $V_{Z1}$  et  $V_{Z3}$ , (donc éventuellement les tensions de seuil), sont dépendantes des tensions appliquées sur les grilles, on peut expliciter les courants différentiels de chaque paire différentielle et écrire

$$IDS_1 - IDS_2 = \beta_1 (V_{ep} - V_{em}) \sqrt{\frac{2IDS_5}{\beta_1} - (V_{ep} - V_{em})^2}$$

et

$$IDS_4 - IDS_3 = \beta_3 (V_{rp} - V_{rm}) \sqrt{\frac{2IDS_6}{\beta_3} - (V_{rp} - V_{rm})^2}$$

soit avec  $(IDS_1 - IDS_2) - (IDS_4 - IDS_3) = I_{13} - I_{24}$

$$\beta_1^2 (V_{ep} - V_{em})^2 \left( \frac{2IDS_5}{\beta_1} - (V_{ep} - V_{em})^2 \right) = \beta_3^2 (V_{rp} - V_{rm})^2 \left( \frac{2IDS_6}{\beta_3} - (V_{rp} - V_{rm})^2 \right)$$

Ainsi, conformément à [19] avec

$$\beta_1 = 0.5 \mu_n C_{ox} \frac{W_1}{L_1}, \beta_3 = 0.5 \mu_n C_{ox} \frac{W_3}{L_3}, IDS_5 = dIDS_6 \text{ et } V_{ep} - V_{em} = e(V_{rp} - V_{rm})$$

pour un jeu de valeur  $d$  et  $e$  donné,  $W_1$  et  $W_3$  devront respecter la contrainte théorique

$$2de^2 IDS_6 \frac{W_1}{L} - e^4 \mu_n C_{ox} \left( \frac{W_1}{L} \right)^2 (V_{rp} - V_{rm})^2 = 2dIDS_6 \frac{W_3}{L} - \mu_n C_{ox} \left( \frac{W_3}{L} \right)^2 (V_{rp} - V_{rm})^2.$$

Etant donné le caractère approximatif de cette relation analytique basé sur un modèle de transistor très simplifié, pratiquement, on pourra dimensionner les paires différentielles en partant de la relation approximative

$$\frac{W_3}{W_1} = e$$

et en ajustant par itération la largeur des transistors pour obtenir la tension de commutation ciblée.

Si les deux paires différentielles sont en régime ohmique, avec

$$I_{13} = \mu_n Cox \left( \frac{W_1}{L} (Vep - VTH_1 - VZ1 - \frac{VDS_1}{2}) VDS_1 + \frac{W_3}{L} (Vrm - VTH_3 - VZ3 - \frac{VDS_3}{2}) VDS_3 \right)$$

et

$$I_{24} = \mu_n Cox \left( \frac{W_2}{L} (Vem - VTH_1 - VZ1 - \frac{VDS_2}{2}) VDS_2 + \frac{W_4}{L} (Vrp - VTH_3 - VZ3 - \frac{VDS_4}{2}) VDS_4 \right)$$

et  $VDS_1 = VDS_2$  et  $VDS_3 = VDS_4$  on peut écrire

$$Vep - Vem = \frac{W_3}{W_1} (Vrp - Vrm) \frac{VDS_3}{VDS_1}.$$

Comparativement à la première topologie, l'utilisation d'une seconde source de courant assure le découplage physique entre l'entrée à comparer et le dispositif de fixation de la tension de référence.

### - Topologie c

La tension de référence est appliquée avec le signal d'entrée sur la première et la seconde paire différentielle. Tous les transistors d'entrée étant en forte inversion et en régime saturé, on écrit

$$I_{13} = \mu_n \frac{Cox}{2} \left( \frac{W_1}{L} (Vep - VTH_1 - VZ1)^2 + \frac{W_3}{L} (Vrm - VTH_3 - VZ3)^2 \right)$$

et

$$I_{24} = \mu_n \frac{Cox}{2} \left( \frac{W_2}{L} (Vem - VTH_3 - VZ3)^2 + \frac{W_4}{L} (Vrp - VTH_1 - VZ1)^2 \right).$$

À l'équilibre, l'égalisation des courants  $I_{13}$  et  $I_{24}$  conduit à écrire

$$\begin{aligned} & (Vep + Vem - VTH_1 - VTH_3 - VZ1 - VZ3) \\ & \quad (Vep - Vem - VTH_1 + VTH_3 - VZ1 + VZ3) \\ & = \frac{W_3}{W_1} (Vrp + Vrm - VTH_1 - VTH_3 - VZ1 - VZ3) \\ & \quad (Vrp - Vrm - VTH_1 + VTH_3 - VZ1 + VZ3), \end{aligned}$$

soit avec  $Vep + Vem = Vrp + Vrm = 2VEMC$

$$Vep - Vem = \frac{W_3}{W_1} (Vrp - Vrm) + \left( \frac{W_3}{W_1} - 1 \right) (VZ3 - VZ1 + VTH_3 - VTH_1).$$

Avec les quatre transistors d'injection en régime ohmique, on écrit

$$I_{13} = \mu_n Cox \left( \frac{W_1}{L} (Vep - VTH_1 - VZ1 - \frac{VDS_1}{2}) VDS_1 + \frac{W_3}{L} (Vrm - VTH_3 - VZ3 - \frac{VDS_3}{2}) VDS_3 \right)$$

et

$$I_{24} = \mu_n Cox \left( \frac{W_2}{L} (Vem - VTH_3 - VZ3 - \frac{VDS_3}{2}) VDS_3 + \frac{W_4}{L} (Vrp - VTH_1 - VZ1 - \frac{VDS_1}{2}) VDS_1 \right).$$

Ainsi, à l'équilibre, l'égalité

$$\begin{aligned} & \frac{W_1}{L}((V_{ep} - V_{Z1} - V_{TH1} - \frac{V_{DS1}}{2})V_{DS1} - (V_{em} - V_{Z3} - V_{TH3} - \frac{V_{DS3}}{2})V_{DS3}) \\ & = \\ & \frac{W_3}{L}((V_{rp} - V_{Z1} - V_{TH1} - \frac{V_{DS1}}{2})V_{DS1} - (V_{rm} - V_{Z3} - V_{TH3} - \frac{V_{DS3}}{2})V_{DS3}) \end{aligned}$$

conduit à une formalisation de  $V_{ep} - V_{em}$  directement fonction de  $V_{rp} - V_{rm}$  fortement conditionnée par une égalisation de  $V_{DS1}$  et de  $V_{DS3}$  sous-entendant l'égalisation de  $V_{Z1}$  et  $V_{Z3}$ . Comparativement à la topologie précédente, le découplage total entre le signal d'entrée et le signal de comparaison n'est plus assuré, mais le dimensionnement des sources de courant est identique.

## 5.2 Le comparateur dynamique

### 5.2.1 Constitution et principe de fonctionnement

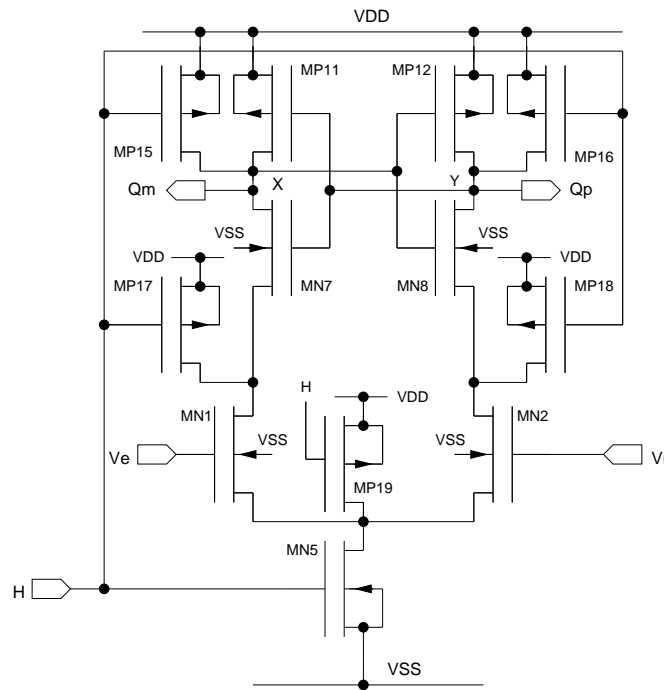


FIGURE 26 –

*Comparateur dynamique à déclenchement par les sources*

Le comparateur dynamique de la *figure 26* est directement synthétisé en considérant le comparateur semi-dynamique de la *figure 22* et en remplaçant le bistable MOS par un bistable CMOS, les inverseurs CMOS en série dans les deux branches confèrent à la structure son caractère dynamique. Les transistors de précharges MP17 et MP18, non fonctionnels, assurent la mise en saturation des transistors d'entrée MN1 et MN2 au début de la phase d'évaluation pour les fortes tension d'entrée de mode commun et déchargent les capacités présentes sur les sources de MN7 et MN8 susceptibles de produire de l'hystérésis. A l'équilibre ( $V_H = V_{DD}$ ,  $V_e = V_r$ ,  $V_{Qp} = V_{Qm} = V_{S0}$ ), la mise en série des deux tensions grille-source des inverseurs font que ce dispositif nécessite, une tension d'alimentation relativement élevée (de l'ordre de  $V_{THp} + V_{THn} + qqs$ , 0,1V) et que MN1 et MN2 sont typiquement en régime ohmique pour les faibles tensions d'alimentation, surtout pour les dispositifs de type N utilisant une technologie standard à substrat P

n'autorisant pas la connexion source-substrat des MOS flottants minimisant leur tension de seuil. Ce comparateur est souvent nommé comparateur de Strong-ARM par référence à la bascule utilisée dans un microprocesseur homonyme [11] dont il est une adaptation.

### 5.2.2 Détermination de la tension de décalage

#### - Tensions de décalage statiques dues à MN1, MN2, MP11 et MP12

Si les transistors d'entrée sont en régime saturé à l'équilibre, les tensions de décalage statistiques générées par les erreurs d'appariement entre les couples MN1, MN2 et MP11, MP12 sont identiques à celles obtenues avec le comparateur semi-dynamique. Si ils sont en régime ohmique on devra considérer les expressions

$$\sigma_{ED_1} = \frac{\alpha_1}{\sqrt{W_1 L_1}} \sqrt{A_{\beta_1}^2 (Vg_{s1} - VTH_1 - \frac{1 + \delta_1}{2} Vds_1)^2 + A_{VTH_1}^2}$$

et

$$\sigma_{ED_{11}} = \frac{\alpha_{11}}{\sqrt{W_{11} L_{11}}} (Vg_{s1} - VTH_1 - \frac{1 + \delta_1}{2} Vds_1) \sqrt{A_{\beta_{11}}^2 + \frac{4}{(Vg_{s11} - VTH_{11})^2} A_{VTH_{11}}^2}.$$

Les valeurs  $\alpha_1 \approx 1$  et  $\alpha_{11} \approx 1/4$  peuvent être choisies comme valeurs initiales pour une éventuelle optimisation des tensions de décalage.

#### - Tension de décalage statique due à MN7 et MN8

Pour déterminer la tension de décalage issue du désappariement entre MN7 et MN8 normalement en régime saturé, on considère le modèle topologique MN7 cascodant MN1. Ainsi, si les transistors d'entrée de la paire différentielle sont saturés avec

$$\sigma_{ED_7}^2 = \frac{\alpha_7^2}{2} \frac{\sigma^2 dIds_1}{Ids_1^2} V e g_1^2$$

et

$$\sigma^2 \left( \frac{dIds_1}{Ids_1} \right) = \lambda_1^2 \left( \frac{1}{4} (Vg_{s7} - VTH_7)^2 \sigma^2 \left( \frac{d\beta_7}{\beta_7} \right) + \sigma^2 (dVTH_7) \right)$$

on calcule

$$\sigma_{ED_7} = \frac{\alpha_7}{2\sqrt{W_7 L_7}} (Vg_{s1} - VTH_1) \lambda_1 \sqrt{\frac{1}{4} A_{\beta_7}^2 (Vg_{s7} - VTH_7)^2 + A_{VTH_7}^2}.$$

Et si MN1 et MN2 sont en régime ohmique, avec

$$\sigma_{ED_7}^2 = 2 \alpha_7^2 \frac{\sigma^2 dIds_1}{Ids_1^2} (Vg_{s1} - VTH_1 - \frac{1 + \delta_1}{2} Vds_1)^2$$

et

$$\sigma^2 \left( \frac{dIds_1}{Ids_1} \right) = \left( \frac{1}{Vds_1} - \frac{0.5(1 + \delta_1)}{Vg_{s1} - VTH_1 - \frac{1 + \delta_1}{2} Vds_1} \right)^2 \left( \frac{1}{4} (Vg_{s7} - VTH_7)^2 \sigma^2 \left( \frac{d\beta_7}{\beta_7} \right) + \sigma^2 (dVTH_7) \right)$$

on calcule

$$\sigma_{ED_7} = \alpha_7 (Vg_{s1} - VTH_1 - \frac{1 + \delta_1}{2} Vds_1) \left( \frac{1}{Vds_1} - \frac{0.5(1 + \delta_1)}{Vg_{s1} - VTH_1 - \frac{1 + \delta_1}{2} Vds_1} \right) \sqrt{\frac{1}{4} A_{\beta_7}^2 (Vg_{s7} - VTH_7)^2 + A_{VTH_7}^2}.$$



Suite à de nombreuses simulations statistiques avec des technologies et des tensions d'alimentation différentes, une valeur  $\alpha_7 \approx 1/4$  peut être considérée comme satisfaisante pour une détermination approximative initiale de la tension de décalage issue de l'erreur d'appariement entre MN7 et MN8 pour des tensions drain-source de MN1 et MN2 relativement grandes par rapport à  $ED_7$ . Par contre, pour des faibles tensions  $VDS_1$  correspondant à un fonctionnement des MOS d'entrée en ohmique, on peut observer une forte surévaluation théorique de la tension de décalage. Ainsi, autant que faire ce peut, notamment pour les faibles tensions d'alimentation, on minimisera la tension effective de grille de MN7 et MN8 et/ou on surdimensionnera leur longueur.

### - Tension de décalage dynamique

Les transistors d'entrée étant en régime saturé, la tension de décalage dynamique du comparateur dynamique est identique à celle du comparateur semi-dynamique

$$ED_X = \frac{\Delta C}{CX} \frac{Veg_1}{2}.$$

Si MN1 et MN2 sont en régime saturé, avec

$$\frac{Ids_1}{Ids_2} \approx 1 + \frac{\Delta C}{CX} = \frac{\mu_1 Cox \frac{W_1}{L_1} (Ve + ED_X - VTH_1 - VZ - 0.5Vds_1)Vds_1}{\mu_2 Cox \frac{W_2}{L_2} (Vr - VTH_2 - VZ - 0.5Vds_1)} \approx 1 + \frac{ED_X}{Vr - VTH_1 - VZ - \frac{Vds_1}{2}} Vds_2$$

on détermine

$$ED_X \approx \frac{\Delta C}{CX} \left( Vr - VTH_1 - VZ - \frac{Vds_1}{2} \right).$$

### - Tension de décalage du comparateur dynamique

La tension de décalage statique issue des transistors de précharge et la tension de décalage dynamique issue des injections de charges parasites, n'étant pas prises en considération, la tension de décalage a pour valeur

$$\sigma_{ED} = \sqrt{\sigma_{ED_1}^2 + \sigma_{ED_{11}}^2 + \sigma_{ED_7}^2 + \sigma_{ED_X}^2}$$

## 5.2.3 Principe de dimensionnement, performances et domaine d'application

Un comparateur dynamique cadencé par une fréquence d'horloge de 1GHz avec la technologie  $0.13\mu m$  précédemment utilisée, a été synthétisé. La tension effective de grille de MN7 est fixée à 0,08V. Ses dimensions sont données par la *table 8*, et sa tension de décalage calculée (1 sigma) est de 1mV. En simulation et sans modification des coefficients de pondération, il est caractérisé par une tension de décalage d'écart type 0,8mV et son temps de réponse est de l'ordre de 1nS. On notera les rapports d'aspect important conduisant à une faible tension de décalage, mais un fort courant dynamique (valeur moyenne de 1mA sur TH/2). En terme de domaine d'application privilégié, le comparateur dynamique peut typiquement être utilisé dans des applications moyenne fréquence autorisant des tensions de décalage d'écart type de l'ordre de la dizaine de mV. Comme le comparateur générique, dans sa version avec paire différentielle de type N et pour les basses tensions d'alimentation la tension de comparaison devra être typiquement au minimum de l'ordre de  $VDD/2$ .

Dimensions du comparateur dynamique  $FH=1GHz$

	MN1	MN5	MN7	MP11	MP15	MP17	MP19
$W$ en $\mu m$	458.995	21.485	113.5	53.925	21.6	21.6	21.6
$L$ en $\mu m$	0.13	0.13	0.13	0.13	0.13	0.13	0.13
Aire mos=182.6 $\mu m^2$							

TABLE 8 –

## 6 Comparateurs dynamiques synchrones non compacts avec préamplification dynamique

Afin de réduire la forte tension de décalage statistique caractérisant les comparateurs compacts, préalablement à la comparaison, on peut effectuer une préamplification des entrées, ainsi, la tension de décalage résultante est divisée par la gain de l'amplificateur. Cet amplificateur de tension peut être *statique* (temps continu) [4],[15], ou dynamique [7] [1]. La préamplification statique implique normalement une forte consommation en courant mais réduit notablement le kickback, alors que la préamplification dynamique réduit plus faiblement le kickback, mais ne consomme du courant que lors des transitions, elle préserve le caractère dynamique du comparateur.

### 6.1 L'amplificateur de lecture deux étages et deux sources de courant

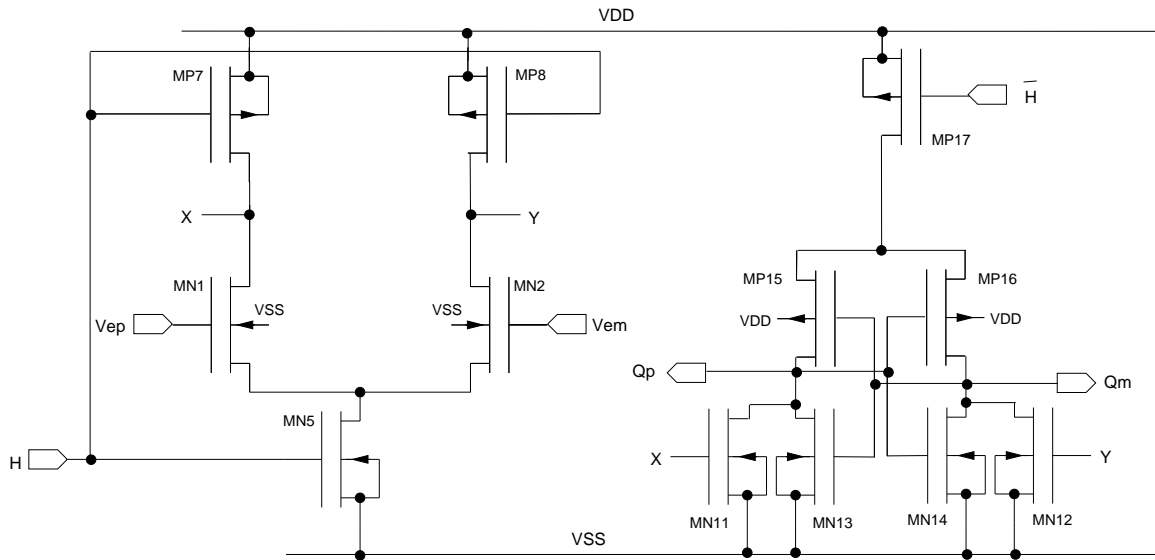


FIGURE 27 –

*Amplificateur de lecture deux étages et deux sources de courant*

Comparativement à l'amplificateur de lecture synthétisé à partir de la bascule de Strong-ARM et à la base du comparateur dynamique à déclenchement par les sources, l'amplificateur de lecture deux étages (un amplificateur dynamique cascadié avec un comparateur compact) et deux sources de courant (MN5 et MP17) de la *figure 27* [17] est essentiellement caractérisé par une moins forte dépendance du temps de réponse et de la

tension de décalage à la tension d'entrée de mode commun, par une possibilité d'utilisation avec une tension d'alimentation plus faible tout en conservant les transistors d'entrée de sa paire différentielle en régime saturé, et par un degré de liberté supplémentaire pour une réalisation du compromis tension de décalage et/ou vitesse et/ou consommation. Toutefois, son utilisation en comparateur dynamique est obérée par la nécessité de deux horloges complémentaires (la seconde horloge peut être générée localement) avec des contraintes de concordances temporelles très précises. En effet, d'une part, du fait du principe de l'amplification dynamique, le second étage doit prélever la différence de tension entre les deux sorties de l'amplificateur dans un interval de temps très limité (si possible au voisinage du gain maximum), et d'autre part, si le déclenchement du latch est retardé, le temps de réponse du comparateur est allongé et si le déclenchement du latch s'effectue avant que la sortie du premier étage soit suffisamment bas, un courant de court circuit entre MP17, MP15/MP16 et MN11/MN12 peut s'établir, s'accompagnant d'une augmentation de la consommation et d'une dégradation de la tension de décalage [7].

## 6.2 L'amplificateur dynamique

### 6.2.1 Constitution et principe de fonctionnement

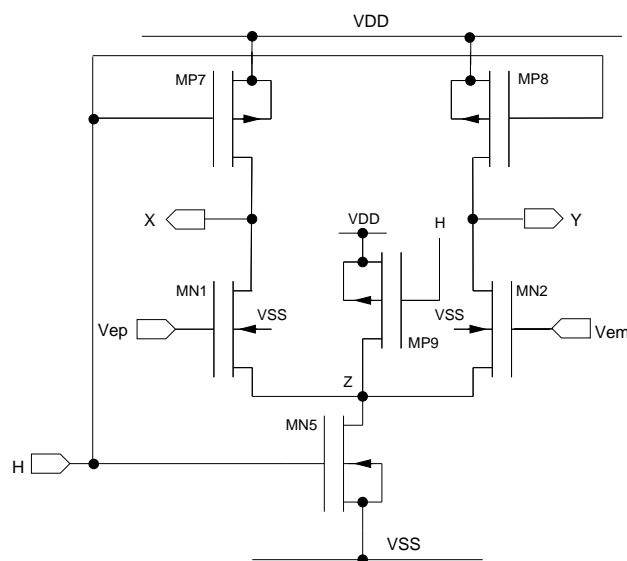


FIGURE 28 –

*Amplificateur dynamique*

Si nous considérons l'amplificateur dynamique de la *figure 28*, structurellement proche du comparateur à déclenchement par les sources, il est constitué d'une paire différentielle MN1, MN2 avec sa source de courant MN5 localisée sur la source des transistors d'injection et assurant à la fois la mise en conduction de la paire différentielle et la fixation des courants de polarisation. Le troisième transistor de précharge MP9 est optionnel, il évite que les courants dans MN1 et MN2 en faible inversion établissent une tension de source VZ mal définie et dépendante de l'état précédent (hystérésis). Après la phase de précharge (niveau bas de l'horloge) initialisant les sorties X et Y de l'amplificateur à VDD, le niveau haut de l'horloge bloque les transistors de précharge MP7 et MP8

et provoque la mise en conduction de la paire différentielle qui décharge les capacités des nœuds X et Y avec une vitesse fonction du déséquilibre entre les tensions  $V_{ep}$  et  $V_{em}$  mémorisées sur les capacités de grille des transistors d'entrée. En terme de tension d'alimentation, MN5 travaillant en régime ohmique, l'amplificateur dynamique nécessite typiquement une tension d'entrée de mode commun VEMC juste supérieure à  $V_{TH_{MN1}}$  pour assurer le fonctionnement de la paire différentielle en forte inversion (une mise en faible inversion de MN1 et MN2 n'est aucunement rédhibitoire mais peut entraîner de grands rapports d'aspect avec des capacités parasites associées importantes).

### 6.2.2 Détermination du gain dynamique

Durant la phase d'évaluation ( $V_H=V_{DD}$ ) la paire différentielle décharge les capacités CX et CY localisées sur les nœuds de sortie X et Y du dispositif, ce faisant, avec

$$CX \frac{dV_X(t)}{dt} = ICX(t) = Ids_1(t) \quad \text{et} \quad CY \frac{dV_Y(t)}{dt} = ICY(t) = Ids_2(t)$$

et par intégration sur l'intervalle  $[T_0, t]$ ,  $T_0$  étant le début de la phase d'évaluation avec  $V_X(T_0) = V_Y(T_0) = V_{DD}$  on écrit

$$V_X(t) = V_{DD} - \frac{Ids_1}{CX} t \quad \text{et} \quad V_Y(t) = V_{DD} - \frac{Ids_2}{CY} t.$$

En d'autres termes, avec  $CX = CY$ ,  $V_X(t) - V_Y(t) = V_{xy}(t)$  et  $V_{ep} - V_{em} = V_e$  étant constant sur l'intervalle d'intégration, l'amplificateur dynamique intègre le courant de la paire différentielle avec

$$V_{xy}(t) = - \int \frac{Gm_1}{CX} V_e dt = - \frac{Gm_1}{CX} t V_e,$$

pour le petit signal, l'amplificateur est donc caractérisé formellement par un gain dynamique

$$A_{v_{dyn}}(t) = \frac{v_{xy}}{v_e} = - \frac{gm_1}{CX} t$$

avec

$$gm_1 = \frac{2IDS_1}{V_{e_{g1}}} = \frac{IDS_5}{V_{EMC} - V_Z(t) - V_{TH_1}(t)}.$$

Ainsi, avec  $V_e$  constant, MN1 et MN2 en régime saturé et en forte inversion sur l'intervalle  $[T_0, t]$ , et en considérant les tensions  $V_Z(t)$  et  $V_{TH_1}(t)$  comme constantes (si la technologie l'autorise on peut relier les sources des transistors d'entrée au substrat), le gain dynamique est une fonction croissante avec le temps qui peut être maximisée avec une faible tension effective de grille. En fixant la fin de l'intervalle d'intégration  $T_1$  à la limite du passage de MN1 en régime ohmique, on peut écrire

$$A_{v_{dyn}}(T_1) = - \frac{gm_1}{IDS_1} (V_{DD} - V_{DS1_{sat}} - V_Z) \approx -2 \left( \frac{V_{DD} - V_{SS} - V_{DS_5}}{V_{GS_1} - V_{TH_1}} - \frac{1}{1 + \delta_1} \right),$$

on peut donc raisonnablement obtenir un gain de quelques unités (typiquement 3 à 10). On notera que si la paire différentielle est en faible inversion et si on considère son passage en ohmique pour  $V_{DS_1} \leq 4Vt$ , on obtient

$$A_{v_{dyn}}(T_1) = - \frac{gm_1}{IDS_1} (V_{DD} - 4Vt - V_Z) = - \frac{1}{\eta Vt} (V_{DD} - V_{SS} - V_{DS_5} - 4Vt)$$

soit

$$A_{v_{dyn}}(T1) = -\frac{4}{\eta} \left( \frac{V_{DD} - V_{SS} - V_{DS5}}{4V_t} - 1 \right).$$

Pour une tension thermique  $V_t$  de l'ordre de 26mV et un facteur de pente  $\eta$  de l'ordre de 2,3 à la température ambiante, on peut également pratiquement cibler un gain dynamique de quelques unités.

La *figure 29* correspond au relevé d'une simulation SPICE d'un amplificateur dynamique, il valide la relative constance de  $V_Z$  (fixée à 0,1V) et le passage du gain dynamique par un maximum de l'ordre de 3,5 au voisinage du passage de MN1 en régime ohmique.

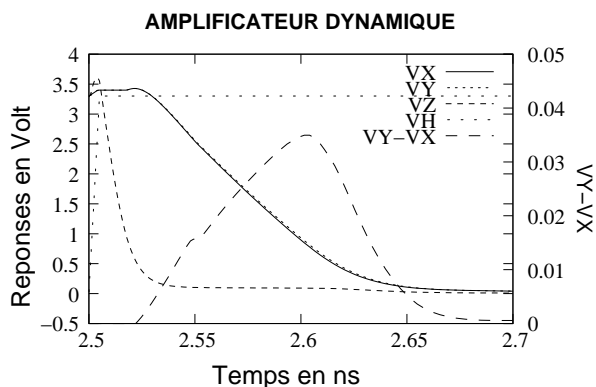


FIGURE 29 –

*Résultats de simulation SPICE de l'amplificateur dynamique  
avec une technologie  $L_{min}=0.35\mu m$   $V_{THn}=0.49$   $V_{THp}=-0.68V$   
et avec  $V_{DD}=3.3V$   $V_{ep}=V_{EMC}=1.65V$   $V_{em}=V_r=1.66V$   $F_H=200MHz$  et un modèle BSIM3v3*

### 6.2.3 Détermination de la tension de décalage

#### - Tension de décalage statique

En phase d'évaluation, et sans erreur d'appariement sur les capacités de sortie ( $C_X=C_Y$ ), les transistors de précharge MP7 et MP8 étant bloqués, à l'équilibre, c'est à dire avec  $V_{ep}=V_{em}=V_{EMC}$ , le désappariement entre les deux transistors d'entrée MN1 et MN2 en régime saturé et en forte inversion sont à l'origine d'une tension de décalage statique formellement identique à celle calculée pour le comparateur générique à déclenchement par les sources, c'est à dire

$$\sigma_{ED1} = \frac{\alpha_1}{\sqrt{W_1 L_1}} \sqrt{\frac{1}{4} A_{\beta_1}^2 (V_{gs1} - V_{TH1})^2 + A_{V_{TH1}}^2}$$

avec, typiquement, un facteur de pondération  $\alpha_1$  est de l'ordre de l'unité.

#### - Tension de décalage dynamique

La tension de décalage dynamique est également formellement similaire à la tension de décalage dynamique du comparateur compact à déclenchement par les sources, avec  $C_X = C_Y + \Delta C$  elle est proportionnelle à l'erreur relative sur la capacité de sortie du dispositif et elle a approximativement pour valeur

$$ED_X \approx \frac{\Delta C}{CX} \frac{Vgs_1 - VTH_1}{2}$$

qu'il conviendra d'ajouter quadratiquement à la tension de décalage statique  $\sigma_{ED_1}^2$ . L'amplificateur dynamique est également potentiellement sujet aux injections de charges parasites avec une seconde source de tension de décalage dynamique de valeur

$$V_{of} \approx \frac{W_7 L_7 C_{ox}(VH - |VTH_7|)}{2CX} + VH \frac{C_{gd7}}{C_{gd7} + CX},$$

avec des transistors de précharge de dimension aussi petite que possible, sa valeur est normalement négligeable.

## 6.2.4 Principe de dimensionnement

### - Respect des contraintes sur la tension de décalage

La largeur d'un transistor MOS en régime saturé étant au premier ordre proportionnelle à sa longueur et à son courant, et inversement proportionnelle au carré de sa tension effective de grille, en terme de tension de décalage on peut écrire

$$\sigma_{ED_1} \propto \frac{Vgs_1 - VTH_1}{L_1 \sqrt{IDS_1}} \sqrt{\frac{1}{4} A_{\beta_1}^2 (Vgs_1 - VTH_1)^2 + A_{VTH_1}^2}.$$

L'amplificateur dynamique a pour principale vocation de fournir du gain (inversement proportionnel à  $Veg_1$ ) afin de réduire la contribution de la tension de décalage du comparateur compact connecté sur sa sortie, à la tension de décalage globale du comparateur. Ainsi normalement, la tension de décalage de l'amplificateur est prépondérante et les transistors MN1 et MN2 devront être dimensionnés afin de répondre aux spécifications demandées. Pour ce faire, on réduira, autant que faire ce peut, la tension effective de grille des transistors d'entrée (pour une tension d'entrée VEMC donnée on pourra augmenter VDS5) et on utilisera les longueurs L1 et L2 et le courant de polarisation comme paramètres de dimensionnement, sous la contrainte du respect du temps de réponse du dispositif.

### - Respect des contraintes temporelles

En terme de contrainte temporelle,  $CJ_{MN1}$  représentant les capacités de jonction associées à MN1, et  $C_{ext}$  représentant la somme des capacités fixes connectées sur la sortie X (essentiellement capacités jonction de MP7 et capacités de charge de l'amplificateur) avec

$$\Delta T = \frac{CX}{IDS_1} \Delta VX$$

et

$$CX \approx CJ_{MN1} + C_{ext} \approx Kj_1 W_1 + C_{ext}$$

et

$$Kj_1 W_1 \propto L_1 IDS_1,$$

le temps de réponse de l'amplificateur dynamique est composé d'une partie intrinsèque fonction de la longueur L1 et indépendante du courant, et d'une partie extrinsèque inversement proportionnelle à IDS1. Pour une technologie donnée, l'amplificateur dynamique est donc caractérisé par un temps de réponse minimum, au premier ordre indépendant



précharges MN15 et MN16. De part la mise à VDD des grilles des transistors d'injection MP11 et MP12 lors de la phase de précharge des sorties X et Y, les transistors de déclenchement MN5 et MN6 du comparateur compact de Song sont fonctionnellement redondants et ont été supprimés. On notera que les capacités sur les drains flottants de MP17 et MP18 n'étant pas initialement déchargées, le comparateurs est susceptible de présenter de l'hystérésis pour les très hautes fréquences d'horloge. Bien évidemment, une version avec amplificateur dynamique de type P et comparateur dynamique de Song de type N est réalisable. Si nous définissons arbitrairement l'état d'équilibre comme l'état électrique pour lequel l'amplificateur dynamique présente un gain maximum, avec les tensions VX et VY normalement inférieures à la tension d'entrée de mode commun de la paire différentielle, les transistors de précharges MN15 et MN16 sont en régime saturé (typiquement en faible inversion pour les basses tensions d'alimentation) et contribuent (dans une moindre mesure) avec MP11 et MP12 à l'injection du signal différentiel de comparaison amplifié sur le latch. En terme de régime de fonctionnement pour les transistors MP11 et MP17 du latch, à l'équilibre, en considérant la tension de sortie  $VSMC_{AMP}$  de l'amplificateur dynamique, le fonctionnement de MP11 en régime saturé est assuré avec

$$VSD_{11} > VSG_{11} - |VTH_{11}|$$

soit

$$VSMC_{AMP} > VS0 - |VTH_{11}|$$

on notera que la tension  $VSMC_{AMP}$  est typiquement inférieure VRP et que, si la technologie le permet, la tension de seuil de M11 peut être minimisée en reliant sa source au substrat. Quant au fonctionnement de MP17 en régime saturé la condition

$$VSD_{17} > VS0 - |VTH_{17}|$$

peut s'avérer être difficile à réaliser en basse tension d'alimentation sans placer MP11 en faible inversion, impliquant un très fort rapport d'aspect pour des fréquences d'horloge élevées avec des capacités parasites associées pouvant obérer le fonctionnement du comparateur.

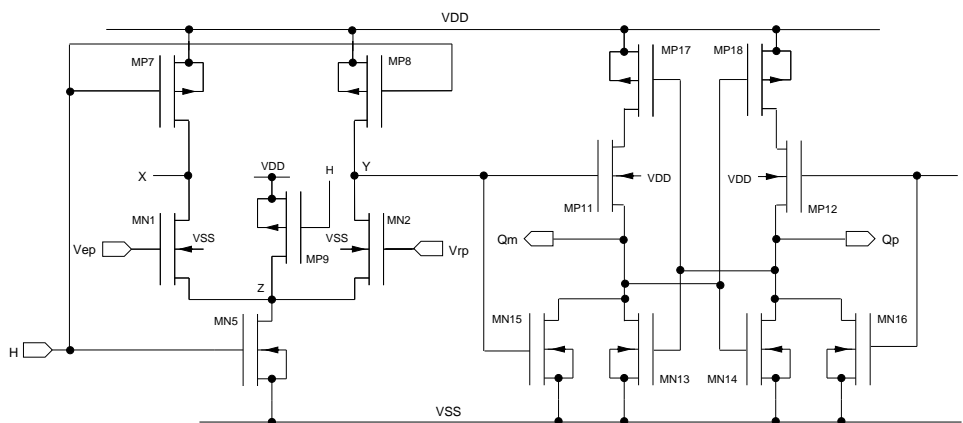


FIGURE 31 –

*Comparateur non compact avec amplificateur dynamique N et latch de Song P*



### 6.3.2 Détermination de la tension de décalage du latch

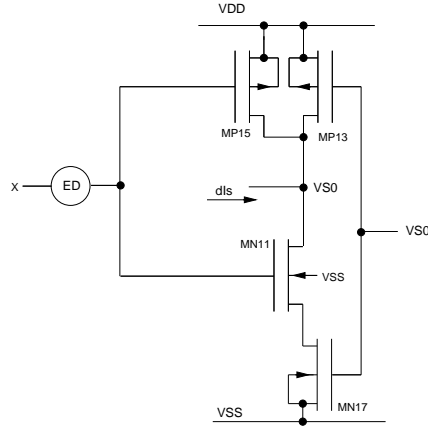


FIGURE 32 –

Modélisation de la tension de décalage du latch (type N)

Pour déterminer la tension de décalage du latch, le signal de sortie de l'amplificateur étant injecté sur les grilles de M11 et M15, à l'état d'équilibre ( $V_{Qm} = V_{Qp} = VS0$  et  $VX = VS_{MC_{AMP}}$ ), on peut considérer le modèle de calcul de la *figure 32*. Ainsi, conformément à la technique de calcul utilisée pour le comparateur compact de Song, pour MN11 en régime saturé, on peut directement écrire

$$\sigma_{ED11}^2 = 2 \frac{\sigma^2 dI_{ds11}}{(gm_{11} + gm_{15})^2} = 2 \frac{\sigma^2 dI_{ds11}}{gm_{11}^2 (1 + \frac{gm_{15}}{gm_{11}})^2}$$

et en termes d'écart type et de constantes technologiques d'erreur d'appariement

$$\sigma_{ED11} = \frac{1}{1 + \frac{gm_{15}}{gm_{11}}} \frac{1}{\sqrt{W_{11}L_{11}}} \sqrt{\frac{1}{4} A_{\beta 11}^2 (V_{gs11} - V_{TH11})^2 + A_{V_{TH11}}^2}.$$

De même, pour le second transistor d'entrée (fonctionnellement transistor de précharge), avec

$$\sigma_{ED15}^2 = 2 \alpha_{15}^2 \frac{\sigma^2 dI_{ds15}}{(gm_{11} + gm_{15})^2} = 2 \alpha_{11}^2 \frac{\sigma^2 dI_{ds15}}{gm_{15}^2 (1 + \frac{gm_{11}}{gm_{15}})^2}$$

on peut écrire

$$\sigma_{ED15} = \frac{1}{1 + \frac{gm_{11}}{gm_{15}}} \frac{1}{\sqrt{W_{15}L_{15}}} \sqrt{\frac{1}{4} A_{\beta 15}^2 (V_{gs15} - V_{TH15})^2 + A_{V_{TH15}}^2}.$$

Le transistor MP15 étant dimensionné comme un transistor de précharge, avec sa grille à VSS, typiquement (notamment pour les hautes fréquences d'horloge), il est taillé plus petit que le transistor d'injection MN11, et à l'équilibre, il est caractérisé par une faible tension de grille (typiquement au voisinage de la faible inversion). Sa transconductance est plus petite que la transconductance de MN11, et sa contribution à la tension de décalage du latch est normalement inférieure à celle de MN11. Quant aux tensions de décalage générées par M13 et M17, elles peuvent être considérées comme formellement identiques à ED3 at ED7 du comparateur compact de Song (éventuellement on peut considérer un facteur correctif égal à  $1 + gm_{15}/gm_{11}$ ).

### 6.3.3 Principes de dimensionnement

#### - Respect des contraintes temporelles et des tensions de décalage

Le temps de réponse du comparateur correspond à la somme du temps de réponse de l'amplificateur dynamique et du latch, chacun comportant une partie intrinsèque irréductible par une augmentation du courant de polarisation et une partie extrinsèque proportionnelle à sa charge capacitive et inversement proportionnelle au courant. La contribution de la tension de décalage du latch étant pondérée par le gain de l'amplificateur, pour des tensions de décalage cibles de l'ordre de la dizaine de mV, il est normalement pertinent de fixer les longueurs des transistors du latch proche de  $L_{min}$  pour minimiser les capacités parasites, les longueurs des transistors de l'amplificateur pouvant être éventuellement optimisées (notamment pour les faibles fréquences d'horloge) pour réduire sa tension de décalage. On notera toutefois qu'une trop forte tension de décalage intrinsèque pour le latch (typiquement plusieurs dizaines de mV) peut conduire statistiquement à une forte modification des points de polarisation s'accompagnant d'une nette sous évaluation des performances statiques.

### 6.3.4 Performances et domaine d'application

De part l'utilisation d'un amplificateur dynamique en premier étage et d'une structure de Song en second étage, le comparateur non compact considéré est fonctionnel pour des tensions d'alimentation relativement basses si la tension de comparaison est supérieure ou proche de  $0,5(V_{DD}-V_{SS})$ . Ils peuvent travailler avec des fréquences d'horloges relativement élevées (typiquement supérieures à 1 GHz pour des nœuds technologiques inférieurs à  $0,15\mu m$ ) des tensions de décalage relativement faibles (inférieures à 5mV). Un premier comparateur avec une fréquence d'horloge de 1GHz et une charge capacitive de 10fF a été dimensionné avec la technologie  $0,13\mu m$  précédemment utilisée. Les dimensions sont explicitées dans la *table 9* (les transistors n'ont pas été repliés), la tension de décalage totale calculée à 1 sigma est 5mV (3mV pour l'amplificateur et 4mV pour le latch) avec un gain dynamique évalué de 12.4. En simulation il est caractérisé par une tension de décalage de 4mV (4.2mV pour l'amplificateur et 1.29mV pour le latch), gain dynamique maximum de 8.5, une consommation dynamique de  $210\mu A$  (valeur moyenne du courant sur TH) et un temps de réponse de l'ordre de 0,3nS.

*Dimensions du comparateur non compact amplificateur N et latch de Song P FH=1GHz*

	MN1	MN5	MP7	MP9	MP11	MN13	MN15	MP17
<i>W en <math>\mu m</math></i>	14.47	2.135	4.2	8.55	4.305	4.205	1.65	6.575
<i>L en <math>\mu m</math></i>	0.13	0.13	0.13	0.13	0.13	0.13	0.13	0.13
Aire mos=10.6 $\mu m^2$								

TABLE 9 –

Un second comparateur avec une fréquence d'horloge de 2GHz (proche de la limite technologique) a été dimensionné avec la même technologie  $0,13\mu m$  et avec la même charge. Les dimensions sont explicitées dans la *table 10* (les transistors n'ont pas été repliés), la tension de décalage totale calculée à 1 sigma est 2,22mV (0.37mV pour l'amplificateur et 2.18mV pour le latch) avec un gain dynamique évalué de 12.5. En simulation il est caractérisé par une tension de décalage de 0.8mV (0.5mV pour l'amplificateur et 0.7mV pour le latch), un gain dynamique de 8.7, une consommation dynamique de  $10mA$  (valeur moyenne du courant sur TH) et un temps de réponse de l'ordre de 0,25nS. Pour

les deux comparateurs, on notera l'imprécision relative des calculs analytiques des tensions de décalage, notamment pour la latch.

En terme de domaine d'application, le comparateur non compact peut être utilisé dans des applications utilisant des fréquences d'horloge relativement hautes et demandant des tensions de décalage de quelques mV (typiquement comme les CAN à approximations successives [20] [6]).

*Dimensions du comparateur non compact amplificateur N et latch de Song P FH=2GHz*

	MN1	MN5	MP7	MP9	MP11	MN13	MN15	MP17
<i>W en <math>\mu\text{m}</math></i>	915.545	127.135	130.5	26.1	14.6	14.525	5.85	17.03
<i>L en <math>\mu\text{m}</math></i>	0.13	0.13	0.13	0.13	0.13	0.13	0.13	0.13
Aire mos=305.4 $\mu\text{m}^2$								

TABLE 10 –

## 6.4 Comparateur avec amplificateur dynamique N et latch de Song N

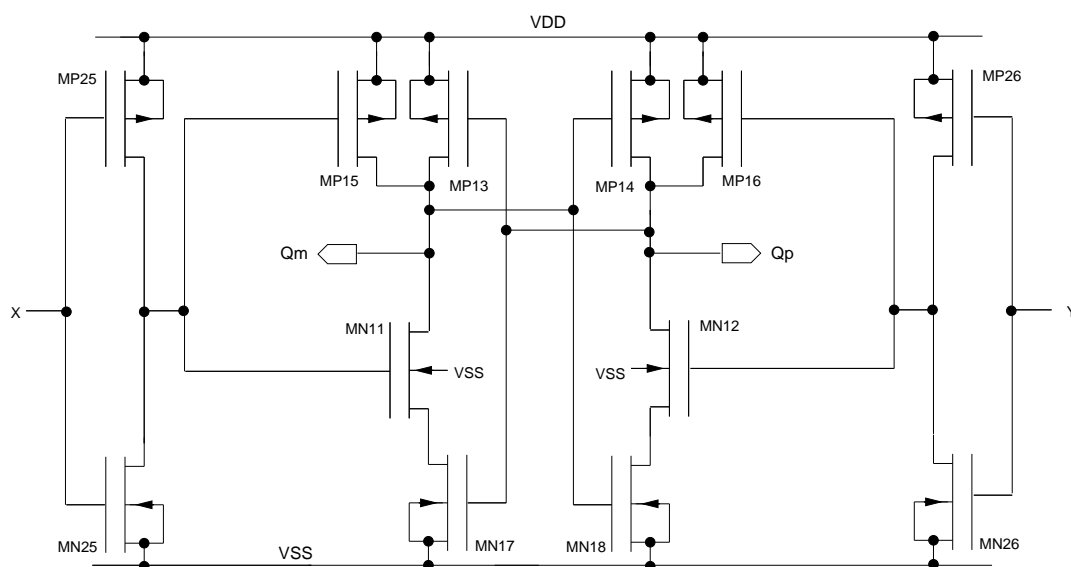


FIGURE 33 –

*Comparateur non compact avec amplificateur dynamique N et latch de Song N  
(l'amplificateur n'est pas représenté)*

Il est possible de synthétiser un comparateur avec un amplificateur dynamique et un latch de Song de même type à condition d'utiliser une paire d'inverseurs numériques [7] comme indiqué sur la *figure 33*. Ce faisant, la contribution de la tension de décalage du latch est divisée par le gain de l'inverseur multiplié par le gain de l'amplificateur dynamique, mais il est nécessaire de prendre en compte la contribution de la tension de décalage de l'inverseur qui est divisée par le gain de l'amplificateur. Si les inverseurs sont dimensionnés de manière standard avec des tensions de commutation identiques sur l'entrée (VCE) et la sortie (VCS) égales à la demi tension d'alimentation, le gain de l'amplificateur n'est normalement pas maximum et en basse alimentation tension grille-source de MN11 peut s'avérer être suffisamment faible pour placer les transistors d'entrée

en faible la inversion, ainsi, typiquement on fixera  $V_{CE} < V_R$  et  $V_{CS} > 0.5(V_{DD}-V_{SS})$ . D'autre part, en terme de réponse temporelle, une forte charge capacitive sur la sortie des inverseurs, principalement due aux capacités actives de MN11, leur confère un temps de réponse très long, pouvant obérer le fonctionnement du comparateur

## 6.5 Comparateurs avec amplificateur dynamique et latch de Lewis-Gray

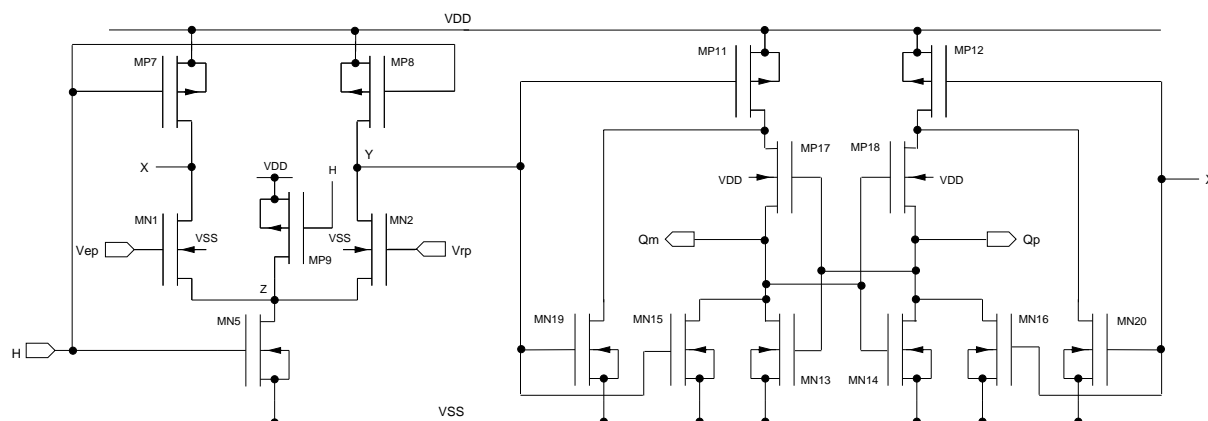


FIGURE 34 –

*Comparateur amplificateur dynamique N et latch de Lewis-Gray P*

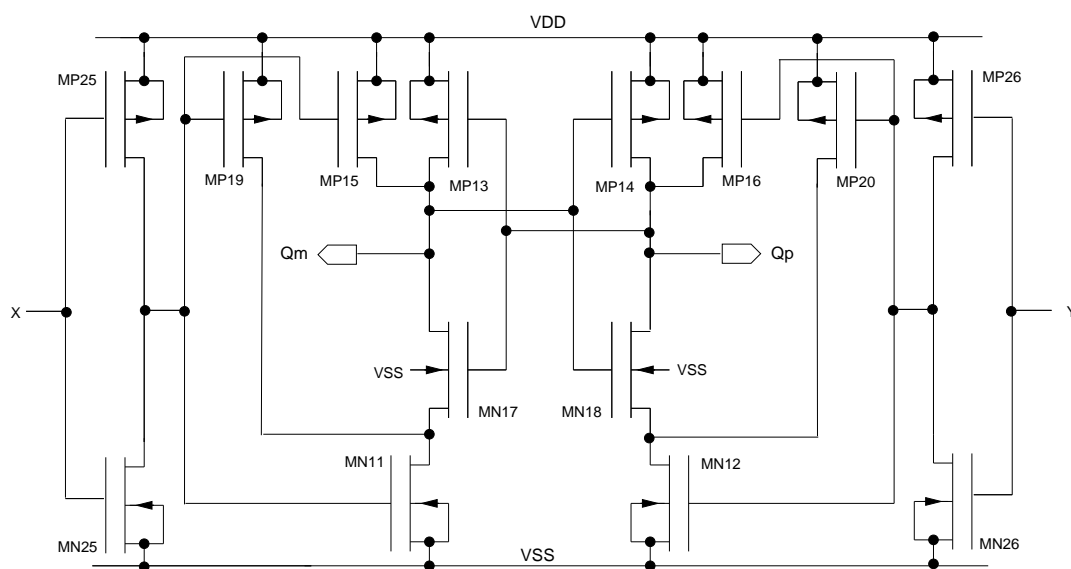


FIGURE 35 –

*Comparateur non compact avec amplificateur dynamique N et latch de Lewis-Gray N (l'amplificateur n'est pas représenté)*

Similairement aux deux circuits précédent, on peut synthétiser le comparateur non compact avec amplificateur dynamique N et latch de Lewis-Gray P (comparateur

générique dynamique sans M5) de la *figure 34* et le comparateur non compact avec amplificateur dynamique N et latch de Lewis-Gray N de la *figure 35*. Le fonctionnement est identique, mais tous les nœuds flottants peuvent être correctement préchargés par l'intermédiaire des transistors M15 et M19. Typiquement, pour les faibles tensions d'alimentation, le transistor d'entrée principal M11 est en régime ohmique, alors que les deux transistors d'entrée secondaires M15 et M19 (fonctionnellement MOS de précharge), sont au voisinage de la faible inversion. En terme de tension de décalage, le formalisme mis en œuvre pour le comparateur compact de Lewis-Gray peut être réutilisé pour M11, M13 et M17, quant à la contribution de M15 et M19, comme pour les comparateurs non compacts précédant, elle est donnée en considérant

$$\sigma_{ED_{15}} = \frac{1}{1 + \frac{gm_{11}}{gm_{15}}} \frac{1}{\sqrt{W_{15}L_{15}}} \sqrt{\frac{1}{4}A_{\beta_{15}}^2 (Vgs_{15} - VTH_{15})^2 + A_{VTH_{15}}^2}$$

et

$$\sigma_{ED_{19}} = \frac{1}{1 + \frac{gm_{11}}{gm_{19}}} \frac{1}{\sqrt{W_{19}L_{19}}} \sqrt{\frac{1}{4}A_{\beta_{19}}^2 (Vgs_{19} - VTH_{19})^2 + A_{VTH_{19}}^2}.$$

Un comparateur avec une fréquence d'horloge de 1GHz et une charge capacitive de 10fF a été dimensionné avec la technologie 0,13 $\mu m$  précédemment utilisée. Les dimensions sont explicitées dans la *table 11* (les transistors n'ont pas été repliés), la tension de décalage totale calculée à 1 sigma est 1,7mV (1,65mV pour l'amplificateur et 0,43mV pour le latch) avec un gain dynamique évalué de 12.5. En simulation il est caractérisé par une tension de décalage de 2.7mV (2.9mV pour l'amplificateur et 0,6mV pour le latch), gain dynamique maximum de 9.2, une consommation dynamique de 270 $\mu A$  (valeur moyenne du courant sur TH) et un temps de réponse de l'ordre de 0.35nS. On notera qu'afin de réduire la taille de MP17, la tension de commutation en sortie du latch a été fixée à 0.5V.

*Dimensions du comparateur non compact amplificateur N et latch de Lewis-Gray P FH=1GHz*

	MN1	MN5	MP7	MP9	MP11	MN13	MN15	MP17	MN19
<i>W en <math>\mu m</math></i>	45.98	6.55	12.9	26.1	12.48	20.765	4.35	16.11	3.15
<i>L en <math>\mu m</math></i>	0.13	0.13	0.13	0.13	0.13	0.13	0.13	0.13	0.13
Aire mos=24.3 $\mu m^2$									

TABLE 11 –

## Références

- [1] S. H. W. CHIANG, H. SUN, and B. RAZAVI. "A 10-Bit , 800-MHZ, 19-mW CMOS ADC". *IEEE Journal of Solid-State Circuit*, vol. 49(No. 4) :pp. 935–949, April 2014.
- [2] T. B. CHO and P. R. GRAY. "A 10b, 20 Msample/s, 35 mW pipeline A/D converter". *IEEE Journal of Solid-State Circuit*, vol. 30(No. 3) :pp. 166–172, March 1995.
- [3] J.E. EKLUND and C. SWENSSON. "Influence of metastability errors on SNR in successive-approximation A/D converters ". *Analog Integrated Circuits and Signal Processing*, vol. 26 :pp. 191–198, 2001.
- [4] A. GHARBIYA and D. A. JOHNS. "A 10-Bit , 800-MHZ, 19-mW CMOS ADC". *IEEE Journal of Solid-State Circuit*, vol. 44(No. 7) :pp. 2010–2018, JULY 2009.
- [5] J. HE, S. ZHAN, D. CHEN, and R. L. GEIGER. "Analyse of static and dynamique random offset voltages in dynamic comparators". *IEEE Transactions on Circuits and Systems-I :Fundam. Theorie Appl*, vol. 56(No. 5) :pp. 911–919, May 2009.
- [6] W. HU, Y. T. LIU, T. NGUYEN, D. C. LIE, and B. P. Ginsburg. "A 8-bit single-ended ultra-low-power SAR ADC with a novel DAC switching method and a counter-based digital control circuitry". *IEEE Transactions on Circuits and Systems-I :regular papers*, vol. 60(No. 7) :pp. 1726–1730, July 2013.
- [7] H. J. JEON. "Low-power high-speed low-offset fully dynamic CMOS latched comparator". Master's thesis, Northeastern University, 2010.
- [8] C.W. MANGELSDORF. "A 400MHz input flash converter with error correction". *IEEE Journal of Solid-State Circuit*, vol. 25(No. 1) :pp. 184–191, Feb. 1990.
- [9] M. MIYAHARA, Y. ASADA, D. PAIK, and A. MATSUZAWA. "A low noise self-calibrating dynamic comparator for high-speed ADC". *IEEE Asian Solid State Circuits Conference*, pages pp. 9–2, November 2008.
- [10] M. MIYAHARA, J. LIN, K. YOSHIHARA, and A. MATSUZAWA. "A 0.5V, 1.2mW, 160 fJ, 600MS/s 5 bit flash ADC". *IEEE Asian Solid State Circuits Conference*, pages pp. 6–5, November 2010.
- [11] J. MONTANARO, R. T. WITEK, K. ANNE, A. J. BLACK, E. M. COOPER, and .... "A 100-MHZ , 32-b , 0.5-W CMOS RISC microprocessor". *IEEE Journal of Solid-State Circuit*, vol. 31(No. 11) :pp. 1703–1714, November 1996.
- [12] Y. NAKAJIMA, N. KATO, A. SAKAGUCHI, T. OHKIDO, and T. MIKI. "A 7-bit, 1.4 GS/s ADC with offset drift suppression techniques for one-time calibration". *IEEE Transactions on Circuits and Systems-I :regular papers*, vol. 60(No. 8) :pp. 1979–1990, August 2013.
- [13] A. NIKOOZADEH and B. MURMANN. "An analysis of latch comparator offset due to load capacitor mismatch". *IEEE Transactions on Circuits and Systems-II :Express briefs*, vol. 33 :pp. 1398–1402, December 2006.
- [14] C.L. PORTMANN and T.H.Y. MENG. "Power-efficient matastability error reduction in CMOS flash A/D converters". *IEEE Journal of Solid-State Circuit*, vol. 31(No. 8) :pp. 1132–1140, Aug 1996.
- [15] M. D.R. RESTITITO, A. J. ACUSTA, and A. RODRIGUEZ-VASQUEZ. "A mixed-signal integrated circuit for FM-DCSK modulation". *IEEE Journal of Solid-State Circuit*, vol. 40(No. 7) :pp. 1460–1470, JULY 2005.

- [16] R. SARPESHKAR, J. L. WYATT, N. C. LU, and P. D. GERBER. "Mismatch sensitivity of a simultaneously latched CMOS sense amplifier". *IEEE Journal of Solid-State Circuit*, vol. 26(No. 10) :pp. 1413–1422, October 1991.
- [17] D. SCHINKEL, E. MENSINK, E. KLUMPERINK, E. VAN TUIJL, and B. NAUTA. "A double-tail latch-type voltage sense amplifier with 18ps setup hold time ". *IEEE ISSCC Dig. Tech. Papers*, pages pp. 314–315, 2007.
- [18] W.C. SONG, H.W. CHOI, S.U KWAK, and B.S SONG. "A 10-b Msample/s low-power CMOS ADC". *IEEE Journal of Solid-State Circuit*, vol. 30(No. 5) :pp. 514–521, May 1995.
- [19] L. SUMANEN, M. WALTARI, and K. HALONEN. "A mismatch insensitive CMOS dynamic comparator for pipeline A/D converters". *Proceedings IEEE international Symposium on Circuits and Systems*, pages pp. 32–35, 2000.
- [20] M. TRAKIMAS, R. D'ANGELO, S. AERON, T. HANCOCK, and S. SONKUSALE. "A compressed sensing analog-to-information converter with edge-triggered SAR ADC core ". *IEEE Transactions on Circuits and Systems-I :Regular Papers*, vol. 60(No. 5) :pp. 1135–1148, May 2013.
- [21] H.J.M. VEENDRICK. "The behavior of flip-flops used as synchronizers and prediction of their failure rate". *IEEE Journal of Solid-State Circuit*, vol. 15(No. 2) :pp. 169–176, April 1980.
- [22] B. WICHT, T. NIRSCHL, and D. SCHMITT-LANDSIEDEL. "Yield and speed optimization of latch-type voltage sense amplifier". *IEEE Journal of Solid-State Circuit*, vol. 39(No. 7) :pp. 1148–1158, 2004.
- [23] J.T. WU and B.A. WOOLEY. "A 100 MHz pipelined CMOS comparator". *IEEE Journal of Solid-State Circuit*, vol. 23(No. 6) :pp. 1379–1385, Dec. 1988.
- [24] A. YUKAWA. "A CMOS 8-bits high-speed A/D converter IC ". *IEEE Journal of Solid-State Circuit*, vol. 20(No. 3) :pp. 775–779, June. 1985.