

Les commutateurs CMOS

et

les générateurs de phases associés

Table des matières

1	Introduction	2
2	Les commutateurs basiques CMOS	2
3	Dimensionnement des commutateurs	3
3.1	Temps d'établissement d'un circuit RC du premier ordre	3
4	L'injection de charge d'horloge	4
4.1	Mise en évidence du phénomène	4
4.2	Modélisation de l'ICH	5
4.3	Minimisation de l'ICH non-linéaire par une horloge à quatre phases	5
5	La réjection des bruits d'alimentation	6
6	Les générateurs de phases	7
6.1	Génération de deux phases non recouvrantes	7
6.2	Génération de fois deux phases deux phases décalées	8
6.3	Génération de fois deux phases deux phases imbriquées	8
7	Les multiplieurs de tension d'horloge	8

1 Introduction

Le commutateur est un dispositif essentiel de l'électronique analogique. C'est un des composants de base pour la technique des **capacités commutées**

, il est également utilisé entre autres pour le multiplexage, la modulation, le mixage ... Si nous considérons le modèle de la *figure 1*, c'est un dispositif à trois accès bidirectionnel, les terminaux P et Q étant des nœuds de connexion du commutateur et le terminal C étant le nœud de contrôle pilotant l'ouverture ou la fermeture du commutateur, c'est à dire essentiellement la valeur des résistances R_{on} et R_{off} . Idéalement, la résistance R_{off} devrait être infinie et la résistance R_{on} devrait être nulle. Si cette dernière a une valeur non nulle, autant que faire se peut, elle doit être linéaire pour limiter la distorsion harmonique. I_{off} représente le courant de fuite pouvant circuler entre les accès P et Q lorsque le commutateur est ouvert, V_{on} est la tension résiduelle éventuellement lorsque le commutateur est fermé. C_{pq} , C_p , C_q , C_c , C_{pc} , R_p et R_q sont les capacités et les résistances parasites associés aux nœuds de connexion.

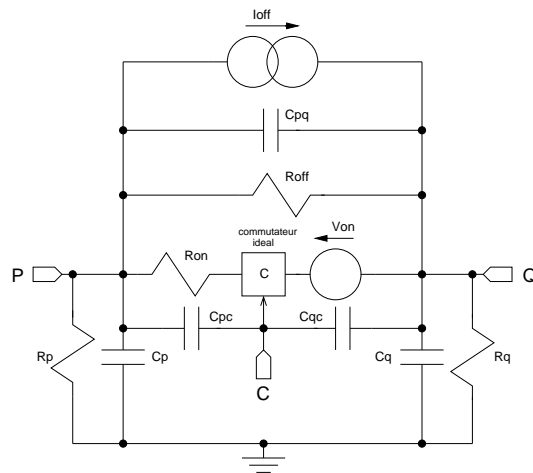


FIGURE 1 -

Modèle non idéal du commutateur

2 Les commutateurs basiques CMOS

Le transistor MOS est un bon commutateur puisqu'il possède intrinsèquement une faible résistance de fermeture une forte résistance de fermeture, une tension résiduelle nulle. *figure 2*

CMOS : le NMOS conduit pour un signal d'entrée variant de de V_{SS} à $V_{DD} - V_{THN}$ alors que le PMOS conduit de V_{THP} à V_{DD} à la condition d'avoir ECT ECT il n'y a pas de rupture de conduction le commutateur CMOS est rail to rail

Linearite ameliorable si temps etab le permet avec resistance serie

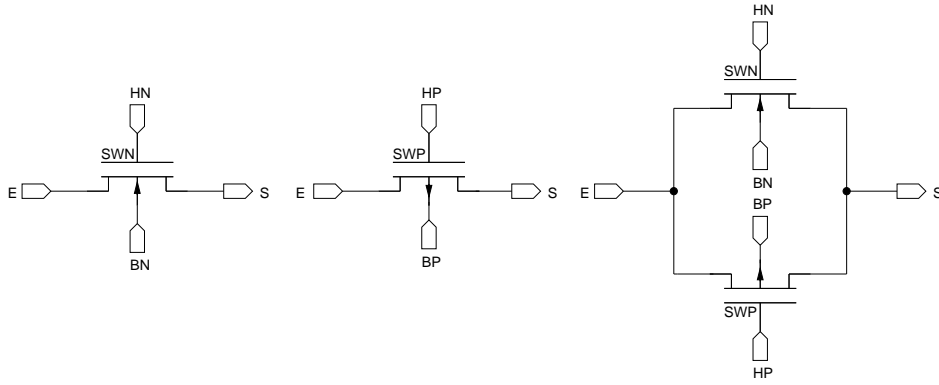


FIGURE 2 –

Les trois commutateurs basiques

3 Dimensionnement des commutateurs

3.1 Temps d'établissement d'un circuit RC du premier ordre

Compte tenu des conditions initiales $VC(T0)$ et de la valeur finale $VC(\infty)$, l'évolution de la tension $VC(t)$ aux bornes du condensateur d'un circuit du premier ordre (*figure 3*) s'écrit

$$VC(t) = VC(\infty) + (VC(T0) - VC(\infty))e^{-\frac{t-T0}{RC}}.$$

Ainsi, en terme de temps d'établissement et d'erreur de transfert ϵ , avec

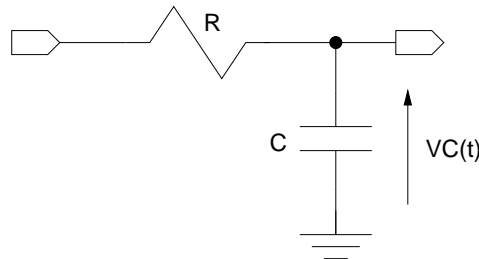


FIGURE 3 –

Circuit du premier ordre RC

$$\epsilon = \frac{[VC(\infty) - VC(T0)] - [VC(t) - VC(T0)]}{VC(\infty) - VC(T0)}$$

on obtient

$$T_{etab} = t - T0 = RC \text{ Log}\left(\frac{VC(\infty) - VC(T0)}{VC(\infty) - VC(t)}\right) = RC \text{ Log}\left(\frac{1}{\epsilon}\right)$$

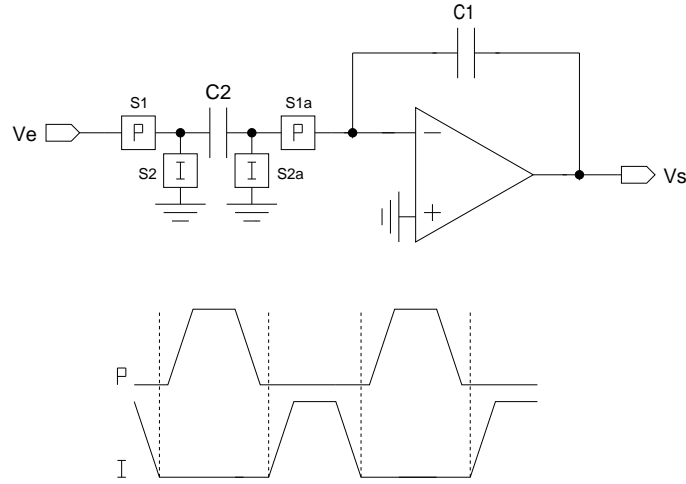


FIGURE 4 –

Mise en évidence de l'injection de charge d'horloge

4 L'injection de charge d'horloge

4.1 Mise en évidence du phénomène

Considérons l'intégrateur à capacités commutées de la *figure 4* avec son jeu de phases P et I non recouvrantes :

1. Sur le front montant de la phase P , les commutateurs $S1$ et $S1a$ étant rendus passants (commutateurs NMOS), le signal d'entrée est échantillonné par le condensateur $C1$ et transféré au condensateur $C2$ avec un certain nombre de charges "d'horloge" provenant essentiellement des capacités de recouvrement grille-drain ou grille-source des transistors MOS. La tension effectivement échantillonné étant déterminée à la fin de la phase P , si le temps d'établissement est suffisant, il n'y a aucune interaction entre le signal d'entrée et l'horloge.
2. Sur le front descendant de la phase P , les commutateurs $S1$ et $S1a$ étant ouverts, la charge correspondant au signal d'entrée est maintenue sur $C1$ et un certain nombre de charges "d'horloge" provenant des capacités de recouvrement et des charges stockées dans le canal des transistors est transféré dans $C2$. La source et le drain de $S1a$ étant approximativement au même potentiel fixe (masse virtuelle de l'amplificateur opérationnel) sur chaque cycle d'horloge, l'injection de charge d'horloge (en abrégé l'ICH) est indépendante du signal d'entrée et une tension décalage est générée. Par contre les accès du commutateur $S1$ étant à un potentiel approximativement égal à la tension d'entrée, l'ICH est une fonction non linéaire de Ve , elle génère de la distorsion harmonique.
3. Sur le front montant de la phase P , les commutateurs $S2$ et $S2a$ étant rendus passants, le condensateur $C1$ est déchargé et comme pour le premier jeu de commutateurs si le temps d'établissement est suffisant, il n'y a aucune interaction entre le signal d'entrée et l'horloge.
4. Sur le front descendant de la phase P , les commutateurs $S2$ et $S2a$ étant ouverts, comme pour l'autre jeu de commutateurs, $S2a$ génère une tension de décalage et $S2$ génère de la distorsion harmonique.

4.2 Modélisation de l'ICH

4.3 Minimisation de l'ICH non-linéaire par une horloge à quatre phases

Si nous considérons le schéma de la *figure 4*, il est évident que si on ouvre le commutateur $S1a$ avant d'ouvrir le commutateur $S1$, on n'empêche aucunement l'ICH "linéaire" dans la capacité d'intégration mais qu'on s'affranchit intégralement de l'ICH "non linéaire" due à $S1$ puisque les charges parasites ne peuvent être transmises en sortie de l'intégrateur et sont absorbées par l'entrée du circuit correspondant virtuellement à un nœud basse impédance [3]. De même, si on ouvre le commutateur $S2a$ avant d'ouvrir le commutateur $S2$ on s'affranchit intégralement de l'ICH "non linéaire" due à $S2$ puisque les charges parasites ne peuvent être mémorisées par $C2$ et sont intégralement absorbées par le nœud basse impédance correspondant à la masse analogique. On notera que le même raisonnement appliqué à un intégrateur non-inverseur c'est à dire avec permutation des commutateurs $S1$ et $S2$ conduit aux mêmes résultats. Pour minimiser de l'ICH non-linéaire trois schémas d'horloge à quatre phases (fonctionnellement deux fois deux phases) sont généralement utilisés. Le premier (*figure 5*) est physiquement plus simple à réaliser que le deuxième (*figure 6*) mais présente un temps effectif d'établissement inférieur. Le troisième (*figure 7*) réduisant encore le temps effectif d'établissement apporte un degré de raffinement supplémentaire [4] en s'affranchissant des injections de charges résiduelles, présentent éventuellement en fin de temps d'établissement incomplètement réalisé. Pour les trois horloges les phases P , Q , I et J pilotent respectivement les commutateurs $S1$, $S1a$, $S2$ et $S2a$.

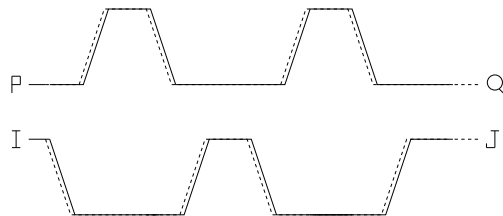


FIGURE 5 –

*Horloge à deux fois deux phases,
décalées sur fronts montants et descendants*

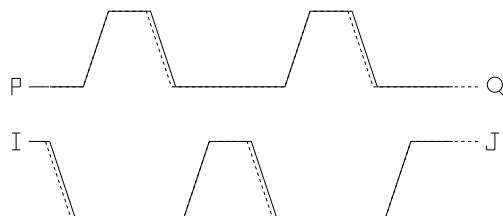


FIGURE 6 –

*Horloge à deux fois deux phases,
synchrone sur front montants et décalées sur fronts descendants*

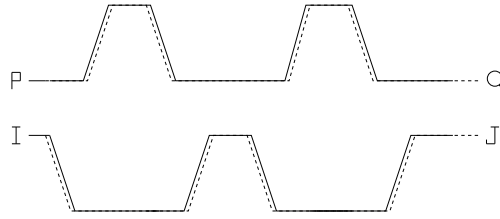


FIGURE 7 –

Horloge à deux fois deux phases imbriquées

5 La réjection des bruits d'alimentation

Si nous considérons le modèle de la *figure 8* représentant un commutateur CMOS à l'état bloqué, connecté sur l'entrée d'un intégrateur à capacités commutées, on constate un couplage capacitif directe de l'horloge. Si l'état haut du signal d'horloge est l'alimentation VDD et l'état bas l'alimentation VSS, et si les bruits d'alimentation petit signal correspondant sont notés respectivement v_{dd} et v_{ss} , ces derniers génèrent sur la sortie de l'intégrateur deux signaux parasites tels que

$$\frac{v_s}{v_{ss}} = -\frac{covn}{C1}$$

et

$$\frac{v_s}{v_{dd}} = -\frac{covp}{C1}.$$

Même si ces signaux parasites de type mode commun peuvent être fortement atténués par l'utilisation de structures différentielles, dans le cadre d'une double alimentation du circuit il peut être avantageux d'alimenter le dernier inverseur tampon de la *figure 11* sur l'alimentation analogique "propre", les autres portes logiques étant alimentées par l'alimentation numérique "poluée".

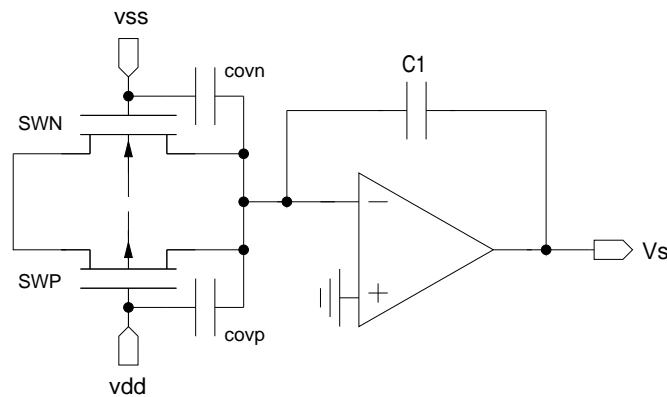


FIGURE 8 –

Modélisation de l'injection des bruits d'alimentation par les commutateurs d'entrée

6 Les générateurs de phases

6.1 Génération de deux phases non recouvrantes

– Le principe

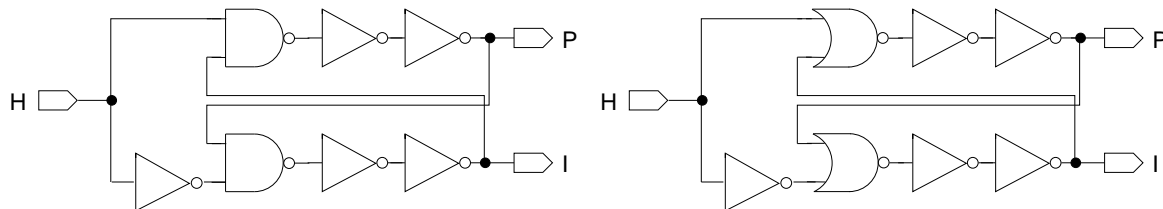


FIGURE 9 –

Principe de la génération de deux phases non recouvrantes

Pour générer deux phases non recouvrantes à partir d'un signal d'horloge ayant un rapport de cycle égal à un demi, on peut considérer un des deux schémas de principe de la *figure 9*, construits à partir d'un flip-flop constitué de deux portes NAND ou de deux portes NOR. Pratiquement, pour égaliser les temps de montée et de descente des fronts, les transistors P et N doivent être **équilibrés**

, (approximativement même facteur de transconductance), pour une mobilité du N trois fois supérieure à la mobilité du P, on obtient le dimensionnement des portes de la *figure 10*. On notera que le NAND et le NOR ont été assimilé à un inverseur, les deux entrées étant considérées à un même potentiel.

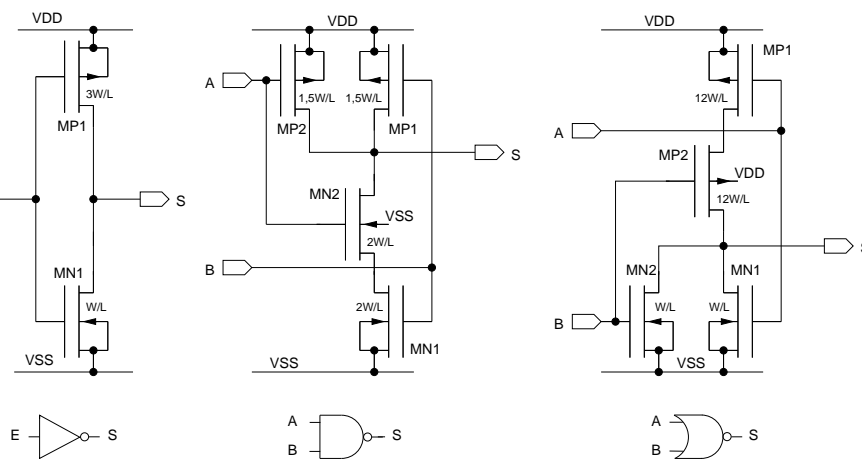


FIGURE 10 –

Un dimensionnement pour les portes logiques basiques

– Un générateur deux phases

Compte tenu de l'équilibrage des transistors N et P, pratiquement, on utilise le circuit à portes NAND de la *figure 11*. La capacité de charge des sorties P et I pouvant être assez grande (qqs pF si la fréquence d'horloge est élevée), il est nécessaire d'adapter cette charge par une cascade d'inverseurs tampons. Le plan de dimensionnement généralement utilisé [2] consiste à distribuer uniformément le temps de propagation total. Ainsi, C_e et C_s étant respectivement la capacité d'entrée et de sortie d'un inverseur de référence

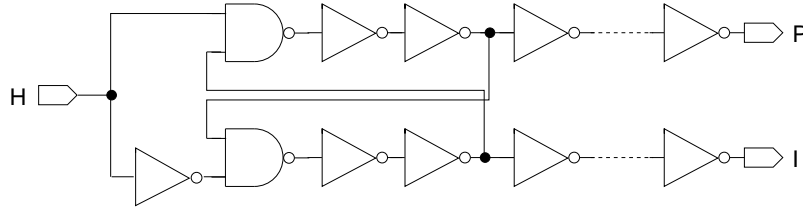


FIGURE 11 –

Un générateur deux phases non recouvrantes

(figure 12), m étant le facteur d'amplification de la taille de cet inverseur et la capacité de charge CL étant telle que $CL = m^N.Ce$, on détermine le **nombre optimal** d'inverseurs tampons

$$N \approx \text{Log} \frac{CL}{Ce}.$$

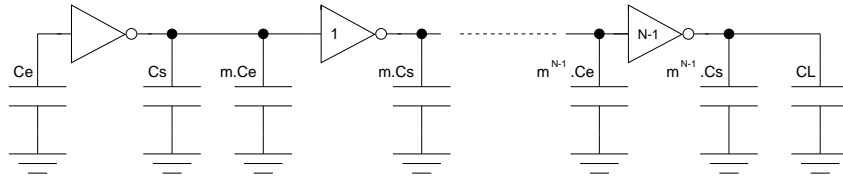


FIGURE 12 –

Dimensionnement de la cascade d'inverseurs tampons

6.2 Génération de fois deux phases deux phases décalées

Pour générer un système de phases tel que les phases P et Q (I et J) sont synchrones sur le front avant et tel que le front arrière de la phase Q est avancé, on peut considérer le schéma de la figure 13. Le circuit constitué des transistors MN1, MN2 et MP1 assure le synchronisme des fronts avant. On notera que l'interphase est doublée comparativement au générateur deux phases non recouvrantes.

6.3 Génération de fois deux phases deux phases imbriquées

Pour générer un système de phases tel que la phase Q (J) est imbriquée à l'intérieur de la phase P (I), on peut considérer le schéma de la figure 14. Comparativement au générateur précédent la phase Q (J) est retardée par une paire d'inverseurs, et comparativement au générateur deux phases non recouvrantes l'interphase est quadruplée.

7 Les multiplieurs de tension d'horloge

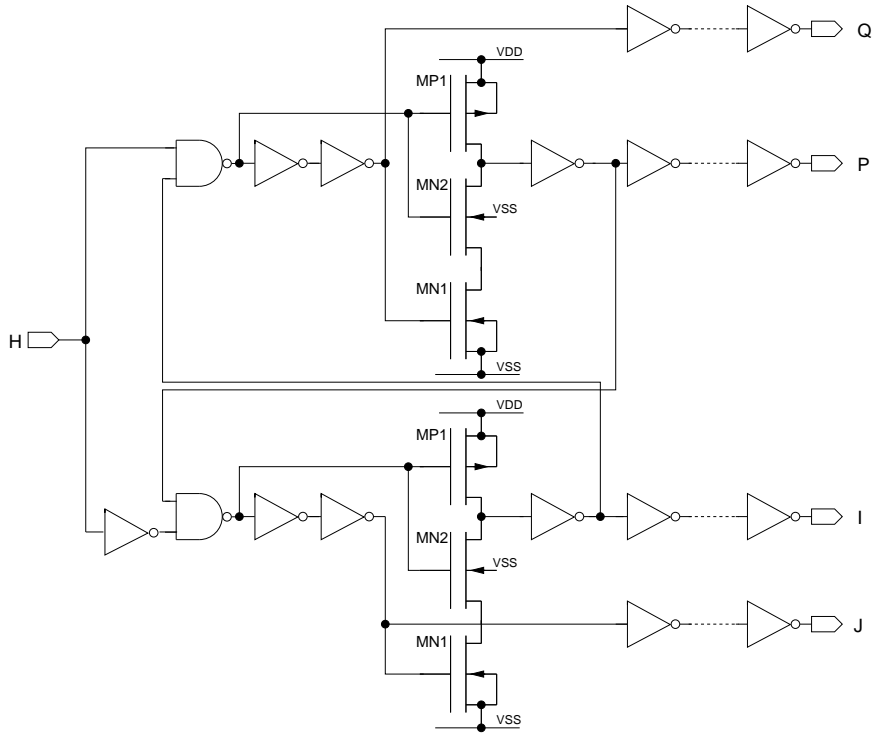


FIGURE 13 –

Un générateur "quatre phases décalées"

Références

- [1] P. COCCHINI, G. PICCININI, and M. ZAMBONI. "A comprehensive submicrometer MOST delay model and its application to CMOS buffers". *IEEE Journal of Solid-State Circuit*, vol. 32(No. 8) :pp. 1254–1262, August 1997.
- [2] D. HAIGH and B. SINGH. "A switching scheme for switched capacitor filters which reduces the effect of parasitic capacitances associated with control terminals". *Proceedings IEEE international Symposium on Circuits and Systems*, pages pp. 586–589, 1983.
- [3] D. HAIGH and J.T. TAYLOR. "On switch-induced distortion in switched capacitor circuits". *Proceedings IEEE international Symposium on Circuits and Systems*, pages pp. 1987–1990, 1988.

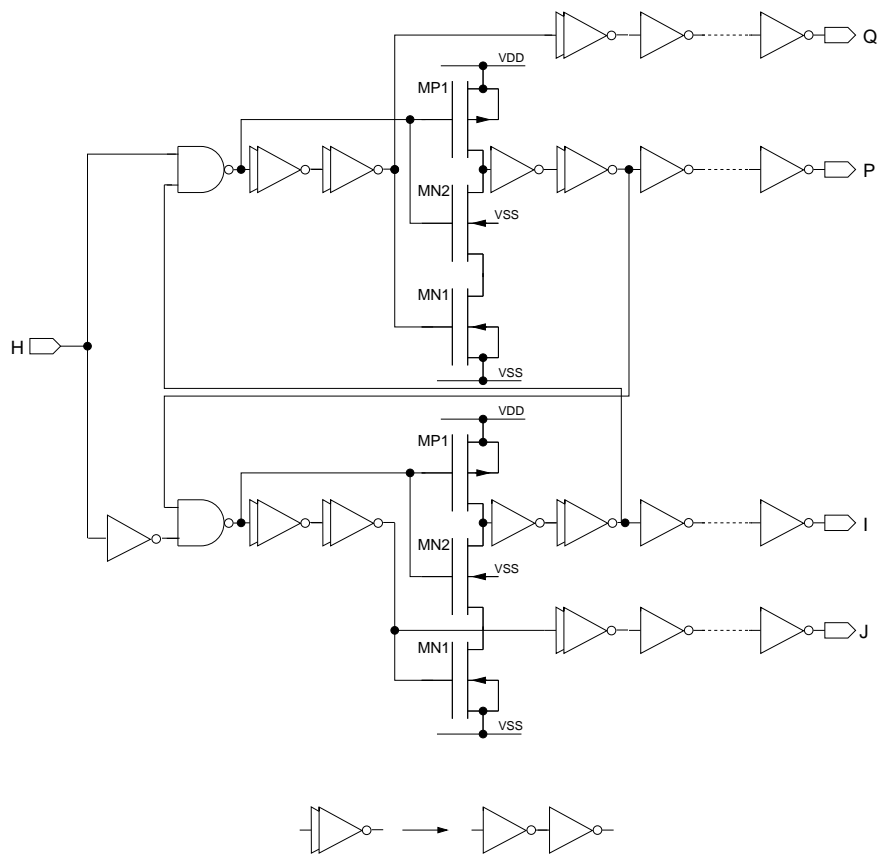


FIGURE 14 –

Un générateur "quatre phases imbriquées"