

La conversion algorithmique

Table des matières

1 Définitions	2
2 La conversion analogique-numérique cyclique	2
2.1 Les algorithmes	2
2.1.1 L'algorithme de la division numérique restorante	2
2.1.2 L'algorithme de la division numérique non restorante	3
2.1.3 L'algorithme de la division numérique avec digit redondant signé	4
2.1.4 Représentation fonctionnelle de la conversion cyclique	5
2.2 Le convertisseur cyclique CNR	6
2.3 Diagramme de Robertson	6
2.4 Le convertisseur cyclique RSD	6
2.5 La circuiterie	6
2.5.1 Réalisation du MDAC	6
2.5.2 MDAC avec correction de la tension de décalage	6
2.5.3 MDAC avec rebouclage du condensateur d'échantillonnage	6
2.5.4 MDAC sans rebouclage du condensateur d'échantillonnage	6
2.5.5 Réalisation du sous CAN	6

1 Définitions

Un algorithme est un modèle mathématique abstrait qui réalise une fonction à partir d'une série d'opérations de base. Par analogie, les dispositifs électroniques qui réalisent la fonction conversion à partir d'un module élémentaire effectuant un jeu d'opérations basiques sont appelés convertisseurs algorithmiques. Si N jeux d'opérations sont nécessaires, ceux-ci peuvent être réalisés par itération (recyclage) temporel par un seul module ou par itération dans l'espace à partir de N modules utilisés séquentiellement. Les dispositifs correspondant sont respectivement appelés convertisseurs algorithmiques cycliques et convertisseurs algorithmiques pipelines. Dans leur version basique, la conversion d'un signal analogique X_a en signal numérique B de N bits ou la conversion d'un signal numérique B de N bits en signal analogique X_a nécessitant N coups d'horloge, les convertisseurs algorithmiques appartiennent à la famille des convertisseurs séries.

2 La conversion analogique-numérique cyclique

2.1 Les algorithmes

Trois grands principes de division numérique correspondant à trois types de convertisseur cyclique peuvent être utilisés :

1. le principe de la division restorante
2. le principe de la division non restorante
3. le principe du digit signé redondant.

Quelque soit le principe, la conversion s'effectue avec le bit de poids de plus fort (MSB) en tête et les opérations de base à effectuer sont la comparaison, la sommation (soustraction), la multiplication par un facteur 2 et le décalage temporel.

2.1.1 L'algorithme de la division numérique restorante

Le principe de la division numérique restorante correspond au jeu d'équations temps discret

$$\begin{aligned} X_1 &= Xa \\ &\vdots \\ X_{i+1} &= 2X_i - b_i X_{REF} \end{aligned}$$

pour

$$i = 1 \dots N - 1$$

et

$$\begin{aligned} b_i &= 1 \text{ si } X_i \geq X_{REF} \\ b_i &= 0 \text{ si } X_i < X_{REF} \end{aligned}$$

représentable par le logigramme de la *figure 1*. Le signal à convertir est comparé avec le signal de référence X_{REF} . Si le signal est supérieur le MSB du signal numérique est mis à 1 et la référence est soustraite du double du signal à convertir. Sinon le MSB est mis à 0 aucune opération arithmétique n'est réalisée sur le double du signal à convertir (le signal est "restoré"). Le signal résiduel correspondant au reste partiel de la division est

ensuite utilisé comme nouveau signal d'entrée à convertir et le processus se répète jusqu'à l'obtention du LSB. La quantité X_N prend la valeur

$$X_N = 2^{N-1}(Xa - X_{REF} \sum_{i=1}^{N-1} b_i 2^{-i}).$$

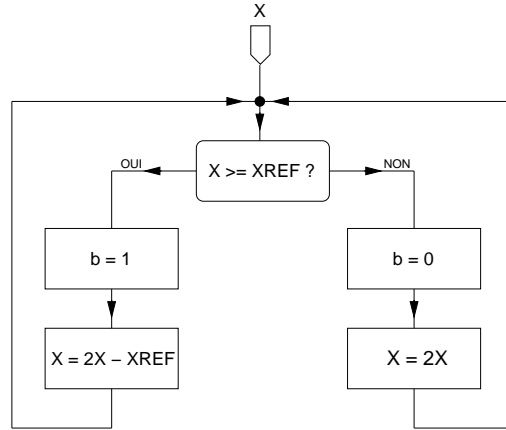


FIGURE 1 –

Logigramme de l'algorithme de la division numérique restorante

2.1.2 L'algorithme de la division numérique non restorante

Le principe de la division numérique non restorante peut être exprimé arithmétiquement par le jeu d'équations temps discret

$$\begin{aligned} X_1 &= Xa \\ \vdots \\ X_{i+1} &= 2X_i - (b_i - \bar{b}_i)X_{REF} \end{aligned}$$

pour

$$i = 1 \dots N - 1$$

et

$$\begin{aligned} b_i &= 1 \text{ si } X_i \geq 0 \\ b_i &= 0 \text{ si } X_i < 0 \end{aligned}$$

correspondant au logigramme de la *figure 2*. Si le signal est supérieur ou égal à zéro, le MSB du signal numérique est mis à 1 et le signal de référence est soustrait du double du signal à convertir. Sinon le MSB est mis à 0 et la référence est sommée avec le double du signal à convertir. Le signal résiduel correspondant au reste partiel de la division est ensuite utilisé comme nouveau signal d'entrée à convertir et le processus se répète jusqu'à l'obtention du LSB. Chaque bit est ainsi successivement déterminé par la polarité de X_i , et X_N prend la valeur

$$X_N = 2^{N-1}Xa - X_{REF} \sum_{i=1}^{N-1} (b_i - \bar{b}_i) 2^{N-i-1}$$

soit

$$X_N = 2^{N-1}(Xa - X_{REF} \sum_{i=1}^{N-1}(b_i - \bar{b}_i)2^{-i}).$$

On notera que l'algorithme de la division numérique non restorante peut directement opérer sur des signaux d'entrée unipolaires ou bipolaires et qu'en terme de réalisation analogique, le fait de nécessiter une référence positive et négative ne pose pas de problèmes particulier puisque les signaux à traiter sont généralement de type différentiel.

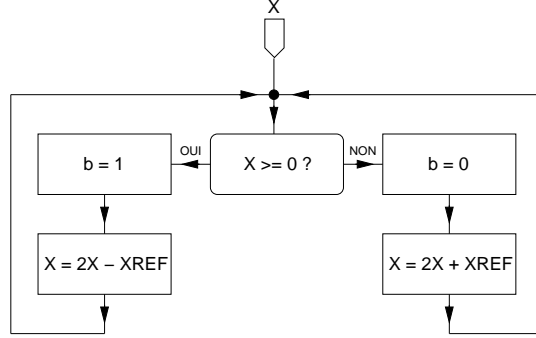


FIGURE 2 –

Logigramme de l'algorithme de la division numérique non restorante

2.1.3 L'algorithme de la division numérique avec digit redondant signé

Le principe de la division avec digit redondant signé ou principe de Sweeny-Robertson-Tocher [?] correspondand au jeu d'équations temps discret

$$\begin{aligned} X_1 &= Xa \\ X_{i+1} &= 2X_i - (p_i - q_i)X_{REF} \end{aligned}$$

pour

$$i = 1 \dots N - 1$$

et

$$\begin{aligned} p_i &= 1 \text{ et } q_i = 0 \text{ si } X_i > X_P \\ p_i &= 0 \text{ et } q_i = 1 \text{ si } X_i < X_Q \\ p_i &= 0 \text{ et } q_i = 0 \text{ si } X_Q \leq X_i \leq X_P \end{aligned}$$

est représentable par le logigramme de la *figure 3*. Pour une affectation de valeur de bit, deux niveaux de comparaison X_P positif et X_Q négatif sont utilisés. Si le signal à convertir est plus grand que X_P les bits de sortie p et q sont mis respectivement à 1 et 0, et la référence est soustraite du double du signal à convertir, si le signal est plus petit que X_Q les bits p et q sont mis respectivement à 0 et 1, et la référence est additionnée au double du signal à convertir, sinon les bits p et q sont mis à 0 et aucune opération arithmétique n'est réalisée sur le double du signal. La quantité X_N a pour valeur

$$X_N = 2^{N-1}(Xa - X_{REF} \sum_{i=1}^{N-1}(p_i - q_i)2^{-i}).$$

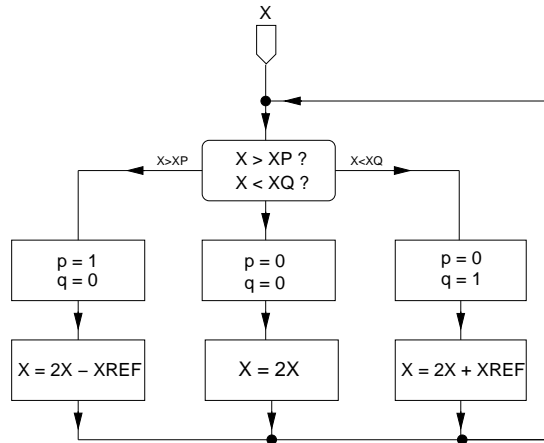


FIGURE 3 –

Logigramme de l'algorithme de la division numérique avec digit redondant signé

2.1.4 Représentation fonctionnelle de la conversion cyclique

Indépendamment du fait qu'un convertisseur analogique numérique cyclique soit basé sur l'un des trois algorithmes "conventionnel" ou sur une variante "non conventionnelle" pour des raisons essentiellement de circuiterie, il est toujours représentable fonctionnellement par le schéma de la *figure 4*. Le signal temps discret d'entrée est converti en signal numérique 1 bit sur 2 niveaux pour un convertisseur cyclique utilisant la division restorante ou non restorante, ou en signal numérique 2 bits sur 3 niveaux ("1,5 bit") pour un dispositif utilisant la division redondante. Le signal est ensuite reconstruit par le sous convertisseur numérique analogique pour être soustrait du signal d'entrée puis doublé pour générer la valeur résiduelle qui est utilisée comme signal d'entrée pour le cycle suivant. Le sous-CAN est un convertisseur parallèle (flash) réalisé à partir de 1 ou 2 comparateurs et l'ensemble sous-CNA et amplificateur de gain 2 constitue le bloc fonctionnel sous-CNA multiplicatif ou MCNA (MDAC). On notera que la fonction échantillonnage et blocage peut être répartie sur le MDAC et le sous-CAN au lieu d'être localisée en tête du convertisseur. Le dispositif électronique réalisant l'ensemble des fonctions du schéma fonctionnel (avec $X = X_a$) est appelé module (ou cellule) 1 bit algorithmique utilisable en conversion algorithmique cyclique et conversion algorithmique pipeline.

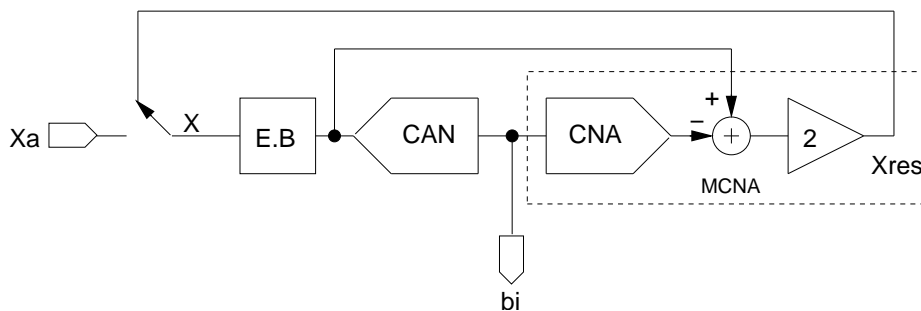


FIGURE 4 –

Schéma fonctionnel de la conversion cyclique

2.2 Le convertisseur cyclique CNR

Le convertisseur cyclique CNR est basé sur le principe de la division la division non restorante conventionelle. On notera que ses proprités et ses performances sont similaires celles du convertisseur cyclique CR basé sur le principe de la division la division restorante conventionelle.

2.3 Diagramme de Robertson

Le diagramme de Robertson est la représentation graphique de la fonction de transfert X_{res}/X du schéma de la *figure 4*, du module 1 bit algorithmique correspondant aux différentes opérations effectuées sur le signal pour chaque bit [?]

2.4 Le convertisseur cyclique RSD

Le convertisseur cyclique RSD est basé sur le principe de la division avec digit redondant signé. La redondance BLABLA.....

2.5 La circuiterie

2.5.1 Réalisation du MDAC

La nature temps discret de la conversion analogique numérique algorithmique fait que la technique des **capacités commutées** *capacités commutées*

est pratiquement toujours utilisée pour la réalisation du MDAC. D'autre part, les spécifications généralement demandées en terme de résolution font que les structures sont pratiquement toujours de type différentiel (éventuellement pseudo-différentiel) afin de s'affranchir des signaux parasites affectant inévitablement le mode commun dans un environnement traitant des signaux mixtes analogiques et numériques.

2.5.2 MDAC avec correction de la tension de décalage

- **Le principe**
blabla gain unitaire
- **Une réalisation physique**

2.5.3 MDAC avec rebouclage du condensateur d'échantillonnage

- **Le principe**
- **Une réalisation physique**

2.5.4 MDAC sans rebouclage du condensateur d'échantillonnage

- **Le principe**
- **Une réalisation physique**

2.5.5 Réalisation du sous CAN

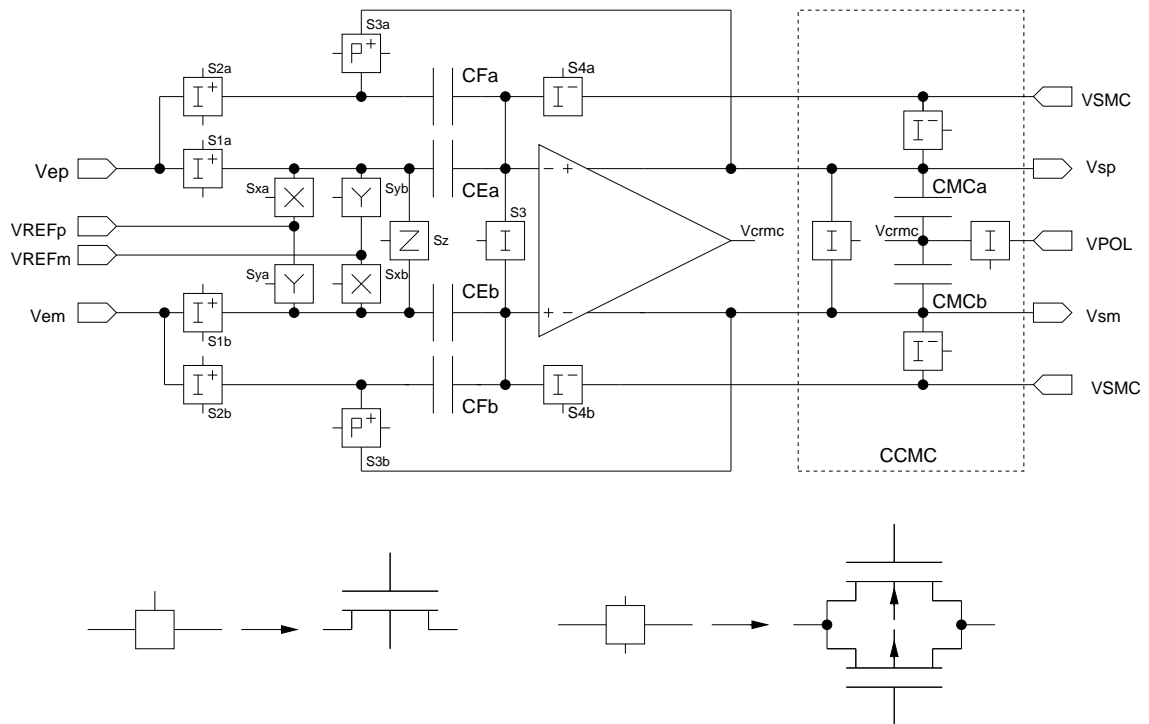


FIGURE 5 –

MDAC à capacités commutées avec rebouclage du condensateur d'échantillonnage

Références

- [1] B. GINETTI, P.A. JESPER, and A. VANDEMEULEBROECKE. "A CMOS 13-b cyclic RSD A/D converter". *IEEE Journal of Solid-State Circuit*, vol. 27(No. 7) :pp. 957–965, July 1992.

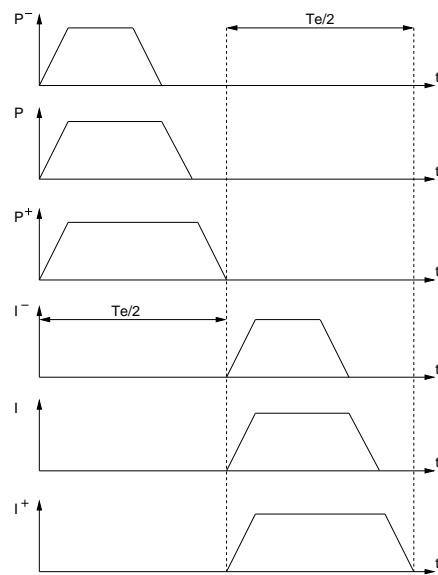


FIGURE 6 –

Diagramme des phases