

Références de tension et de courant en technologie CMOS standard

Table des matières

1	Concepts de base	4
1.1	Fonction	4
1.2	Principes	4
1.3	Indices de performance	5
1.3.1	Indices statiques	5
1.3.2	Indices petit signal	5
1.4	Modèles de calcul	6
1.4.1	Transistor MOS en forte inversion	6
1.4.2	Transistor MOS en régime saturé et en faible inversion	7
1.4.3	Transistors bipolaires et diodes	10
1.4.4	Comportement en température des résistances	14
2	Références basiques	16
2.1	Références de tension potentiométriques	16
2.1.1	Référence de tension résistive	16
2.1.2	Référence de tension semi-active	17
2.1.3	Référence de tension active CMOS	18
2.1.4	Référence de tension active NMOS	19
2.2	Références de courant associées	19
2.2.1	Référence de courant NMOS	19
2.2.2	Référence de courant CMOS	22
2.3	Utilisation des références basiques	22
3	Références à Gm constante	23
3.1	Constitution de la référence à quad CMOS autopolarisé	23
3.2	Analyse	23
3.2.1	Formalisme pour le quad en forte inversion	23
3.2.2	Formalisme pour le quad en faible inversion	25
3.2.3	Stabilité	25
3.2.4	Démarrage du circuit	26
3.3	Référence de tension	28
3.3.1	Equation de constitution de la référence de tension	28
3.3.2	Validité du modèle du calcul	29
3.3.3	Indépendance aux tensions d'alimentation	29
3.3.4	Tension d'alimentation minimum requise	30
3.3.5	Précisions	31
3.3.6	Facteur de régulation de charge	31
3.4	Référence de courant	31
3.4.1	Coefficient de température fractionnaire	32
3.4.2	Précisions	32

3.4.3	Indépendance aux tensions d'alimentation	32
3.4.4	Facteur de régulation de charge	32
3.4.5	Résultat de simulation	33
3.5	Variantes topologiques des références à Gm constante	33
3.5.1	Références de type P	33
3.5.2	Références à transistors cascodés	33
3.5.3	Références à résistance flottante	34
3.6	Références à quad CMOS régulé	35
3.6.1	Principe	35
3.6.2	Performances dynamiques	36
3.6.3	Contraintes structurelles sur les amplificateurs opérationnels	39
3.7	Utilisation des références à Gm constante	39
4	Références PTAT	39
4.1	Référence de tension à diode MOS cascode	40
4.1.1	La diode MOS cascode PTAT	40
4.1.2	Mise en série de diodes MOS cascodes PTAT	41
4.1.3	Utilisation des diodes MOS PTAT	42
4.2	Références de tension PTAT CMOS autopolarisées	42
4.2.1	Formalisme	42
4.2.2	Performances	43
4.2.3	Résultats de simulation	43
4.2.4	Référence de tension PTAT de forte valeur	43
4.3	Références de tension PTAT BIMOS autopolarisées	44
4.3.1	Principe	44
4.3.2	Référence de tension PTAT BIMOS autopolarisée par un quad CMOS	44
4.3.3	Référence de tension PTAT BIMOS régulée	45
4.4	Références de courant PTAT autopolarisées	47
4.5	Utilisation des références PTAT	48
5	Références bootstrap autopolarisées	48
5.1	Références de tension NTCF	48
5.1.1	Comportement en température	48
5.1.2	Stabilité	49
5.1.3	Résistance de sortie	50
5.1.4	Réjection de l'alimentation	50
5.1.5	Tension d'alimentation requise	51
5.1.6	Résultats de simulation	51
5.1.7	Variantes topologiques	51
5.2	Référence de courant NTCF	52
5.3	Utilisation des références bootstraps	53
6	Références bandegap (BGR)	53
6.1	Principe de la bandegap	53
6.2	BGR compacte BIMOS régulée	54
6.2.1	Constitution	54
6.2.2	Formalisme	54
6.2.3	Performances	55
6.2.4	Résultats de simulation	57
6.2.5	Compensations passives de la courbure	57

6.3	Bandegap cascade avec source de courant PTAT BIMOS	59
6.3.1	Constitution et formalisme	59
6.3.2	Corrections passives de la courbure	60
6.3.3	Performances	60
6.4	BGR cascade avec source de courant PTAT CMOS	60
7	Références sousbandegap (SBGR)	61
7.1	SBGR BIMOS régulée à division de courant	61
7.1.1	Constitution	61
7.1.2	Formalisme	62
7.1.3	Performances	63
7.1.4	Réduction de la tension d'entrée de mode commun de l'AOP	64
7.1.5	Correction active de la courbure	65
7.1.6	Correction passive de la courbure	67
7.2	Références de courant constant	68
7.2.1	Constitution et formalisme	68
7.2.2	Résultats de simulation	68
7.3	SBGR cascades à division de courant	69
7.3.1	SBGR cascade à source de courant PTAT BIMOS	69
7.3.2	Constitution et formalisme	69
7.3.3	Résultats de simulation	70
7.3.4	SBGR cascade à source de courant PTAT CMOS	70
8	Références de courant QPVT	71
8.1	Principe	71
8.2	Références QPVT à quad CMOS PTAT et MOS ohmique	72
8.2.1	Constitution	72
8.2.2	Formalisme	73
8.2.3	Performances et variantes topologiques	73
8.2.4	Résultats de simulation	74
8.3	Référence QPVT à source de tension flottante PTAT	74
8.3.1	Principe	74
8.3.2	Constitution	75
8.3.3	Performances	76
9	Références de tension pseudobandegap	76
9.1	Principe	76
9.2	Une pseudobandegap compacte	76
9.2.1	Constitution et formalisme	76
9.2.2	Résultats de simulation	77
9.3	Une pseudobandegap cascade	77
10	Principaux starters	77
10.1	Starters capacitifs	78
10.2	Starters statiques	79
10.3	Starter dynamique	79
10.4	Starter résistif	80
10.5	Limitation du courant de démarrage	80

1 Concepts de base

1.1 Fonction

En termes de circuiterie électronique, les différentes spécifications électriques doivent respecter le cahier des charges pour une gamme de températures variant typiquement de $0^{\circ}C$ à $70^{\circ}C$ pour un circuit à vocation grand public ($-55^{\circ}C$ à $+125^{\circ}C$ pour un circuit à vocation militaire), pour des tensions d'alimentation généralement données à $\pm 10\%$ et pour des dispersions globales sur les composants passifs et actifs de plusieurs dizaines de %. Les références de tension et de courant peu dépendantes des tensions d'alimentation et des dispersions technologiques et montrant une dépendance prédéfinie à la température sont donc des circuits essentiels pour la réalisation des circuits intégrés analogiques et numériques (un circuit indépendant au process, à la tension d'alimentation et à la température est invariant PVT). Ainsi, à titre d'exemple, il nous suffit de considérer le schéma de principe d'une chaîne d'acquisition de données de la *figure 1*, pour constater qu'une tension de référence doit être utilisée pour la gestion des alimentations (distribution optimales des tensions d'alimentation au niveau des différents blocs numériques et analogiques), ainsi que pour fixer la résolution des convertisseurs analogique-numérique et numérique-analogique, et qu'un courant de référence doit être utilisé pour assurer la stabilité des points de fonctionnement des différents dispositifs actifs élémentaires (AOP, ...) par l'intermédiaire de [circuits de polarisation](#) .

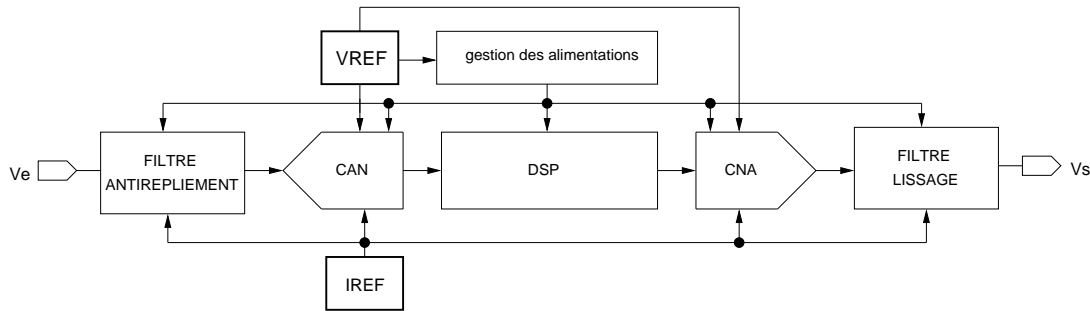


FIGURE 1 –

Schéma de principe d'une chaîne d'acquisition de données

1.2 Principes

Pour garantir l'insensibilité aux variations des différents paramètres technologiques, la réalisation d'une référence absolue doit être basée sur des grandeurs physiques intrinsèques du silicium. Les grandeurs physiques intrinsèques indépendantes des tensions d'alimentation et utilisables dans une technologie CMOS standard sont essentiellement [27] :

- la tension thermique $V_t = \frac{K_B T_K}{q} \approx 25.9mV$ à $300K$, pouvant être extraite à partir de deux transistors MOS polarisés en faible inversion ou à partir de deux transistors bipolaires
- la tension de seuil énergétique du silicium $V_{G0} \approx 1,117V$ à l'ambiante
- une différence de tensions grille-source de deux transistors MOS polarisés en forte ou faible inversion.

Par contre, n'ayant à notre disposition aucune grandeur physique intrinsèque directe sous la forme d'un courant, les références de courant sont toujours obtenues par conversion d'une tension de référence.

1.3 Indices de performance

1.3.1 Indices statiques

- Sensibilités

Pour quantifier la dépendance d'une référence de tension ou de courant aux tensions d'alimentation, et aux différents paramètres de synthèse, on utilise une série d'indices utilisant le concept de sensibilité relative d'un paramètre P à une variable X_i , s'exprimant formellement par [5]

$$S_{X_i}^P = \frac{\partial P/P}{\partial X_i/X_i} = \frac{X_i}{P} \frac{\partial P}{\partial X_i}.$$

- Coefficients de température

Quant à la dépendance à la température, elle peut être donnée par le coefficient de température (tempco)

$$TC(VREF) = \frac{\partial VREF}{\partial T} \quad \text{et} \quad TC(IREF) = \frac{\partial IREF}{\partial T}$$

ou par le coefficient de température fractionnaire exprimé en $ppm/^{\circ}K$ (1 ppm correspond à une variation relative de 10^{-6})

$$TC_F(VREF) = \frac{1}{VREF} \frac{\partial VREF}{\partial T} = \frac{1}{T} S_T^{VREF}.$$

- Régulation de ligne

Enfin, la dépendance de la tension ou du courant de référence aux variations de la tension d'alimentation est donnée par l'indice de régulation de ligne

$$\frac{\Delta VREF}{\Delta VDD} \quad \text{et} \quad \frac{\Delta IREF}{\Delta VDD}.$$

1.3.2 Indices petit signal

- Réjection de la tension d'alimentation

Le jeu d'indices statiques est souvent complétée par une seconde série d'indices plus spécifiquement petit signal. Ainsi, une bonne référence de tension ou de courant devant rejeter les différents bruits d'alimentation, notamment les bruits impulsifs large bande de commutations d'une éventuelle circuiterie numérique ou analogique temps discret annexe, pour la référence de tension, on définit la réjection d'alimentation petit signal (inverse du gain d'alimentation) s'exprimant formellement par

$$PSR(dB) = 20 \log \frac{vdd}{vref}.$$

Pour la référence de courant elle s'exprime par

$$PSR(dB) = 20 \log \frac{vdd}{iref} \quad \text{ou} \quad PSR(ppm/A) = \frac{vdd}{iref} 10^6$$

ou par la transimpédance d'alimentation

$$Zm = \frac{vdd}{iref}.$$

- Régulation de charge

Pour quantifier la dépendance de la référence à la charge connectée à ses bornes, on spécifie la résistance de sortie petit signal de la source de tension ou la conductance de sortie petit signal de la source de courant, ces deux indices sont souvent appelés facteur de régulation de charge, avec respectivement

$$\frac{\Delta VREF}{\Delta IS} = \frac{vref}{is} \quad \text{et} \quad \frac{\Delta IREF}{\Delta VS} = \frac{iref}{vs}.$$

- Bruit

Pour prendre en compte le fait que la précision d'une référence de tension et de courant est limitée ultimement par le bruit généré par ses constituants actifs et passifs, on spécifie la tension ou le courant de bruit.

1.4 Modèles de calcul

1.4.1 Transistor MOS en forte inversion

- Modélisation des courants de drain

Pour un transistor MOS en régime saturé et en forte inversion, on utilisera principalement le formalisme simplifié du [courant de drain](#)

$$Ids = K(Vgs - VTH)^2(1 + \lambda Vds) = 0,5\mu_0cox\frac{W}{L}(Vgs - VTH)^2(1 + \frac{Vds}{LVE})$$

et pour un transistor MOS en régime ohmique et en forte inversion, on utilisera l'expression

$$Ids = 2K(Vgs - VTH - \frac{Vds}{2})Vds.$$

Le facteur de transconductance K varie en fonction de la température par l'intermédiaire de la mobilité, $K(T)$ étant une valeur à la température en degré Kelvin T et $K(T_0)$ étant la valeur correspondante à l'ambiante il suit une loi de type

$$K = K(T) = K(T_0)\left(\frac{T}{T_0}\right)^{-\alpha_\mu} \quad \text{avec} \quad \frac{\partial K}{\partial T} = -\frac{\alpha_\mu}{T}K \quad \text{et} \quad \alpha_\mu \approx 1.5 \dots 2.5$$

conduisant à un $TC_F(K)$ de l'ordre de -5000 à -8000 ppm/°C à la température ambiante. L'autre paramètre sensible à la température à considérer est la tension de seuil VTH . Si le substrat du transistor est relié à la source, sa variation suit une loi de type

$$VTH = VTH(T) = VTH(T_0) - \alpha_{VTH}(T - T_0)$$

avec

$$\frac{\partial V_{TH}}{\partial T} = -\alpha_{V_{TH}} \quad \text{et} \quad \alpha_{V_{TH}} \approx 1 \dots 2,5 \text{ mV}/^\circ\text{C}.$$

- Tensions de grille optimales

Si on considère l'expression simplifiée du courant de drain du transistor MOS en forte inversion et régime saturé, on peut écrire successivement

$$I_{ds} = K(V_{gs} - V_{TH})^2$$

$$\partial I_{ds} = \partial K (V_{gs} - V_{TH})^2 + 2K(V_{gs} - V_{TH})(-\partial V_{TH})$$

$$\frac{\partial I_{ds}}{\partial T} = K (V_{gs} - V_{TH}) ((2\alpha_{V_{TH}} - \frac{\alpha_{\mu}}{T}(V_{gs} - V_{TH})).$$

En annulant la dérivée, on peut définir une première tension de grille optimale minimisant l'influence de la température sur le courant de drain à une température donnée T

$$V_{GS_{ztc_i}} = V_{TH} + 2T \frac{\alpha_{V_{TH}}}{\alpha_{\mu}}.$$

Cette valeur particulière, correspondante au ZTC (Zero Temperature Coefficient), indépendante du rapport d'aspect W/L du transistor, dépend du modèle utilisé et peut être considérée comme un paramètre technologique.

Si maintenant on considère la transconductance de grille du transistor, avec

$$G_m = \frac{2I_{ds}}{V_{gs} - V_{TH}} = 2K(V_{gs} - V_{TH})$$

$$\partial G_m = 2\partial K(V_{gs} - V_{TH}) - 2K\partial V_{TH}$$

$$\frac{\partial G_m}{\partial T} = -2K \frac{\alpha_{\mu}}{T}(V_{gs} - V_{TH}) + 2K\alpha_{V_{TH}}$$

on obtient une seconde tension de grille optimale minimisant l'influence de la température sur la transconductance à une température donnée T

$$V_{GS_{ztc_g}} = V_{TH} + T \frac{\alpha_{V_{TH}}}{\alpha_{\mu}}.$$

Selon la valeur de $\alpha_{V_{TH}}$ et α_{μ} la tension effective de grille optimale pour la transconductance de grille est de quelques dixièmes de Volt et le double pour le courant. C'est ce que montre la série de courbes de la *figure 2* correspondant à un modèle de niveau 3 avec une tension de seuil $V_{TH} \approx 0.76V$.

Quant à la seconde série de courbes de *figure 3*, elle montre la pertinence du modèle même pour un niveau plus élaboré et une technologie fortement submicronique.

1.4.2 Transistor MOS en régime saturé et en faible inversion

- Modélisation du courant de drain

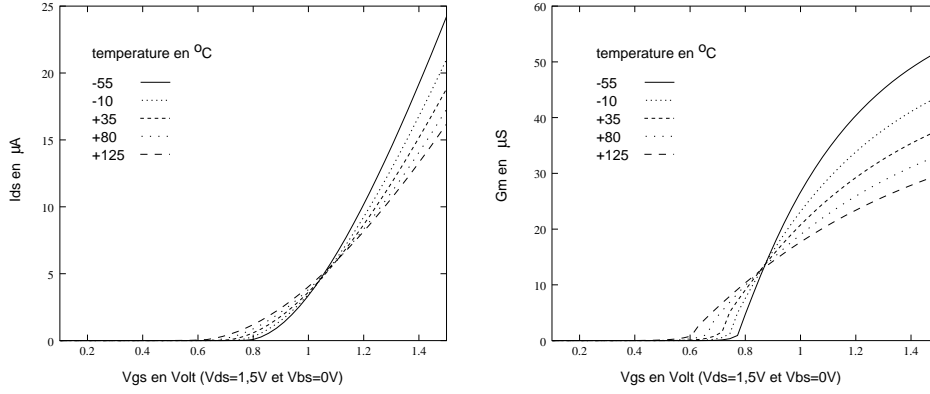


FIGURE 2 –

Veg optimales pour le courant de drain et la transconductance pour $W=L=2\mu m$, un niveau 3, $L_{min}=0.8\mu m$ et $V_{TH} \approx 0.76V$
pour I_{ds} : $VEG_{opt} = 0.39V$ $I_{ds_{opt}} = 5\mu A$
pour G_m : $VEG_{opt} = 0.19V$ $I_{ds_{opt}} = 13\mu A$

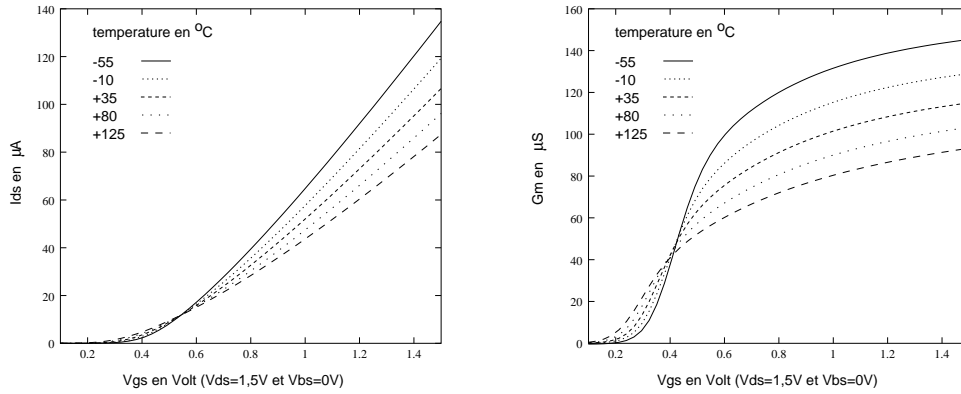


FIGURE 3 –

Veg optimales pour le courant de drain et la transconductance pour $W=L=0.2\mu m$, BSIM3v3, $L_{min}=0.13\mu m$ et $V_{TH} \approx 0.25V$
pour I_{ds} : $VEG_{opt} = 0.26V$ $I_{ds_{opt}} = 11,5\mu A$
pour G_m : $VEG_{opt} = 0.13V$ $I_{ds_{opt}} = 44\mu A$

Pour un transistor en régime saturé et en faible inversion (sous le seuil), on utilisera l'expression

$$I_{ds} = IDX \frac{W}{L} \exp\left(\frac{V_{gs}-V_{TH}}{\eta V_t}\right) \exp\left(\frac{\eta-1}{\eta} V_{bs}\right).$$

Elle est valable pour $V_{ds} \gg V_t$ ($V_{ds} \approx 4V_t$) pour être en régime saturé et pour $I_{ds} \ll \mu_0 c o x V_t^2$ pour être sous le seuil mais toutefois ne devant pas être masqué par les courants de fuite des jonctions de drain et de source [23]. Le courant de saturation $IDX = \mu_0 c o x \frac{\eta}{m} V_t^2$, avec m compris entre 1 et 3, est fortement dépendant du lot de fabrication et de la température. Le facteur de pente η de la faible inversion est également sensible à la température (figure 4) et aux tolérances globales. Bien qu'assez bien contrôlé à l'intérieur d'un même lot de fabrication (faible tolérance locale), étant généralement mal modélisé, autant que faire ce peut, on fera en sorte qu'il n'intervienne jamais au premier ordre dans les différentes expressions des indices de performance.

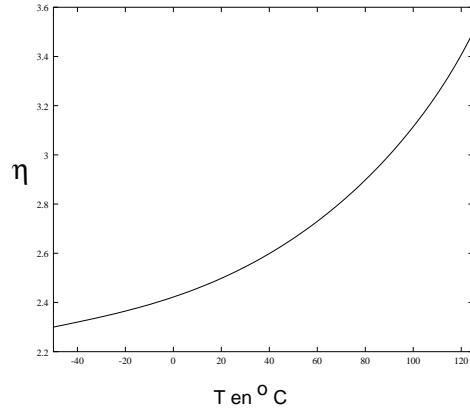


FIGURE 4 –

Dépendance en température de η

- Comportement en température de la tension grille-source

En considérant l'expression

$$V_{gs} \approx \eta Vt \text{Log}\left(\frac{I_{ds}}{IDX \frac{W}{L}}\right) + V_{TH}$$

et en dérivant par rapport à la température avec un courant I_{ds} et un facteur de pente constant, on arrive à l'expression simplifiée

$$\frac{\partial V_{gs}}{\partial T} \approx \frac{\partial V_{TH}}{\partial T} + \epsilon(T).$$

En terme de sensibilité à la température, la seconde partie du second membre étant normalement négligeable, on peut raisonnablement considérer que la tension de grille du transistor MOS en faible inversion peut être caractérisée par un coefficient de température négatif et peut à priori être décrit par un modèle comportemental linéaire de la forme [6]

$$V_{gs} \approx V_{gs}(T_0) - KG \left(\frac{T}{T_0} - 1\right).$$

Toutefois, en déterminant le pourcentage d'erreur

$$erreur = 100 \frac{V_{gs_{simu}} - V_{gs_{mod}}}{V_{gs}(T_0)}$$

et à partir d'une simulation électrique utilisant un modèle BSIM3v3, d'après les courbes des figures 5 et 6, il est clair que le comportement en température de la tension V_{gs} est non linéaire, ce qui rend difficile l'utilisation du transistor MOS en faible inversion pour la génération de tensions de référence précises et stables en température. Par ailleurs, on constate également que l'erreur commise est fortement dépendante du comportement en température du courant I_{ds} .

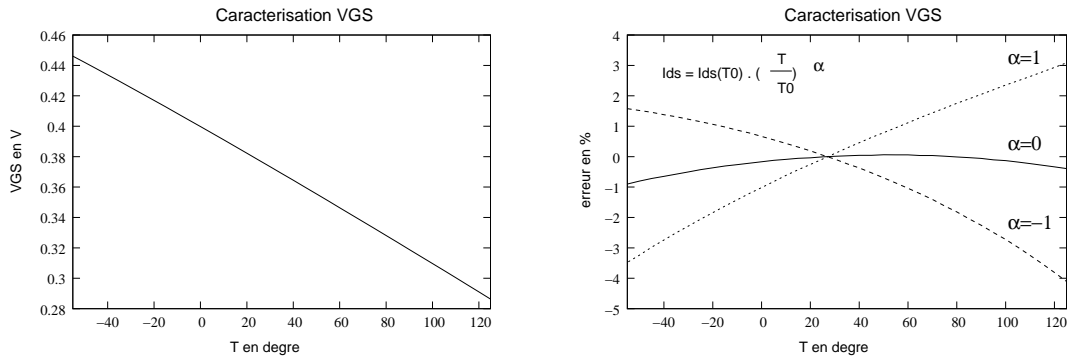


FIGURE 5 –

Comportement en température de la tension VGS du MOS en faible inversion
pour $L_{min}=0.35\mu m$ $I_{ds}=0.1\mu A$ $V_{eg} = -0.1V$ $W=97.7\mu m$ $L=5\mu m$ $KG=0.271$

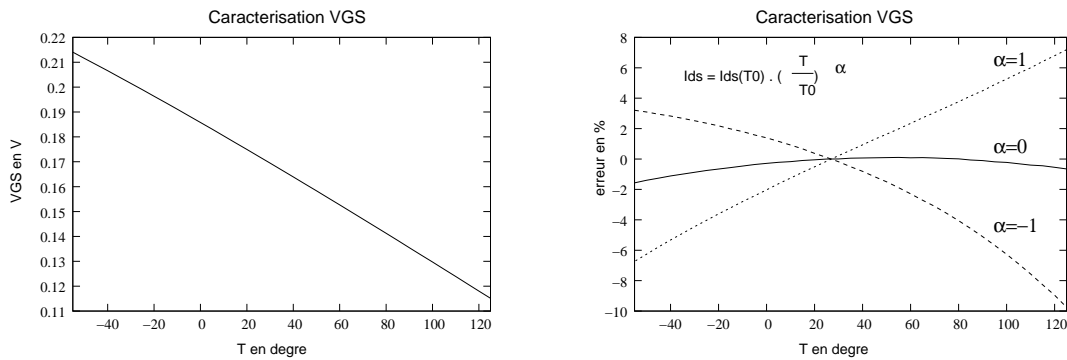


FIGURE 6 –

Comportement en température de la tension VGS du MOS en faible inversion
pour $L_{min}=0.13\mu m$ $I_{ds}=0.1\mu A$ $V_{eg} = -0.1V$ $W=27.75\mu m$ $L=5\mu m$ $KG=0.169$

1.4.3 Transistors bipolaires et diodes

- Transistors bipolaires natifs

- Structure

A toute technologie CMOS on peut associer un transistor "natif" dit de substrat. En effet, si nous considérons la structure CMOS à substrat de type N de la figure 7, intrinsèquement on crée une jonction PN

base-émetteur et une jonction PN base-collecteur formant verticalement un transistor bipolaire NPN ayant son collecteur implicitement relié à la tension d'alimentation VDD.

- Modélisation de la tension base-émetteur

En fonctionnement normal, c'est à dire avec la jonction collecteur-base polarisée en inverse et la jonction émetteur-base polarisée en directe, le courant de collecteur I_c s'exprime analytiquement par la relation simplifiée

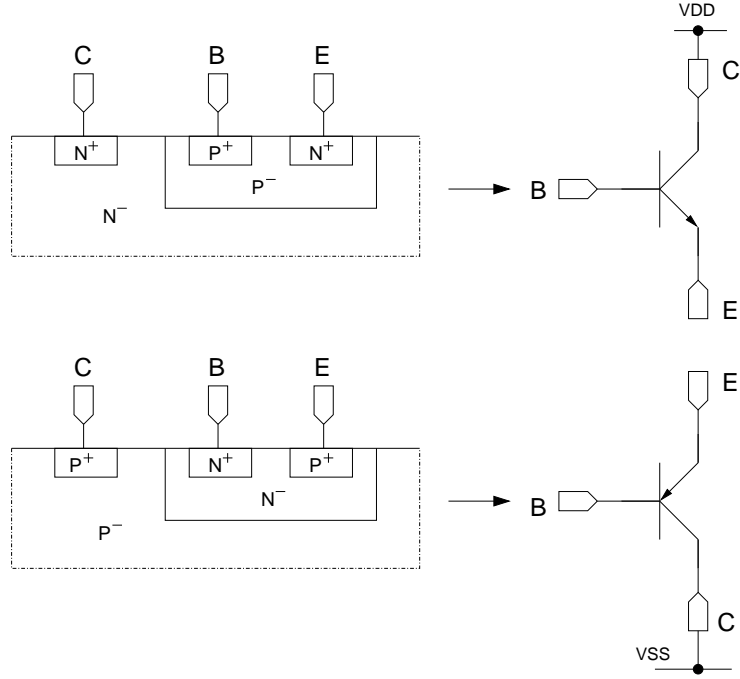


FIGURE 7 –

Structure des transistors bipolaires natifs de substrat NPN et PNP

$$I_c \approx I_s (e^{\frac{V_{be}}{V_t}} - 1).$$

Utilisé pour la conception d'une tension de référence, on impose un courant de collecteur de la forme

$$I_c(T) = I_{c_0} \cdot T^\alpha$$

I_{c_0} et α étant des constantes, et on s'intéresse principalement à la tension $V_{be}(T)$ qui peut être analytiquement modélisée [24] par l'expression

$$V_{be}(T) = V_g(T) + (V_{be}(T_0) - V_g(T_0)) \frac{T}{T_0} + (\gamma - \alpha) V_t \text{Log}\left(\frac{T_0}{T}\right).$$

La température T_0 étant la température de référence, $V_g(T)$ étant la tension de seuil énergétique du silicium (correspondant à la largeur de la bande interdite) et γ étant un paramètre technologique de fabrication, avec

$$V_g(T) = K_1 T \text{Log}(T) + K_2 T + K_3$$

et

$$K_1 = -8,459 \cdot 10^{-5} \text{ V/K}$$

et

$$K_2 = 3,042 \cdot 10^{-4} \text{ V/K}$$

et

$$K_3 = 1,1774 \text{ V}$$

un modèle numériquement très précis est fourni par la relation [14]

$$V_{be}(T) = K_3 - (K_3 - V_{be}(T_0)) \frac{T}{T_0} - (\gamma - K_1 \frac{q}{K_B} - \alpha) V_t \text{Log}(\frac{T}{T_0}).$$

Si le substrat est de type P, la structure obtenue est un transistor PNP avec son collecteur implicitement relié à la tension d'alimentation VSS, et toutes les considérations précédentes demeurent valables. On notera que le paramètre K_3 est identifiable avec la tension de seuil énergétique du silicium V_{G0} et qu'en terme de dérive en température la jonction base-émetteur est caractérisée au voisinage de la température ambiante et $V_{be}(T_0) \approx 0.7V$ par un tempco négatif

$$\frac{\partial V_{be}}{\partial T} \approx -1.8 \text{ mV}/^\circ K.$$

- *Modélisation statistique de la tension base-émetteur*

De façon similaire au [transistor MOS](#)

, on peut caractériser l'erreur d'appariement sur la tension Vbe par l'écart type

$$\sigma(dV_{be}) = \frac{A_{vbe}}{\sqrt{2 M W L}}.$$

Typiquement, la constante technologique d'appariement est de l'ordre de

$$A_{vbe} \approx 0.35 \cdot 10^{-9} \text{ V.m}$$

et le dispositif fourni par la technologie a pour dimensions $L = W = qqs \ 10\mu m$. L'erreur d'appariement peut être diminuée en augmentant le nombre M de dispositifs en parallèle.

- *Modélisation des principales imperfections*

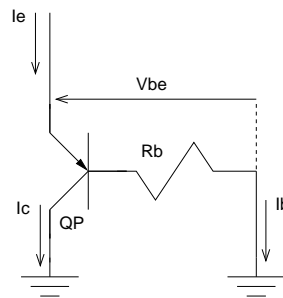


FIGURE 8 -

Modélisation des principales imperfections du transistor bipolaire

Si on prend en compte le fait que le courant de collecteur du transistor bipolaire est directement fonction de la tension émetteur-base alors que le courant traité est le courant d'émetteur et que la résistance parasite de base provoque une chute de tension (*figure 8*) avec

$$\beta = \frac{I_c}{I_b}$$

et

$$I_e = I_c(1 + \frac{1}{\beta})$$

on peut écrire

$$V_{be} = V_t \text{Log}(\frac{I_e}{I_s} \frac{1}{1 + \frac{1}{\beta}}) + R_b \frac{I_e}{1 + \beta}$$

soit

$$V_{be} = V_t \text{Log}(\frac{I_e}{I_s}) + V_t \text{Log}(\frac{1}{1 + \frac{1}{\beta}}) + I_e \frac{R_b}{1 + \beta}.$$

- Transistors bipolaires latéraux

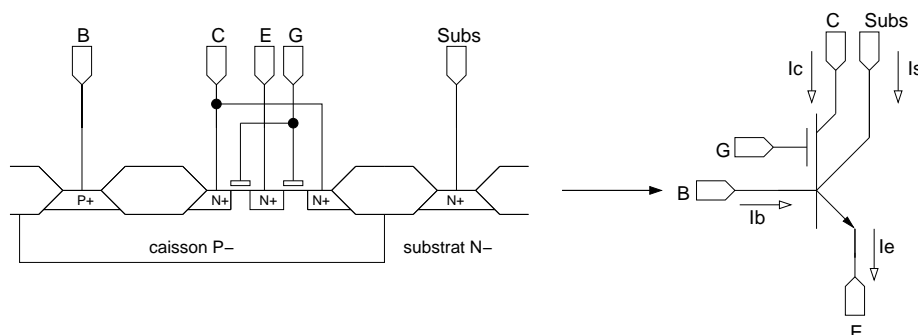


FIGURE 9 –

Structure et symbole du transistor NPN latéral compatible

La contrainte de connexion du collecteur au substrat du transistor bipolaire vertical natif, interdisant la réalisation d'un certain nombre de circuit, certaines technologies offrent parfois la possibilité d'utiliser un transistor moins contraignant en terme de connectique et également compatible avec la technologie CMOS standard. Ainsi, si nous considérons le transistor NPN représenté sur la *figure 9* [4] (un substrat P fournirait un transistor PNP), en polarisant la grille G du NMOS (structure concentrique) à un potentiel très en dessous de sa tension de seuil (négativement), on désactive son fonctionnement en plaçant son canal en accumulation et il suffit de polariser la jonction émetteur-base en direct et la jonction collecteur-bas en inverse pour activer le transistor bipolaire qui fonctionne latéralement puisque les porteurs minoritaires injectés par l'émetteur atteignent le collecteur horizontalement. On notera que le dispositif obtenu possède cinq accès puisque le transistor vertical E-B-Subs est toujours physiquement présent. Nécessitant d'une part, l'utilisation d'une tension négative et souvent d'autre part, une circuiterie appropriée pour s'affranchir des effets du transistor vertical parasite [9], le transistor bipolaire vertical est relativement peu utilisé.

- Diodes de jonction

Si nous considérons le transistor MOS de type P de la *figure 10*, la grille, le drain et la source étant réunis et le substrat étant connecté à la masse (potentiel inférieur), il est possible d'utiliser directement les diodes de diffusion du drain et de la source [2]. Le modélisateur s'étant surtout appliqué à fournir un bon modèle pour le courant de diode

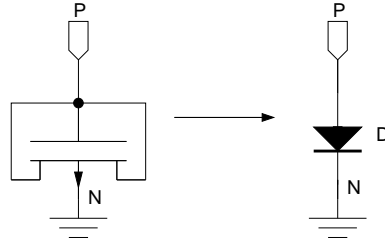


FIGURE 10 –

Utilisation des diodes de jonction du transistor MOS

inverse, correspondant au fonctionnement normal du transistor, on dispose rarement d'une bonne modélisation pour le courant directe de la diode, toutefois, ce dispositif peut être utilisé en cas d'absence de transistor bipolaire ou pour des circuits ne demandant pas de grandes performances. On notera qu'il est normalement possible d'utiliser un modèle de jonction extrinsèque (diode) plus élaboré que celui offert intrinsèquement par les modèles de transistors MOS standards et qu'un modèle de diode caisson-substrat est souvent fourni par les fondeurs de circuits.

1.4.4 Comportement en température des résistances

- Caractérisation

La plupart des circuits de référence utilise des [résistances intégrées](#) ou éventuellement discrètes et extérieures au circuit. Physiquement la résistance intégrée est inversement proportionnelle à la mobilité et on peut définir un coefficient de température fractionnaire à l'ambiante [10]

$$TC_F(R) = \frac{1}{R} \frac{\partial R}{\partial T}.$$

Traditionnellement, pour une caractérisation en température plus complète, on dispose d'un modèle polynomial

$$R(T) = R(T_0) (1 + \beta_1(T - T_0) + \beta_2(T - T_0)^2)$$

et on notera que sans terme du second degré, on peut écrire à l'ambiante

$$\beta_1 \approx TC_F(R).$$

Toutefois, au lieu d'utiliser le modèle classique polynomial, la température étant exprimée en degré Kelvin, il peut être avantageux d'utiliser un modèle puissance, analytiquement plus facilement manipulable (et probablement plus proche de la réalité physique)

$$R = R(T) = R(T_0) \left(\frac{T}{T_0}\right)^{-\alpha_R} \quad \text{avec} \quad \frac{\partial R}{\partial T} = -\frac{\alpha_R}{T} R \quad \text{et} \quad \alpha_R \approx -3 \dots + 3.$$

La [figure 11](#) montre l'écart entre les deux modèles pour deux types de résistance. On notera la grande amplitude de variation de l'exposant de température. Les valeurs les plus basses correspondent typiquement aux résistances polysilicium standard et les valeurs les plus hautes aux résistances de caisson. Certains types de résistance, par exemple les

	TC_F en $ppm/^\circ K$	α_R
poly	+750	-0.225
Hpoly	-1000	+0.300
caisson N	+6600	-1.98
diffusion N	+1800	-0.54
diffusion P	+1650	-0.495

TABLE 1 –

Valeurs typiques de spécifications en température des résistances intégrables pour une technologie $0.6\mu m$ [12] à $T_0 = 300K$

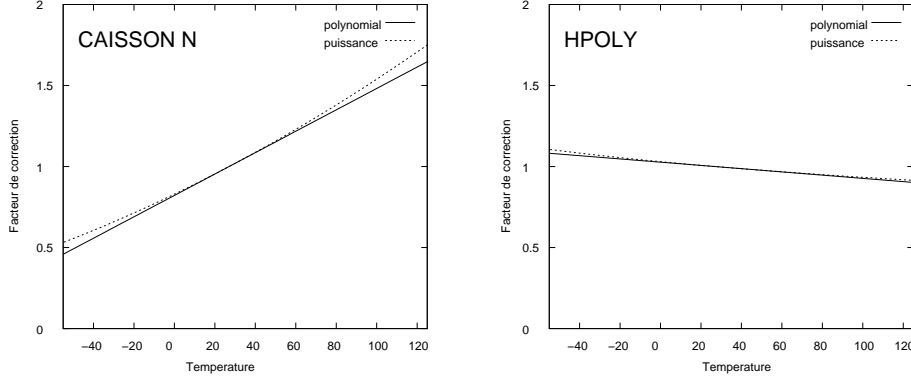


FIGURE 11 –

Comparaison modèle polynomial vs modèle puissance

polysiliciums haute résistivité (Hpoly) , peuvent avoir un exposant positif (table 1).

- Association de résistances

Ayant souvent à notre disposition plusieurs types de résistance, il est possible d'associer en série ou en parallèle deux résistances de tempco différents pour obtenir un tempco de valeur déterminée. Ainsi, si la technologie utilisée possède des résistances de tempco opposé, il est peut être possible d'obtenir une résistance équivalente invariante en température. En effet, si on considère l'association de deux résistances en série $R = Ra + Rb$ caractérisées respectivement par les exposants de température α_r , α_{ra} et α_{rb} on peut directement écrire

$$R(T) = Ra(T_0)\left(\frac{T}{T_0}\right)^{-\alpha_{ra}} + Rb(T_0)\left(\frac{T}{T_0}\right)^{-\alpha_{rb}} = R(T_0)\left(\frac{T}{T_0}\right)^{-\alpha_r}$$

$$\frac{dR(T)}{dT} = -\alpha_{ra} \frac{Ra(T_0)}{T} \left(\frac{T}{T_0}\right)^{-\alpha_{ra}} - \alpha_{rb} \frac{Rb(T_0)}{T} \left(\frac{T}{T_0}\right)^{-\alpha_{rb}}$$

soit

$$\frac{dR(T)}{dT} = -\alpha_{ra} \frac{Ra(T)}{T} - \alpha_{rb} \frac{Rb(T)}{T} = -\alpha_r \frac{R(T)}{T}.$$

Donc, avec

$$Rb(T) = R(T) - Ra(T)$$

la valeur $Ra(T)$ permettant d'obtenir l'exposant de température cible α_r est formellement donnée par

$$Ra(T) = R(T) \frac{\alpha_r - \alpha_{rb}}{\alpha_{ra} - \alpha_r} > 0$$

Bien entendu, quoique pouvant conduire à une augmentation de l'aire résistive, une association parallèle est également possible avec

$$Ga(T) = G(T) \frac{\alpha_r - \alpha_{rb}}{\alpha_{ra} - \alpha_r} > 0.$$

2 Références basiques

2.1 Références de tension potentiométriques

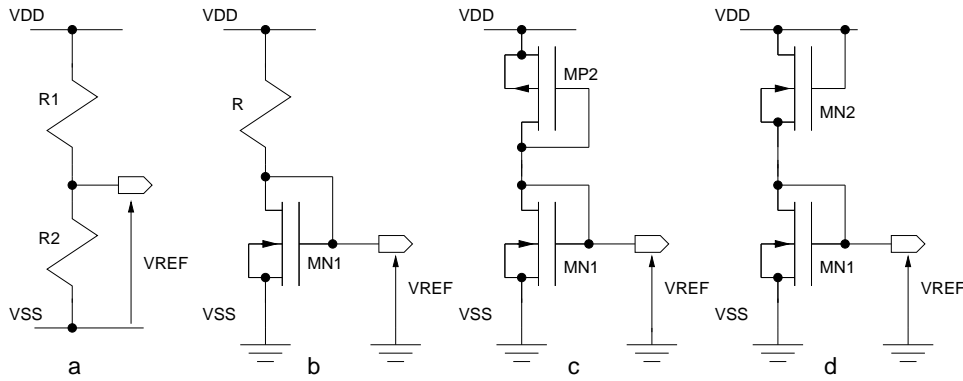


FIGURE 12 –

Références de tension potentiométriques

2.1.1 Référence de tension résistive

La référence de tension potentiométrique résistive de la *figure 12a* est simplement constituée de deux résistances formant un diviseur de tension tel que

$$VREF = (VDD - VSS) \frac{R1}{R + R2}.$$

En termes de sensibilités relatives, avec $S_{VDD}^{VREF} = \frac{\partial VREF}{\partial VDD} \frac{VDD}{VREF}$, on détermine

$$S_{VDD}^{VREF} = \frac{1}{1 - \frac{VSS}{VDD}} \quad \text{et} \quad S_{VSS}^{VREF} = \frac{1}{1 - \frac{VDD}{VSS}}.$$

On notera que dans le cas d'une alimentation symétrique $S_{VDD}^{VREF} = S_{VSS}^{VREF} = 1/2$ et que dans cas d'une mono-alimentation $S_{VDD}^{VREF} = 1$. Ce type de référence est généralement découplé alternativement par un condensateur externe de très forte valeur (qqn nF).

En terme de coefficient de température fractionnaire, avec $R(T) = R(T_0)(\frac{T}{T_0})^{-\alpha_R}$ on obtient

$$TC_F(VREF) = 0.$$

En terme de précision on calcule

$$S_{R_1}^{VREF} = \frac{R_2}{R_1 + R_2} \quad \text{et} \quad S_{R_2}^{VREF} = \frac{R_1}{R_1 + R_2},$$

mais les deux résistances étant statistiquement corrélées, la référence de tension résistive n'est pas sensible aux dispersions globales et n'est sensible qu'aux dispersions locales, la tension VREF peut ainsi être précisément fixée.

En terme de réjection d'alimentation on obtient

$$PSR^+ = 20 \log \frac{v_{dd}}{v_{ref}} = 20 \log \frac{R_1 + R_2}{R_1} \quad \text{et} \quad PSR^- = 20 \log \frac{v_{ss}}{v_{ref}} = 20 \log \frac{R_1 + R_2}{R_2}.$$

En terme de bruit, si on considère la résistance équivalente $R_{eq} = \frac{R_1 R_2}{R_1 + R_2}$ et une bande de fréquence de largeur B la **tension efficace de bruit** s'écrit

$$\sigma_{VREF} = \sqrt{4K_B T_K R_{eq} B}.$$

A l'ambiante $\sigma_{VREF} \approx 126 \sqrt{R_{eq} B}$ pV, ainsi, une résistance équivalente de $10K\Omega$ génère dans une bande de $5MHz$ (bande vidéo) une tension efficace de bruit de l'ordre de $28\mu V$.

En terme de résistance de sortie, évidemment

$$R_s = \frac{R_1 R_2}{R_1 + R_2}.$$

On notera que la référence de tension résistive est le circuit générique de toutes les autres références de tension potentiométriques qui seront ainsi caractérisées par des indices de performances similaires.

2.1.2 Référence de tension semi-active

La référence de tension semi-active de la *figure 12b* est constituée d'un transistor MOS en régime saturé et en forte inversion et d'une résistance. Avec

$$V_{gs} = V_{TH} + \sqrt{\frac{I_{ds}}{K}}$$

on peut écrire directement l'équation implicite

$$V_{REF} = \sqrt{\frac{(V_{DD} - V_{REF})}{K R}} + V_{TH}.$$

Pour le calcul de $S_{V_{DD}}^{V_{REF}} = \frac{\partial V_{REF}}{\partial V_{DD}} \frac{V_{DD}}{V_{REF}}$, avec

$$\partial V_{REF} = \frac{\partial V_{DD} - \partial V_{REF}}{\sqrt{4KR(V_{DD} - V_{REF})}}$$

soit

$$\partial V_{REF} = \frac{\partial V_{DD}}{1 + \sqrt{4KR(V_{DD} - V_{REF})}}$$

on détermine

$$S_{V_{DD}}^{V_{REF}} = \frac{V_{DD}}{V_{REF}} \frac{1}{1 + 2 \frac{V_{DD} - V_{REF}}{V_{REF} - V_{TH}}}$$

Pour le calcul de $TC_F(V_{REF}) = \frac{1}{V_{REF}} \frac{\partial V_{REF}}{\partial T}$, sachant que V_{TH} , R et K sont dépendants de la température, avec

$$\partial V_{REF} = \partial V_{TH} + \partial U \text{ et } U = V_{REF} - V_{TH}$$

on calcule

$$\frac{\partial V_{REF}}{\partial T} = \frac{\frac{V_{REF} - V_{TH}}{2} \left(\frac{\alpha_\mu}{T} - \frac{\alpha_R}{T} \right) + \alpha_{V_{TH}}}{1 + \frac{V_{REF} - V_{TH}}{2(V_{DD} - V_{REF})}}$$

La référence de tension simple semi-active est donc caractérisée par un coefficient de température fractionnaire

$$TC_F(V_{REF}) = \frac{1}{V_{REF}} \frac{\frac{V_{REF} - V_{TH}}{2} \left(\frac{\alpha_\mu}{T} + \frac{\alpha_R}{T} \right) - \alpha_{V_{TH}}}{1 + \frac{V_{REF} - V_{TH}}{2(V_{DD} - V_{REF})}}$$

Il existe ainsi une valeur

$$V_{REF} = V_{TH} + 2T \frac{\alpha_{V_{TH}}}{\alpha_\mu + \alpha_R}$$

minimisant $TC_F(V_{REF})$ à la température T .

En terme de précision, on peut considérer les expressions

$$S_K^{V_{REF}} = S_R^{V_{REF}} = -0,5 \left(1 - \frac{V_{TH}}{V_{REF}} \right) \text{ et } S_{V_{TH}}^{V_{REF}} = \frac{V_{TH}}{V_{REF}}$$

2.1.3 Référence de tension active CMOS

Si maintenant on considère la référence de tension active potentiométrique de la *figure 12c* constituée d'un transistor MOS de type N chargé par un transistor de type P, à partir des expressions de courant de drain

$$I_{ds1} = K_1(V_{REF} - V_{TH1})^2$$

et

$$I_{ds2} = K_2(V_{DD} - V_{REF} - |V_{TH2}|)^2$$

on détermine

$$V_{REF} = \frac{V_{TH1} + \sqrt{K_2/K_1}(V_{DD} - |V_{TH2}|)}{1 + \sqrt{K_2/K_1}}$$

et

$$S_{VDD}^{VREF} = \frac{VDD}{VREF} \frac{\sqrt{K_2/K_1}}{1 + \sqrt{K_2/K_1}}.$$

Si on néglige la dépendance en température du rapport K_2/K_1 , et si α_{VTHN} et α_{VTHP} sont respectivement le coefficient de température de la tension de seuil du transistor N et du transistor P on obtient facilement

$$TC_F(VREF) = \frac{1}{VREF} \frac{\sqrt{K_2/K_1} \alpha_{VTHP} - \alpha_{VTHN}}{1 + \sqrt{K_2/K_1}}.$$

Quant aux autres sensibilités relatives, elles s'écrivent respectivement

$$S_{VTH_1}^{VREF} = \frac{VTH_1}{VREF} \frac{1}{1 + \sqrt{K_2/K_1}} \quad S_{VTH_2}^{VREF} = -\frac{|VTH_2|}{VREF} \frac{\sqrt{K_2/K_1}}{1 + \sqrt{K_2/K_1}}$$

et

$$S_{K_1}^{VREF} = -S_{K_2}^{VREF} = \frac{VDD - |VTH_2|}{VREF} \frac{0,5}{\sqrt{K_2/K_1}(1 + \sqrt{K_1/K_2})^2}.$$

2.1.4 Référence de tension active NMOS

Ces performances se déduisent directement du circuit précédent avec $VTH_1 = VTH_2$, à condition bien sûr de pouvoir connecter le substrat du transistor supérieur à sa source, c'est à dire à condition que le substrat soit de type N et que les transistors aient la même longueur. Par rapport à la référence de tension CMOS, les deux transistors étant de même nature, la tension de référence obtenue n'est sensible qu'aux dispersions locales. On notera qu'en terme de réjection d'alimentation et de bruit, il suffit de considérer le formalisme de la référence de tension résistive et de remplacer les résistances R_1 et R_2 par la résistance active du transistor MOS correspondant $1/gm$, avec par exemple pour MN1

$$gm_1 = 2K_1(VREF - VTH_1).$$

Bien entendu, on peut synthétiser un jeu de références de tension actives complémentaire en changeant tous les transistors de type N en transistors de type P et inversement.

2.2 Références de courant associées

En effectuant la conversion des tensions de référence de la *figure 12* par un transistor MOS on synthétise les deux sources de courants simples de la *figure 13*. Le couple de transistors MN1 et MN2 de rapport d'aspect M_{MN_1} et M_{MN_2} partage la même tension grille-source $VGS = VREF$ et constitue un miroir de courant de gain $M_{21} = M_{MN_2}/M_{MN_1}$. Les deux références de courant simples complémentaires (par convention de type P) sont également synthétisables, et la référence de courant active peut être réalisée entièrement en transistors N ou P comme les tensions de référence correspondantes.

2.2.1 Référence de courant NMOS

Pour la référence de courant NMOS avec

$$IREF = M_{21} \frac{VDD - VGS}{R}$$

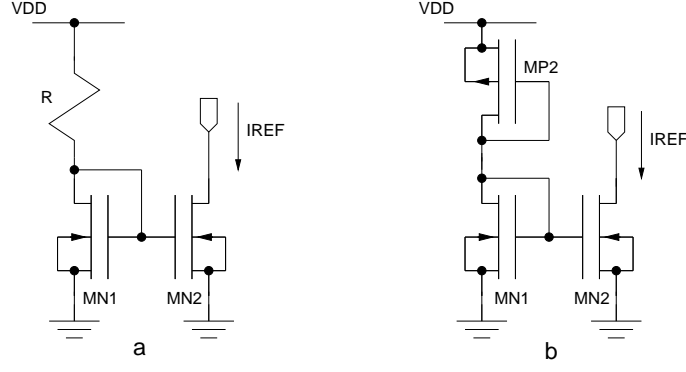


FIGURE 13 –

Références de courant NMOS et CMOS

on obtient

$$\frac{\partial I_{REF}}{\partial V_{DD}} = \frac{M_{21}}{R} \left(1 - \frac{\partial V_{REF}}{\partial V_{DD}}\right)$$

d'où

$$S_{V_{DD}}^{I_{REF}} = \frac{M_{21}}{R} \frac{1}{1 + \frac{V_{GS} - V_{TH}}{2(V_{DD} - V_{GS})}}.$$

Pour la prise en compte des effets de la température, le gain du miroir n'étant pas concerné, on peut écrire

$$\frac{\partial I_{REF}}{\partial T} = -\frac{M_{21}}{R} \frac{\partial V_{REF}}{\partial T} - \frac{I_{REF}}{R} \frac{\partial R}{\partial T}$$

soit

$$TC_F(I_{REF}) = -\frac{1}{I_{REF}} \left(\frac{M_{21}}{R} \frac{(V_{GS} - V_{TH}) \left(\frac{\alpha_\mu}{T} + \frac{\alpha_R}{T} \right) - \alpha_{V_{TH}}}{1 + \frac{V_{GS} - V_{TH}}{2(V_{DD} - V_{GS})}} + \frac{\alpha_R}{T} I_{REF} \right).$$

Pour la précision, à partir de l'expression de la différentielle

$$\partial I_{REF} = \frac{\partial M_{21}}{M_{21}} I_{REF} - \left(\frac{\partial V_{GS}}{V_{DD} - V_{GS}} + \frac{\partial R}{R} \right) I_{REF}$$

on détermine

$$S_{M_{21}}^{I_{REF}} = 1$$

$$S_R^{I_{REF}} = -\left(\frac{V_{GS}}{V_{DD} - V_{GS}} S_R^{V_{REF}} + 1 \right) = \frac{V_{GS} - V_{TH}}{2(V_{DD} - V_{GS})} - 1$$

$$S_{K_1}^{I_{REF}} = -\frac{V_{GS}}{V_{DD} - V_{GS}} S_{K_1}^{V_{REF}} = \frac{V_{GS} - V_{TH}}{2(V_{DD} - V_{GS})}$$

$$S_{V_{TH}}^{I_{REF}} = -\frac{V_{GS}}{V_{DD} - V_{GS}} S_{V_{TH}}^{V_{REF}} = -\frac{V_{TH}}{V_{DD} - V_{GS}}.$$

En terme de réjection de l'alimentation VDD, en considérant le schéma équivalent petit signal de la *figure 14* et avec $V_{EG} = V_{GS_{MN1}} - V_{TH_{MN1}}$, on peut écrire

soit $iref = gm_2 vref = gm_2 \frac{1}{1+R gm_1} vref$

$$PSR^+ \approx 20 \log \left(\frac{VEG + 2IREF \frac{R}{M_{21}}}{2IREF} \right).$$

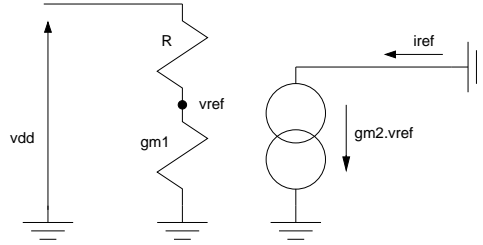


FIGURE 14 –

Modèle de calcul du PSRR⁺

En terme de bruit en considérant le [modèle de bruit](#) de la [figure 15](#) avec

soit $ins = \frac{M_{M2}}{M_{M1}} (ir + in_1) + in_2$

$$Sis = \frac{M_{M2}}{M_{M1}} (Sir + Sin_1) + Sin_2,$$

sans considérer la composante de bruit en 1/f on obtient

$$Sis \approx 4K_B T_K IREF \left(\frac{1}{VDD - VGS} + \frac{8}{3 VEG} \right).$$

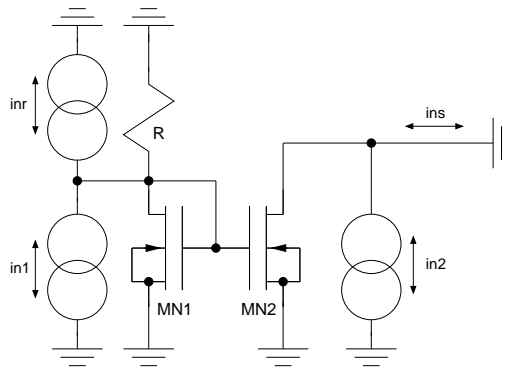


FIGURE 15 –

Modèle de calcul du bruit

En terme de facteur de régulation de charge, il suffit de considérer simplement la conductance du transistor de sortie.

2.2.2 Référence de courant CMOS

Si on considère la référence de courant CMOS, avec

$$I_{REF} = K_{MN2}(V_{GS} - V_{TH_{MN1}})^2$$

et

$$\partial I_{REF} = 2 \frac{I_{REF}}{V_{GS} - V_{TH_{MN1}}} \partial V_{REF}$$

on calcule

$$S_{VDD}^{I_{REF}} = \frac{2V_{REF}}{V_{REF} - V_{TH_{MN1}}} S_{VDD}^{V_{REF}} = \frac{2V_{DD}}{V_{GS} - V_{TH_{MN1}}} \frac{1}{1 + \sqrt{K_{MN1}/K_{MP2}}}.$$

Pour la détermination du coefficient de température fractionnaire, il suffit de considérer la différentielle

$$\partial I_{REF} = \partial K_{MN2} \frac{I_{REF}}{K_{MN2}} + 2 \frac{I_{REF}}{V_{REF} - V_{TH_{MN1}}} (\partial V_{REF} - \partial V_{TH_{MN1}})$$

et en divisant par ∂T écrire

$$TC_F(I_{REF}) = -\frac{\alpha_{\mu N}}{T} + \frac{2}{V_{GS} - V_{TH_{MN1}}} \left(\frac{\sqrt{K_{MP2}/K_{MN1}} \alpha_{V_{THP}} - \alpha_{V_{THN}}}{1 + \sqrt{K_{MP2}/K_{MN1}}} + \alpha_{V_{THN}} \right).$$

Pour les sensibilités relatives aux paramètres de synthèse, on peut utiliser directement l'expression précédente de la différentielle et déterminer

$$S_{K_{MN2}}^{I_{REF}} = 1$$

$$S_{V_{TH_{MN1}}}^{I_{REF}} = -\frac{2V_{TH_{MN1}}}{V_{GS} - V_{TH_{MN1}}} \frac{1}{1 + \sqrt{K_{MN1}/K_{MP2}}}$$

$$S_{V_{TH_{MP2}}}^{I_{REF}} = -\frac{2|V_{TH_{MP2}}|}{V_{GS} - V_{TH_{MN1}}} \frac{1}{1 + \sqrt{K_{MN1}/K_{MP2}}}$$

$$S_{K_{MN1}}^{I_{REF}} = -S_{K_{MN2}}^{I_{REF}} = \frac{V_{DD} - |V_{TH_{MP2}}|}{V_{GS} - V_{TH_{MN1}}} \frac{1}{\sqrt{K_{MP2}/K_{MN1}} (1 + \sqrt{K_{MN1}/K_{MP2}})^2}.$$

Tous les autres indices de performance se déduisent directement des indices correspondants de la référence de courant NMOS.

2.3 Utilisation des références basiques

En terme d'utilisation, les références de tension potentiométrique et les références de courant associées étant très sensibles aux variations et aux bruits d'alimentation sont assez peu utilisées. Dans certains circuits intégrés, elles servent parfois à générer les tensions de mode commun d'entrée et de sortie (typiquement point milieu), dans ce cas, le nœud sensible est fortement découplé capacitivement (éventuellement par un condensateur externe) et le facteur de régulation de charge est souvent amélioré en tamponnant la sortie par un suiveur de tension actif (amplificateur opérationnel en gain unitaire).

3 Références à Gm constante

3.1 Constitution de la référence à quad CMOS autopolarisé

Afin d'assurer la première qualité d'une référence de tension ou de courant, c'est à dire l'indépendance aux tensions d'alimentation, on doit utiliser le principe d'autopolarisation. Ce principe peut être mise en œuvre par le circuit gauche de la *figure 16* appelé "quad à miroirs CMOS autopolarisé". Il est constitué d'un miroir de courant de type N (MN1 et MN2) en boucle fermée (en antiparallèle) avec un miroir de type P (MP3 et MP4) [25], ce faisant, le courant de polarisation I_R est généré par le courant I_2 qui est lui même généré par I_R (autopolarisation). En terme de fonctionnement qualitatif, initialement, le gain de boucle étant supérieur à l'unité et la réaction étant positive, le courant dans les deux branches augmente jusqu'à ce que l'équilibre électrique soit atteint, c'est à dire jusqu'à ce que le gain de boucle soit réduit à 1 du fait de la chute de tension aux bornes de la résistance R qui réduit la tension grille-source de MN1. La référence de courant est réalisée directement par conversion de la tension de référence en courant de référence réfléchi par le transistor MP5. Le rapport de courant I_{REF}/I_{ref} est directement réglable par dimensionnement des rapports d'aspect des miroirs de courant.

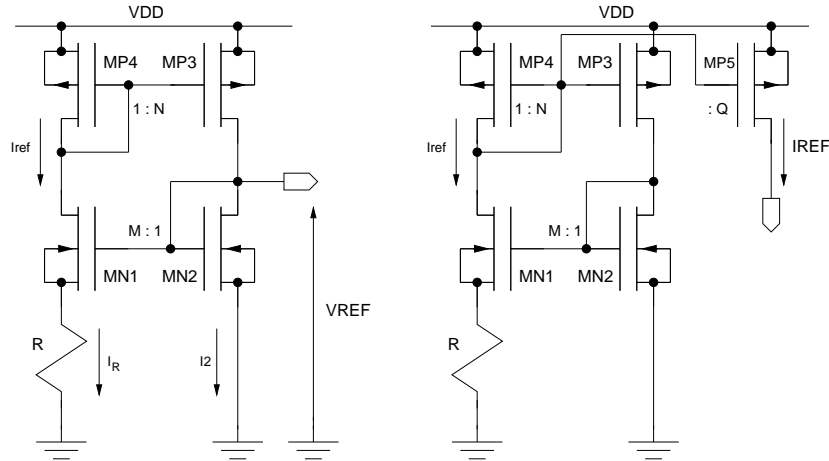


FIGURE 16 –

*Référence de tension et de courant à Gm constante
à quad à miroirs CMOS autopolarisé*

3.2 Analyse

3.2.1 Formalisme pour le quad en forte inversion

Les gains des miroirs de courant N et P étant respectivement $M = \frac{(W/L)_1}{(W/L)_2}$ et $N = \frac{(W/L)_3}{(W/L)_4}$ et les quatre transistors étant en forte inversion saturée, avec $I_2 = N \cdot I_R$, on peut écrire l'équation implicite

$$I_R = \frac{V_{gs2} - V_{gs1}}{R} = \frac{1}{R} (\sqrt{N \frac{I_R}{K_2}} + V_{TH2} - \sqrt{\frac{I_R}{K_1}} - V_{TH1}).$$

Les sources des transistors étant réunies au substrat et les tensions de seuil des miroirs étant identiques, en divisant les deux membres de l'équation par $\sqrt{I_R}$ tacitement supposé

différent de zéro, on obtient la relation

$$I_R = \frac{1}{R^2 K_1} (\sqrt{MN} - 1)^2.$$

Alors qu'avec

$$VREF = VTH_2 + \sqrt{N \frac{I_R}{K_2}}$$

on arrive à la relation

$$VREF = VTH_2 + \frac{1}{R K_2} \sqrt{\frac{N}{M}} (\sqrt{MN} - 1)$$

et avec

$$VR = R I_R = \frac{1}{R K_1} (\sqrt{MN} - 1)^2 = \frac{1}{R M K_2} (\sqrt{MN} - 1)^2$$

on arrive à la relation

$$VR = \left(1 - \frac{1}{\sqrt{MN}}\right) (VREF - VTH_2).$$

On peut noter que l'expression entre parenthèses de VREF devant être positive pour que MN2 soit en forte inversion, le produit des gains des miroirs de courant doit être supérieur à l'unité. D'autre part, si on considère la transconductance de grille de MN2, avec

$$Gm_2 = 2\sqrt{I_2 K_2} \quad \text{et} \quad I_2 = \frac{N}{R^2 M K_2} (\sqrt{MN} - 1)^2$$

soit

$$Gm_2 = \frac{2}{R} \sqrt{\frac{N}{M}} (\sqrt{MN} - 1)$$

on constate que la transconductance ne dépend au premier ordre que des gains des miroirs de courant, intrinsèquement précis et stables, et d'une résistance. Si cette dernière est invariante PVT (extérieure au circuit ou intérieure avec réglage et coefficient de température nul), elle impose la valeur et l'invariance de la transconductance. Le circuit est dit à Gm constante [8]. Cette propriété très remarquable peut être directement reflétée par un miroir de courant aux autres dispositifs actifs du circuit à stabiliser. On notera que la transconductance de type P n'est pas tout à fait constante puisque avec

$$Gm_4 = \frac{2}{R} \sqrt{\frac{K_4}{K_1}} (\sqrt{MN} - 1)$$

elle est fonction d'un rapport de coefficient de transconductance de type opposé statistiquement décorrélé, avec des mobilités ayant un exposant de température légèrement différent ($\alpha_{\mu N} \approx 1,7$ et $\alpha_{\mu P} \approx 1,3$). Il est évidemment possible d'obtenir une transconductance constante de type P en considérant le dispositif complémentaire de type P.

3.2.2 Formalisme pour le quad en faible inversion

Si nous considérons les transistors MN1 et MN2 en faible inversion avec

$$I_R = \frac{V_{gs2} - V_{gs1}}{R} = \frac{\eta V t}{R} \left(\text{Log}\left(\frac{I_2}{I_{DX}(W/L)_2}\right) + V_{TH2} - \text{Log}\left(\frac{I_R}{I_{DX}(W/L)_1}\right) - V_{TH1} \right)$$

soit

$$I_R = \frac{\eta V t}{R} \text{Log}(NM) + V_{TH2} - V_{TH1}$$

et

$$G_{m2} = \frac{N I_R}{\eta V t} = \frac{N}{R} \text{Log}(NM)$$

le quad CMOS est une référence à Gm constante pour la polarisation des dispositifs en faible inversion de type N.

3.2.3 Stabilité

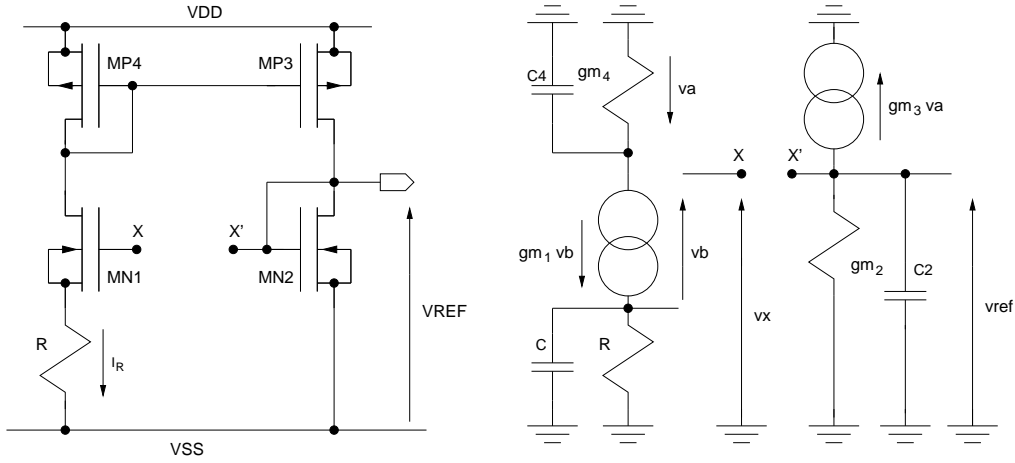


FIGURE 17 –

Schéma équivalent petit signal pour l'étude de la stabilité

De part la boucle de réaction positive, le circuit est potentiellement instable on doit réaliser une étude de la stabilité. Pour ce faire, il suffit d'ouvrir la boucle de réaction sur une grille de transistor MOS (le nœud haute impédance permet de ne pas modifier les niveaux d'impédance de part et d'autre de l'ouverture) et de calculer la fonction de transfert petit signal v_{ref}/v_x (figure 17). Ainsi, avec

$$v_{ref} = -\frac{g_{m3}}{g_{m2} + C_{2p}} v_a \quad v_a = -\frac{g_{m1}}{g_{m4} + C_{4p}} v_b \quad \text{et} \quad v_b = v_x - \frac{g_{m1}}{G + C_p} v_b$$

on obtient

$$\frac{v_{ref}}{v_x} = \frac{g_{m1} g_{m3} (G + C_p)}{(g_{m2} + C_{2p})(g_{m4} + C_{4p})(G + g_{m1} + C_p)}$$

La fonction de transfert positive (la réaction est positive), est caractérisée par trois pôles

réels, un zéro réel associé au troisième pôle et un gain statique de valeur

$$A_0 = \frac{gm_1 gm_3}{gm_2 gm_4} \frac{1}{1 + Rgm_1}$$

soit pour le quad en forte inversion

$$A_0 = \sqrt{MN} \frac{1}{2\sqrt{MN} - 1}$$

et pour le quad en faible inversion

$$A_0 = \frac{1}{1 + \text{Log}(MN)}.$$

La stabilité statique du circuit ne dépend que du produit MN des gains des miroirs de courant qui doit être au sens stricte supérieur à l'unité pour un gain A0 inférieur à un (*figure 18*). Pratiquement, pour éviter un déverrouillage du dispositif sur un éventuel bruit impulsif parasite extérieur, on se garde une marge de stabilité suffisante en choisissant une valeur de produit MN très supérieure à un, typiquement on fixe MN=4. Quant au comportement en fréquence, on peut observer que si les deux premiers pôles associés à des capacités parasites sur des nœuds basses impédances, sont normalement situés à des fréquences élevées, il n'en est pas de même pour le troisième, lorsque la résistance R est extérieure au circuit, puisque dans ce cas, la capacité d'entrée C peut avoir pour valeur plusieurs pF. Ors ce pôle est associé au zéro de la fonction de transfert (doublet électrique), et plus éloigné sur l'axe des fréquence d'une distance directement fonction de la valeur

$$gm_1 R = 2(\sqrt{MN} - 1).$$

Il y a donc un risque de surtension pouvant entraîner l'instabilité si le gain de boucle devient supérieur à l'unité. De ce fait, on est conduit à augmenter la valeur du premier pôle pour le placer au voisinage du zéro. Un placement du pôle sur le zéro conduisant à la valeur

$$C_2 = C gm_2 R = 2 C \sqrt{\frac{N}{M}} (\sqrt{MN} - 1)$$

on adopte communément [17]

$$C_2 \approx C.$$

3.2.4 Démarrage du circuit

Si on considère les expressions des courants dans les transistors MN1 et MN2 en forte inversion

$$I_R = K_1(Vgs_2 - RI_R - VTH_2)^2 \quad \text{et} \quad I_{ref} = K_2(Vgs_2 - VTH_2)^2$$

on constate à l'évidence, que le circuit présente deux points de fonctionnement, l'un correspondant à la valeur $I_R = I_2 = 0$ (on avait supposé ce courant différent de zéro lors de l'établissement du formalisme) et l'autre correspondant à la valeur particulière $I_R = I_2 = I_0$ désirée (*figure 19*).

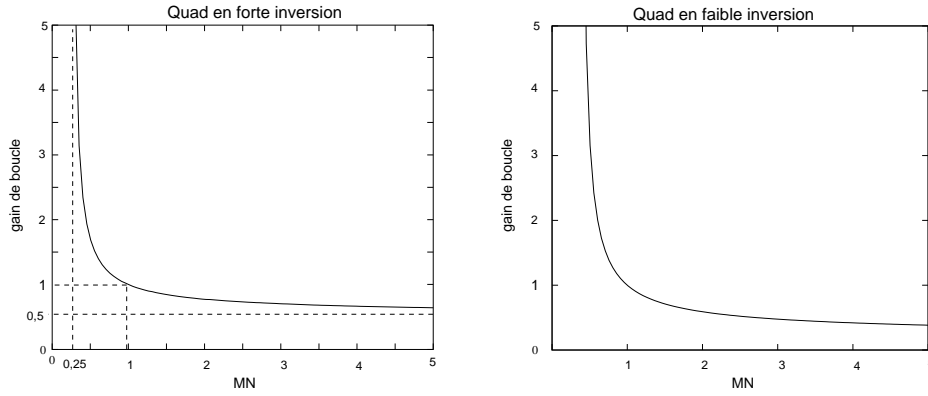


FIGURE 18 –

Gains de boucle statiques du quad CMOS autopolarisé

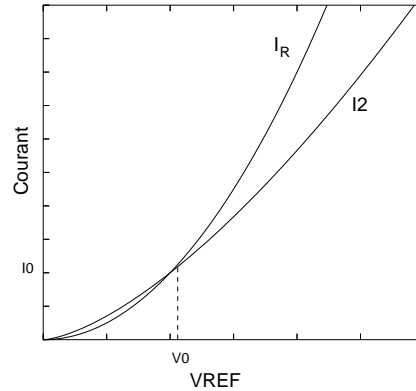


FIGURE 19 –

Mise en évidence des deux points de stabilité

Bien que le premier point de fonctionnement soit théoriquement instable du fait de la réaction positive, ce type de dispositif nécessite un circuit auxiliaire (*figure 20*) évitant un verrouillage intempestif à la mise sous tension, typiquement par les courants de fuite des jonctions, sur le point de fonctionnement correspondant à un courant et une tension nuls. Autant que faire ce peut ce circuit de démarrage appelé "starter" ne doit avoir aucune influence en régime établi. Une première technique [28] consiste à utiliser un condensateur de démarrage placé entre les grilles des transistors diodes. Au démarrage, si aucun courant ne circule dans les deux branches, le condensateur "voit" une différence de potentiel VDD entre ses bornes, il y aura donc une montée en charge (au départ par les courants de fuite) qui rapproche le potentiel des grilles de MP4 et MN2 et assure ainsi la mise en place du bon point de fonctionnement. Une deuxième technique [19], consiste à dériver un courant typiquement de l'ordre du courant de référence par l'intermédiaire d'un transistor (MNST) présentant au démarrage une tension grille-source supérieure à sa tension de seuil puis une tension grille-source inférieure à cette même tension de seuil lorsque la mise en place du bon point de fonctionnement est assurée. Du fait de l'importance de ces circuits de démarrage, on se référera au paragraphe qui leur est entièrement consacré à la fin de ce document. On notera que si les deux transistors MN1 et MN2 sont en faible inversion, le problème de point de fonctionnement multiple se

pose de la même façon, en remplaçant les fonctions quadratiques des courants par les fonctions logarithmiques correspondantes.

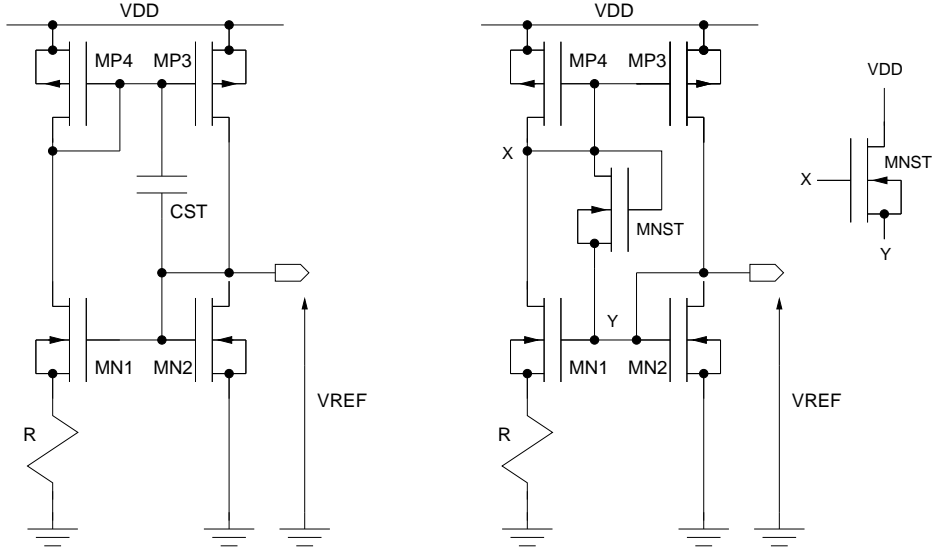


FIGURE 20 –

Démarrage du quad CMOS autopolarisé à partir d'un starter capacitif ou actif

3.3 Référence de tension

3.3.1 Equation de constitution de la référence de tension

Si on explicite la dépendance en température de la référence de tension, en dérivant l'expression de $VREF$

$$\frac{\partial VREF}{\partial T} = \frac{\partial VTH_2}{\partial T} - \sqrt{\frac{N}{M}}(\sqrt{MN} - 1)\left(\frac{\partial R}{\partial T} \frac{1}{R^2 K_2} + \frac{\partial K_2}{\partial T} \frac{1}{R K_2^2}\right)$$

on obtient le coefficient de température fractionnaire

$$TC_F(VREF) = \frac{1}{VREF} \left(-\alpha_{VTH} + \sqrt{\frac{N}{M}}(\sqrt{MN} - 1) \frac{1}{R K_2 T} (\alpha_{\mu N} - \alpha_R) \right),$$

pouvant s'écrire

$$TC_F(VREF) = \frac{1}{VREF} \left(-\alpha_{VTH} + \frac{VREF - VTH_2}{T} (\alpha_{\mu N} - \alpha_R) \right).$$

L'alternance de signe sur le TC_F montre qu'il existe éventuellement une valeur de $VREF$ optimale, dépendante des dispersions de fabrication, annulant le coefficient de température (ZTC_{VREF})

$$VREF_{opt} = VTH_2 + \frac{\alpha_{VTH_N} T}{\alpha_{\mu N} - \alpha_R}.$$

On notera que la condition

$$\frac{\alpha_{VTHN}}{\alpha_{\mu N} - \alpha_R} T > 0$$

assurant la forte inversion de MN2 est une condition nécessaire et suffisante pour la mise en forte inversion de MN1 avec

$$VR = \left(1 - \frac{1}{\sqrt{MN}}\right) \frac{\alpha_{VTHN}}{\alpha_{\mu N} - \alpha_R} T.$$

3.3.2 Validité du modèle du calcul

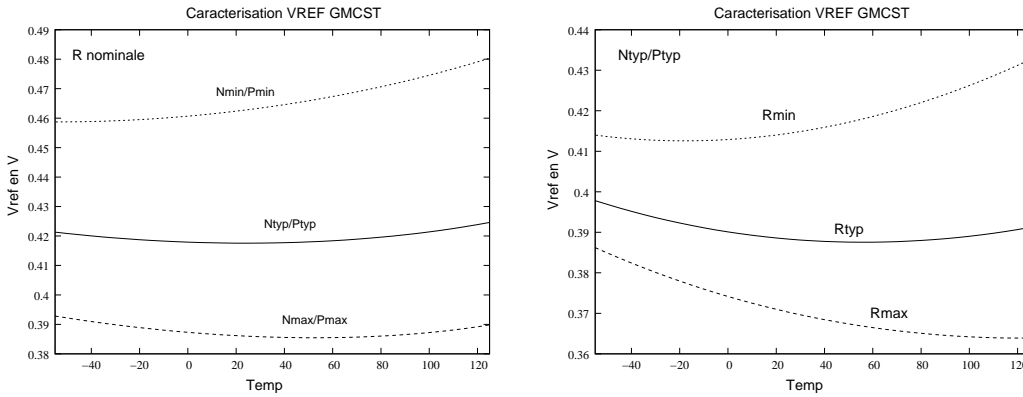


FIGURE 21 –

*Résultats de simulation d'une référence de tension à Gm constante
pour une technologie 0.13 μ m avec un modèle BSIM3v3
 $T_{opt} = 80^{\circ}C$ et $TCR = -910ppm/^{\circ}C$ et $TGR = \pm 20\%$*

L'établissement de l'équation de constitution de la référence de tension étant basé sur un modèle analytique bas niveau pour le transistor MOS, sa validité peut être fortement mise en question pour des dispositifs dimensionnés et simulés avec des modèles plus élaborés de troisième génération. La *figure 21* est le résultat de simulation obtenu à partir d'un circuit dimensionné par OCEANE en utilisant comme base l'expression de $VREF_{opt}$ et un calcul des paramètres thermiques des transistors. Afin de tenir compte des imprécisions du modèle, la température d'optimisation T_{opt} est utilisée comme paramètre d'ajustement. Différentes technologies ont été testées, et il a été observé que pour que la tension de référence puisse présenter un minima prononcé, il fallait que la quantité

$$\frac{\alpha_{VTHN}}{\alpha_{\mu N} - \alpha_R}$$

soit telle, que la forte inversion soit franchement assurée pour les deux transistors de type N.

3.3.3 Indépendance aux tensions d'alimentation

L'indépendance de la référence vis à vis de la tension d'alimentation peut être mise en évidence à partir du modèle de calcul de la *figure 22*. En effet, avec

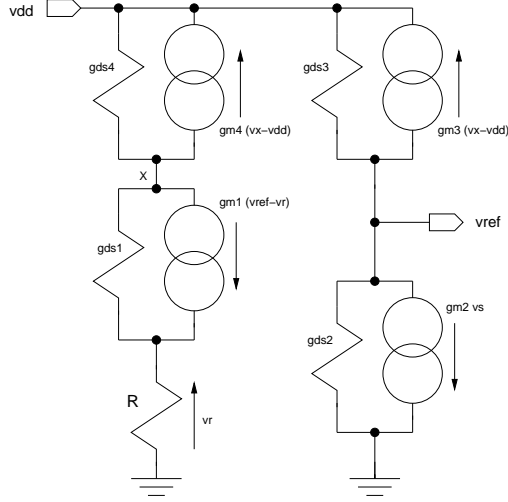


FIGURE 22 –

Modèle de calcul pour la réjection de la tension d'alimentation

$$gm_3(vx - vdd) + gds_3(vref - vdd) + (gm_2 + gds_2)vref = 0$$

et

$$(gm_4 + gds_4)(vx - vdd) + gm_1(vref - vr) + gds_1(vx - vr) = 0$$

et

$$vr = R((vx - vr)gds_1 + gm_1(vref - vr))$$

on détermine

$$\frac{vref}{vdd} = \frac{gds_3 + gm_3 \left(1 - \frac{1}{1 + \frac{gds_1}{(gm_4 + gds_4)(1 + R(gm_1 + gds_1))}}\right)}{gm_2 + gds_2 + gds_3 - \frac{gm_1 gm_3}{(gm_4 + gds_4)(1 + R(gm_1 + gds_1)) + gds_1}}$$

soit approximativement

$$\frac{vref}{vdd} \approx \frac{gds_3}{gm_2 - \frac{gm_3}{gm_4} \frac{gm_1}{1 + R gm_1}} = \frac{gds_3}{gm_2} \frac{\sqrt{2MN} - 1}{\sqrt{MN} - 1}$$

Ainsi, avec

$$\frac{gds_3}{gm_2} \approx \frac{VREF - VTH_2}{2 L_3 VE_3}$$

on peut espérer une réjection des tensions d'alimentation de l'ordre d'une quarantaine de dB en utilisant des transistors de type P de grande longueur. Une amélioration d'un ordre de grandeur peut être éventuellement obtenu par cascodage, en notant toutefois que l'influence du cascodage du miroir MP3/MP4 est pondérée par l'influence de de gm3.

3.3.4 Tension d'alimentation minimum requise

En terme de tension minimum d'alimentation, la référence peut travailler avec une faible tension d'alimentation. Le miroir MN1/MN2 devant être en forte inversion et en régime saturé (MP3/MP4 peut éventuellement être en faible inversion), pour une technologie donnée, la tension d'alimentation pourra être ainsi de l'ordre de

$$VDD_{min} \approx VTH + qqs 0.1V.$$

3.3.5 Précisions

En termes de précisions, on peut réutiliser l'expression de ∂V_{REF} pour écrire

$$S_{V_{TH_2}}^{V_{REF}} = 1 \quad S_R^{V_{REF}} = S_{K_2}^{V_{REF}} = -1 + \frac{V_{TH_2}}{V_{REF}}$$

Une autre source d'erreur, n'apparaissant pas explicitement dans le formalisme simplifié utilisé, est à l'origine d'un biais sur la référence de tension. Elle provient de l'erreur d'appariement entre les transistors des [miroirs de courant](#)

. Pour les deux miroirs, elle peut être réduite en prenant des grandes longueurs de transistor et des grandes tensions effectives de grille. Quant au miroir MN1/MN2, on devra veiller à ce que la tension VR soit très supérieure à la différence $V_{TH_1} - V_{TH_2}$ (qqqs mV). On notera que cette tension formellement indépendante de la résistance et du courant est réglable par le produit MN.

3.3.6 Facteur de régulation de charge

Le facteur de régulation de charge correspond à la résistance de sortie de la référence de tension. Pour le calculer, on peut considérer le modèle petit signal de la [figure 23](#). Avec

$$is = gm_3 va + (gm_2 + gds_2 + gds_3) vs$$

et

$$(gm_4 + gds_4) va = (vr - va) gds_1 - gm_1 (vs - vr)$$

et

$$vr = -\frac{gm_4 + gds_4}{G} va$$

on détermine

$$\frac{is}{vs} = gs = gm_2 + gds_2 + gds_3 - \frac{gm_1 gm_3}{(gm_4 + gds_4) \left((1 + (gm_1 + gds_1)R) + \frac{gds_1}{gm_4 + gds_4} \right)}$$

soit

$$\frac{is}{vs} = gs \approx gm_2 - \frac{gm_1 gm_3}{gm_4 (1 + gm_1 R)}$$

soit

$$gs \approx gm_2 \frac{\sqrt{MN} - 1}{2\sqrt{MN} - 1}.$$

On notera que de part la proportionalité de la transconductance au courant de polarisation, un faible courant de référence conduit à une forte impédance de sortie.

3.4 Référence de courant

Le courant de référence généré par le circuit droit de la [figure 16](#) a pour expression

$$I_{REF} = \frac{Q}{R^2 K_1} (\sqrt{MN} - 1)^2.$$

Etant intrinséquement dépendant des dispersions et du comportement en température de la résistance et de MN1, un circuit de référence à Gm constante n'a évidemment pas vocation à produire un courant constant....

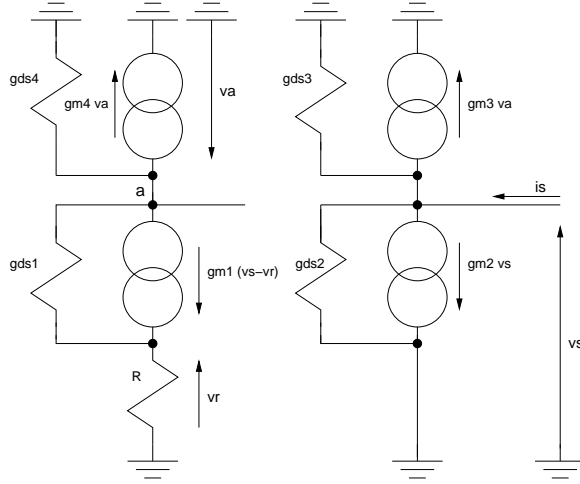


FIGURE 23 –

Modèle de calcul pour le facteur de charge

3.4.1 Coefficient de température fractionnaire

Pour le coefficient de température fractionnaire de la référence de courant avec

$$\frac{\partial I_{REF}}{\partial T} = -(\sqrt{MN} - 1)^2 \left(\frac{\partial R}{\partial T} \frac{2}{R^3 K_1} + \frac{\partial K_1}{\partial T} \frac{1}{R^2 K_1^2} \right)$$

on obtient

$$TC_F(I_{REF}) = \frac{1}{I_{REF}} \left((\sqrt{MN} - 1)^2 \frac{1}{R^2 K_1 T} (\alpha_{\mu N} - 2\alpha_R) \right).$$

soit

$$TC_F(I_{REF}) = \frac{\alpha_{\mu N} - 2\alpha_R}{T}.$$

3.4.2 Précisions

Pour la précision, on peut réutiliser l'expression de ∂I_{REF} pour écrire

$$S_R^{I_{REF}} = -2 \quad S_{K_1}^{I_{REF}} = -1.$$

3.4.3 Indépendance aux tensions d'alimentation

Comme pour la référence de tension, la référence de courant est indépendante au premier ordre des tensions d'alimentation. Elle peut toujours être renforcée en utilisant des transistors longs et/ou par cascodage.

3.4.4 Facteur de régulation de charge

Il est simplement fixé par la conductance de sortie du transistor. Il peut également facilement être amélioré en utilisant des transistors longs et/ou par cascodage.

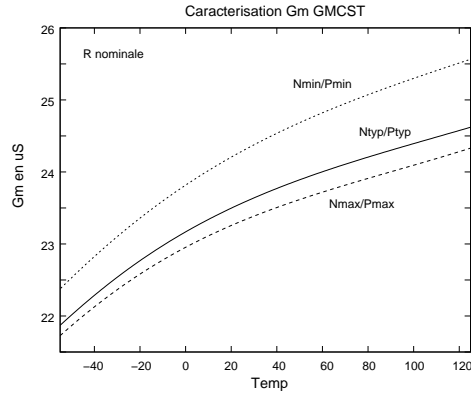


FIGURE 24 –

Résultats de simulation d'une référence de courant à Gm constante pour une technologie $0.13\mu\text{m}$ avec un modèle BSIM3v3 et $T_{opt} = 80^\circ\text{C}$

3.4.5 Résultat de simulation

La *figure 24* est le résultat de simulation obtenu à partir d'un circuit dimensionné par OCEANE. On notera la relative indépendance de la transconductance (de l'ordre de 10%) aux dispersions technologiques et à la température.

3.5 Variantes topologiques des références à Gm constante

3.5.1 Références de type P

Par permutation des types de tous les transistors *figure 25*, on peut synthétiser les structures complémentaires à Gm constante de type P. Bien entendu, formellement, ces références présentent les mêmes indices de performance que leurs homologues de type N. On notera que dans une technologie CMOS standard à substrat P la résistance pourra être référencée à VDD et que la tension de référence correspondante sera également référencée par rapport à VDD.

3.5.2 Références à transistors cascodés

Une amélioration des performances des références de tension et de courant à Gm constante peut éventuellement être obtenue par [cascodage des transistors](#). Le schéma électrique de la *figure 26* représente le circuit ainsi obtenu. Le circuit utilise un starter double (MPSb, MNSa, MPS1 et MPS2). On notera que la polarisation des transistors cascodés MN1C/MN2C étant assurée par la même source de tension synthétisée par MN6 et que de part la résistance R les transistors MN1 et MN2 n'ont pas la même tension de saturation, ces derniers ont des points de repos différents, ainsi, les transistors cascodes sont normalement de taille différente. Il y a donc génération d'un biais systématique. Ainsi, on préférera souvent utiliser la structure semi-cascodée de la *figure 27*. On notera que pour être efficace, le cascodage ne peut être réalisé qu'avec des tensions d'alimentation relativement élevées et qu'il est souvent difficile de tenir les spécifications à haute température. Cette difficulté provient du fait que les tensions de polarisation sont autogénérées et sujettes aux effets de la température. Ainsi, en technologie submicronique, le cascodage est rarement utilisé, on utilise plutôt des transistors très longs ou on abandonne le quad à miroirs de courants au profit du quad régulé.

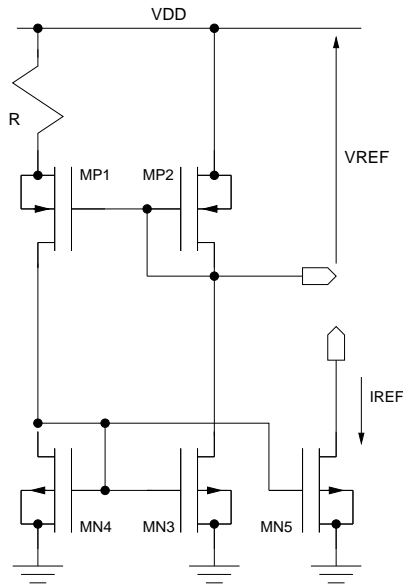


FIGURE 25 –

Références de type P à G_m constante

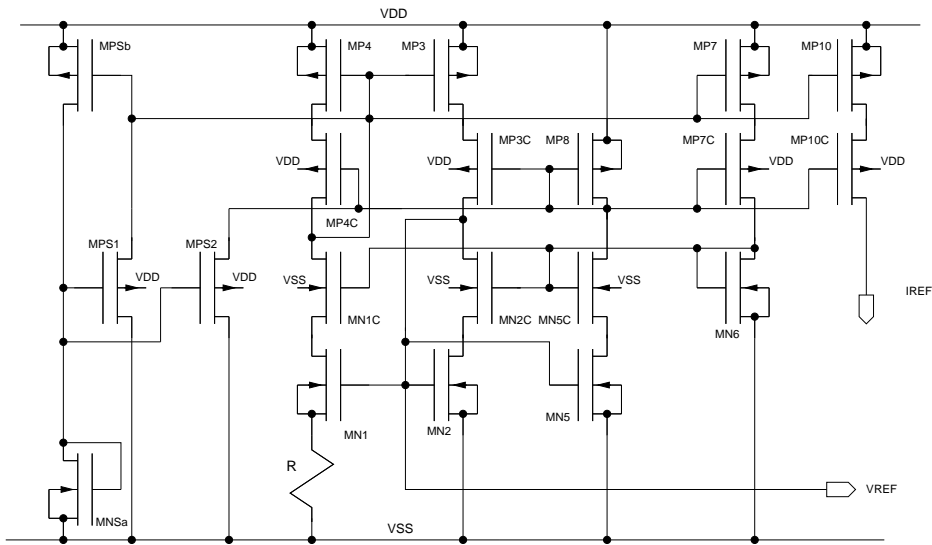


FIGURE 26 –

Référence de tension et de courant cascodée de type N à G_m constante

3.5.3 Références à résistance flottante

Si au lieu de référencer la résistance R à VSS pour permettre l'utilisation d'une résistance discrète extérieure au circuit intégré, on la place en position flottante entre les transistors $MN2$ et $MP3$ comme indiqué sur la *figure 28*, on ne modifie pas l'expression du courant I_R . Cette variante topologique autorise une connexion de la source des transistors de type N au substrat sans la nécessité de caisson d'isolation.

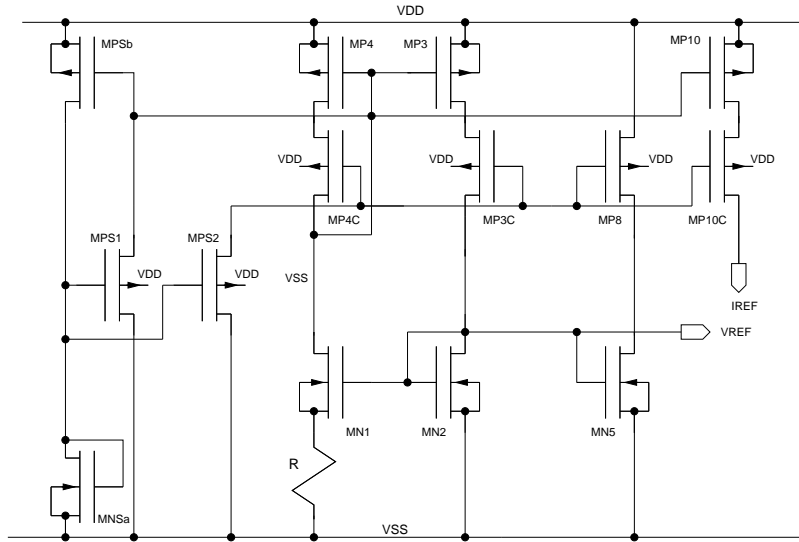


FIGURE 27 –

Référence de tension et de courant semi-cascodée de type N à Gm constante

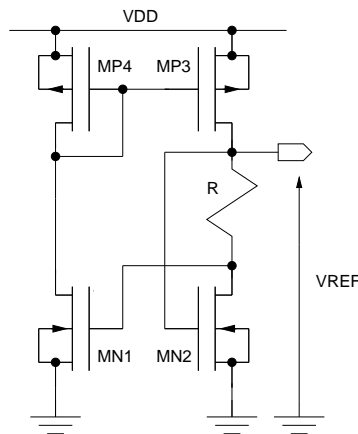


FIGURE 28 –

Référence de tension de type N à Gm constante et résistance flottante

3.6 Références à quad CMOS régulé

3.6.1 Principe

L'égalité parfaite des courants dans les deux branches des miroirs de courant peut être obtenue en imposant la même tension de drain sur les deux transistors du miroir MP3/MP4, pour ce faire, il suffit d'utiliser un amplificateur opérationnel (version A de la *figure 29*). En effet, si ce dernier est idéal, en régime linéaire l'entrée inverseuse est au même potentiel que l'entrée non inverseuse. Ce faisant, il est possible de générer six versions de quad CMOS à Gm constante, puisque caractérisées en statiques par

$$VR_1 = Vgs_2 - Vgs_1$$

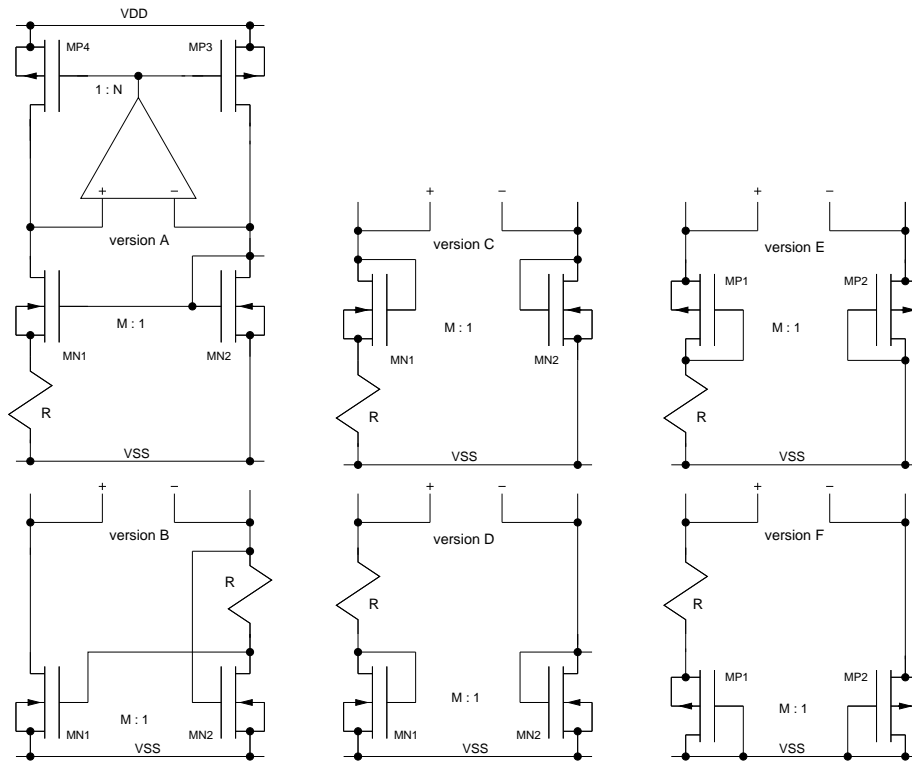


FIGURE 29 –

Quads CMOS autopolarisés régulés

pour les quatre premières versions, et par

$$VR_1 = Vsg_2 - Vsg_1$$

pour les deux dernières.

3.6.2 Performances dynamiques

- Résistance de sortie

En terme de théorie des réseaux électriques, le quad régulé est un convertisseur d'impédance négative (NIC), de ce fait, l'impédance "vue" sur l'entrée non inverseuse de l'amplificateur opérationnel est "ramenée" sur l'entrée inverseuse avec une inversion de signe. Ceci peut facilement montré à partir du schéma équivalent générique petit signal

de la figure 30.

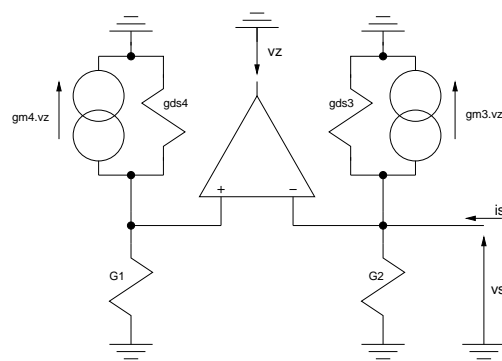


FIGURE 30 –

Calcul de la résistance de sortie du quad régulé

- Stabilité

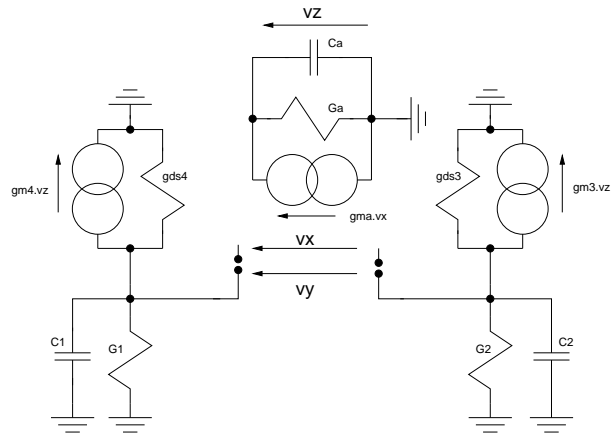


FIGURE 31 -

Analyse de la stabilité du quad régulé

3.6.3 Contraintes structurelles sur les amplificateurs opérationnels

3.7 Utilisation des références à Gm constante

Les références à Gm constante sont d'un usage assez courant, notamment sous la forme courant de référence. Elles permettent ainsi la stabilisation des pôles parasites hautes fréquences correspondants à des nœuds basse impédance (formellement de la forme gm/C) des dispositifs actifs [8], ou des constantes de temps d'une structure de filtrage gm/C [16]. Elles peuvent être également utilisées pour fixer précisément le gain statique des [amplificateurs de tension](#)

à charge résistive,

4 Références PTAT

Une référence de tension est dite PTAT lorsqu'elle est caractérisée par un courant ou une tension proportionnel à la température absolue (Proportional To Absolute Temperature).

$$\epsilon_{V_{TH}} = \frac{V_{TH_a} - V_{TH_b}}{\eta}$$

puisque les tensions source-substrat des deux transistors sont différentes par construction. Ce biais, dépendant de la température, possède une composante déterministe de part principalement l'effet de substrat, et une composante statistique de part les erreurs d'appariement.

- Conditions d'utilisation

Pour que la tension V_s soit indépendante de la valeur intrinsèque des courants, il faut que les transistors restent en faible inversion à la température maximum de fonctionnement et il faut que les courants de fuite, dus principalement aux courants de jonction des drains et des sources soient minimisés afin d'éviter qu'ils ne deviennent une source d'erreur à haute température. D'autre part, la tension V_s ne devant pas être inférieure à 3 ou 4 V_t pour assurer la saturation de M_b , avec $V_{gs_a} = V_{gs_b} - V_s$ et $V_{gs_b} < V_{TH_b}$ on voit que la tension PTAT générée est pratiquement de l'ordre de 100mV afin d'obtenir des transistors de taille raisonnable.

4.1.2 Mise en série de diodes MOS cascodes PTAT

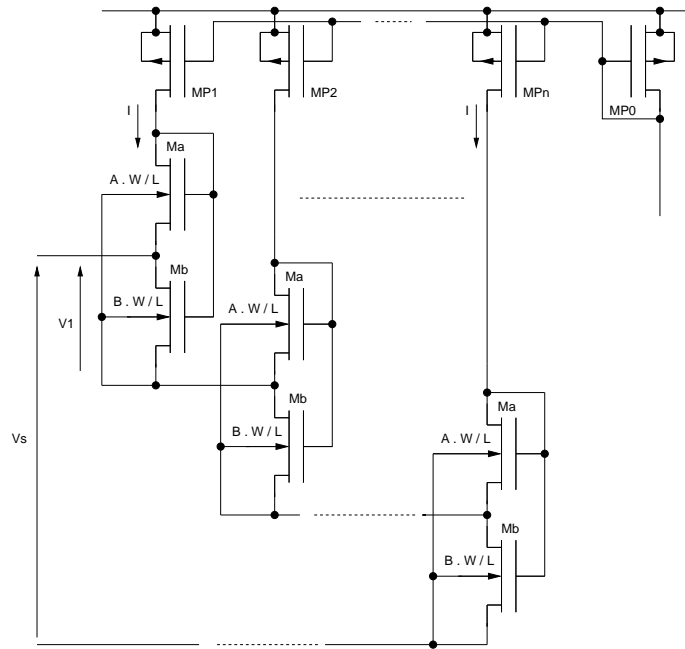


FIGURE 33 –

Mise en série de diodes MOS cascodes PTAT

Afin de palier au problème de limitation de la valeur de tension PTAT obtenue par la diode MOS cascode, on peut placer en série plusieurs diodes selon le schéma de la *figure 33* [26]. Ce faisant, pour n diodes identiques polarisées par un courant de même valeur (cas particulier), on obtient simplement

$$V_s = \sum_{i=1}^n V_t \text{Log}\left(i \frac{A}{B}\right) - \sum_{i=1}^n \epsilon_{V_{TH_i}}$$

On notera que la composante statistique du biais issu de la somme des tensions de décalage normalement décorrélées étant moyennée en terme d'erreur quadratique, il s'en suit une diminution de cette composante d'un facteur égal à \sqrt{n} .

4.1.3 Utilisation des diodes MOS PTAT

Ce circuit est essentiellement une primitive utilisée par les dispositifs nécessitant un générateur de tension PTAT flottant ou référencé.

4.2 Références de tension PTAT CMOS autopolarisées

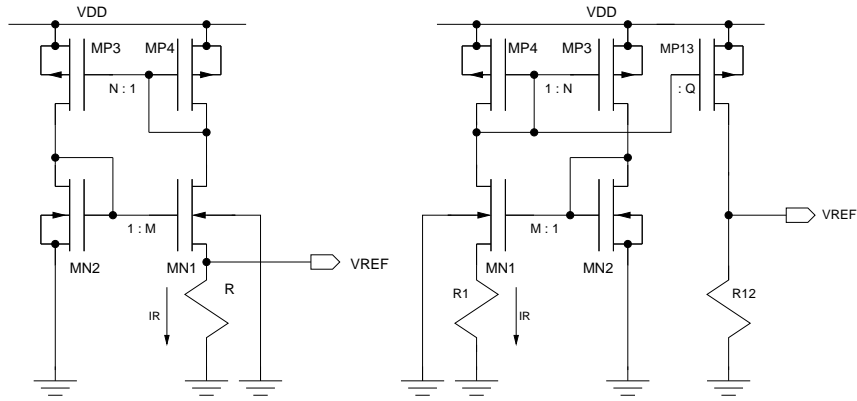


FIGURE 34 –

Références de tension PTAT CMOS autopolarisées

4.2.1 Formalisme

La référence de tension autopolarisée PTAT à miroirs de courant CMOS (circuit gauche de la *figure 34*) a exactement la même topologie que la référence à Gm constante, la différence provient du fait que les deux transistors MN1 et MN2 du miroir inférieur sont obligatoirement en faible inversion et que le substrat du transistor MN1 est obligatoirement relié au potentiel inférieur. Ce faisant avec

$$I_{ds1} = I_R = IDX\left(\frac{W}{L}\right)_1 \exp\left(\frac{V_{gs1} - V_{TH1}}{\eta V_t}\right) \exp\left(\frac{\eta - 1}{\eta} V_{bs1}\right)$$

soit

$$V_{gs1} = \eta V_t \text{Log}\left(\frac{I_R}{IDX\left(\frac{W}{L}\right)_1}\right) + (\eta - 1)V_{bs1} + V_{TH1}$$

et avec

$$V_{REF} = V_{gs2} - V_{gs1} = \eta V_t \text{Log}\left(\frac{I_{ds2} \left(\frac{W/L}\right)_1}{I_R \left(\frac{W/L}\right)_2}\right) + (1 - \eta)V_{REF} + V_{TH2} - V_{TH1}$$

on détermine

$$V_{REF} = V_t \text{Log}(NM) + \frac{V_{TH2} - V_{TH1}}{\eta}.$$

Ainsi à l'erreur d'appariement sur les V_{TH} près (biais systématique pouvant être minimisé par augmentation du produit MN) on obtient

$$V_{REF} = V_t \text{Log}(NM) = \frac{K_B T_K}{q} \text{Log}(NM).$$

La tension de référence générée est donc proportionnelle à la température absolue par l'intermédiaire de la tension thermique V_t (le circuit est un générateur de tension thermique). On notera qu'en terme de variantes topologiques, la référence de tension PTAT CMOS autopolarisée peut évidemment être cascodée ou régulée.

4.2.2 Performances

- Précautions d'utilisation

Le fonctionnement PTAT du circuit devant être assuré sur toute la plage de température spécifiée, on devra veiller à respecter impérativement les trois conditions [25]

1. MN1 et MN2 doivent rester en faible inversion à la température maximum (125 degrés en gamme militaire)
2. les courants de fuite (courants de jonction de drain et de source) de MN1 et MN2 principalement doivent être minimisés pour éviter qu'ils ne deviennent la principale source d'erreur à haute température (repliement systématique)
3. les transistors devront être suffisamment longs ($> 5\mu m$) pour minimiser les erreurs d'appariement et les différents effets physiques de canal court et étroit amplifiés à haute température.

- Tension d'alimentation requise

Le miroir MN1/MN2 étant en faible inversion, la tension d'alimentation minimum requise peut être relativement basse puisque de l'ordre de

$$V_{DD_{min}} \approx V_{TH} + 0.1V.$$

4.2.3 Résultats de simulation

FAIRE COURBES ET METTRE EN EVIDENCE LA PLAGE DE TEMPERATURE ET LE FONCTIONNEMENT PTAT (DERIVEE OU AUTRE!!!)

4.2.4 Référence de tension PTAT de forte valeur

De part la fonction logarithmique, la valeur de la tension de référence est pratiquement limitée à qqs 25mV. Ainsi, l'utilisation d'un amplificateur de courant comme indiquée par le circuit droit de la *figure 34* peut s'avérer être très utile puisque dans ce cas

$$V_{REF} = Q I_R R_{12} = \frac{R_{12}}{R_1} Q V_t \text{Log}(NM).$$

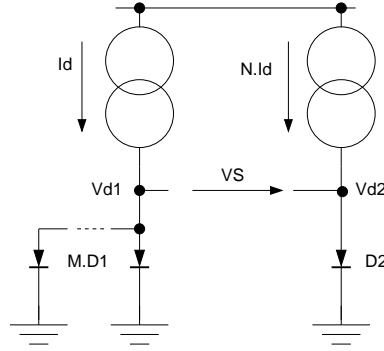


FIGURE 35 –

Principe d'une PTAT BIMOS

4.3 Références de tension PTAT BIMOS autopolarisées

4.3.1 Principe

Si nous considérons le schéma de principe de la *figure 35*, constitué du première branche avec N diodes (ou jonctions base-émetteur), polarisées par une source de courant I_d , et d'une seconde branche avec une seule diode, polarisée par une de courant de valeur $N.I_d$, avec

$$V_{d1} = V_t \text{Log} \frac{I_d}{M.I_S}$$

et

$$V_{d2} = V_t \text{Log} \frac{N.I_d}{I_S}$$

on obtient la génération d'une tension PTAT avec

$$V_S = V_{d2} - V_{d1} = V_t \text{Log}(NM).$$

4.3.2 Référence de tension PTAT BIMOS autopolarisée par un quad CMOS

Partant du schéma conceptuel, on peut assurer l'indépendance à la tension d'alimentation à partir d'un quad à miroirs de courant CMOS et effectuer le prélèvement de la différence de tension par l'intermédiaire d'une résistance. Ce faisant on arrive au circuit de la *figure 36*. Les transistors MN1 et MN2 étant saturés et en forte inversion, on peut écrire

$$V_{REF} = V_{eb2} + V_{gs2} - V_{gs1} - V_{eb1}$$

soit

$$V_{REF} = V_{eb2} - V_{eb1} + V_{TH2} - V_{TH1} \approx V_t \text{Log}(NM).$$

A la différence des tension de seuil près, nominalement nulle, on obtient une tension de référence PTAT. Toutefois, quoique topologiquement simple, ce générateur de tension thermique, a besoin d'une relativement forte tension d'alimentation avec

$$V_{DD} > V_{eb2} + V_{TH2} + V_{eg2} + V_{dsat2} \approx 1.5V$$

et nécessite normalement une technologie à double caisson pour permettre à la fois la

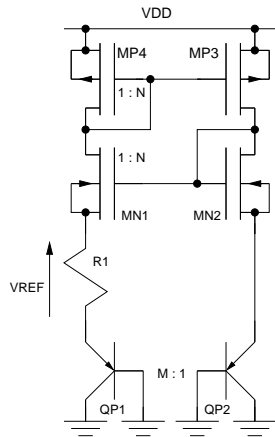


FIGURE 36 –

Référence de tension PTAT BIMOS autopolarisée par un quad à miroirs de courant CMOS

réalisation des transistors bipolaires natifs PNP et l'appariement des tensions de seuil des transistors MN1 et MN2 en reliant leur source au substrat. Ajouter au fait que ce circuit est structurellement fortement sensible aux erreurs d'appariement, ce type de référence est difficilement compatible avec les technologies standards fortement submicronique.

4.3.3 Référence de tension PTAT BIMOS régulée

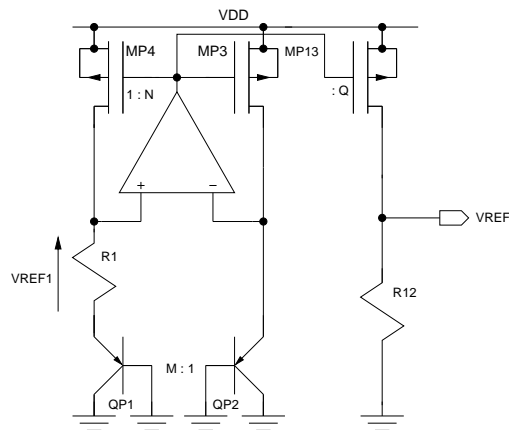


FIGURE 37 –

Référence de tension PTAT BIMOS régulée

- Constitution et formalisme

La seconde manière d'assurer l'indépendance à la tension d'alimentation du schéma conceptuel est d'utiliser un quad autopolarisé par régulation à partir d'un amplificateur opérationnel (quad régulé BIMOS), ce faisant on arrive au circuit de la *figure 37*. L'AOP étant parfait, la tension à ses bornes d'entrée est nulle, ce qui nous permet d'écrire directement

$$VREF_1 = V_{eb_2} - V_{eb_1} = Vt \text{Log}(NM).$$

On notera que, l'utilisation d'un amplificateur de courant (M13) permet l'augmentation et le référencement de la tension PTAT de sortie.

- Performances

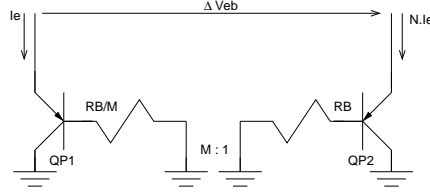


FIGURE 38 –

Imperfections des transistors bipolaires et quad PTAT

Le forçage de l'égalité des tension de drain des transistors MOS permet de s'affranchir notablement des problèmes d'appariement et l'influence de la tension de décalage de l'AOP, formellement en série avec la tension thermique peut être minimisée en augmentant le produit MN. En terme d'alimentation, ce circuit ayant besoin d'une tension de l'ordre de

$$VDD > Veb_2 + Vdsat_3 \approx 0.8V,$$

la compatibilité avec les technologies standards fortement submicronique est normalement assurée. Quant à l'influence des imperfections des deux transistors bipolaires sur le fonctionnement de la référence PTAT, elle peut être mise en évidence à partir du schéma de la *figure 38*. Pour ce faire, en prenant en compte la résistance de base RB et le gain en courant, on peut écrire

$$\Delta Vbe = Vt \text{Log}(MN) + Vt \text{Log}\left(\frac{1+\frac{1}{\beta_1}}{1+\frac{1}{\beta_2}}\right) + Ie RB \left(\frac{N}{1+\beta_1} - \frac{1}{M(1+\beta_2)}\right).$$

Si le transistor bipolaire proposé par la technologie est à faible gain en courant, une minimisation de l'influence de la résistance de base est obtenue avec un courant de polarisation Ie faible, une valeur de M très grande (pour une valeur de N faible) et/ou si on réalise QP2 à partir de m dispositifs en parallèle (RB est ainsi divisée par m). On notera qu'il est possible également d'augmenter extrinsèquement la valeur de la résistance de base de QP1 en plaçant une résistance de même nature (diffusion N) RB' en série [22], telle que

$$RB' = RB \left(N - \frac{1}{M}\right).$$

Quant au deuxième terme d'erreur, il est minimisé en soignant particulièrement l'appariement entre les deux bipolaires. Ainsi, en terme de dessin de masques d'intégration, on adoptera systématiquement un placement à [géométrie centrée matricielle](#)

comme indiqué sur la *figure 39*, sachant qu'un placement optimum correspond pour QP1 à un nombre M de dispositifs élémentaires égal à

$$M = (2n - 1)^2 - 1 \quad n = 2, 3, \dots$$

Si le transistor QP2 est lui même composé de m dispositifs en parallèle pour diminuer sa résistance de base et l'erreur d'appariement, on pourra dupliquer m fois la matrice.

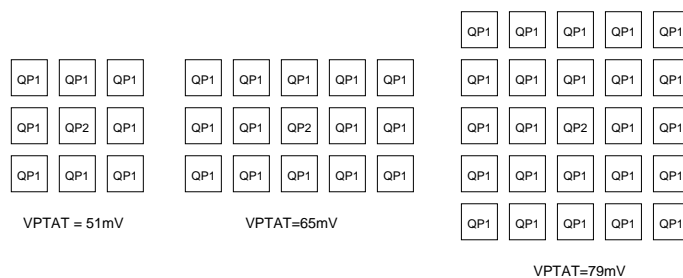


FIGURE 39 –

Matrice de transistors bipolaires minimisant l'erreur d'appariement

On notera que de part la bonne précision sur les rapports d'aire M et N et de la relative indépendance aux dispersions globales de la tension thermique, la tension de référence PTAT peut être fixée avec précision.

- Résultats de simulation

A FAIRE

4.4 Références de courant PTAT autopolarisées

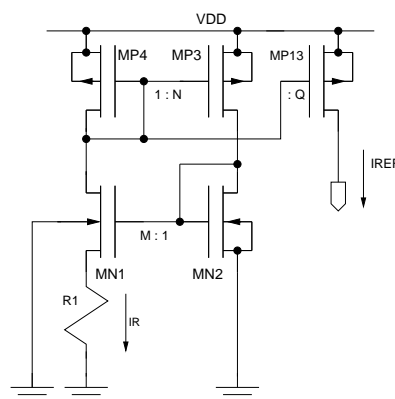


FIGURE 40 –

Référence de courant PTAT CMOS autopolarisée

Partant des générateurs de tension PTAT précédents (par exemple du circuit de la *figure 37*) on peut générer un courant de référence de valeur

$$I_{REF} = Q I_R = Q \frac{V_t \text{Log}(NM)}{R_1}.$$

Compte tenu de l'éventuelle dépendance en température de la résistance, avec

$$I_{REF}(T) = Q \frac{V_t \text{Log}(NM)}{R_1} \left(\frac{T}{T_0}\right)^{\alpha_{R1}}.$$

il est clair que la référence de courant n'est pas intrinsèquement PTAT. Toutefois, si la technologie le permet, par association de deux résistances en série de coefficient thermique opposé, le comportement PTAT peut être assuré. On notera que la précision sur IREF est directement liée aux dispersions globales sur la résistance (qqqs 10%).

4.5 Utilisation des références PTAT

Les références de tension PTAT sont principalement utilisées pour annuler la dépendance thermique linéaire dans les bandegap, pour la compensation des capteurs de température [7], pour le contrôle et le réglage des dispositifs actifs travaillant dans le domaine des variables logarithmique [21],... .

5 Références bootstrap autopolarisées

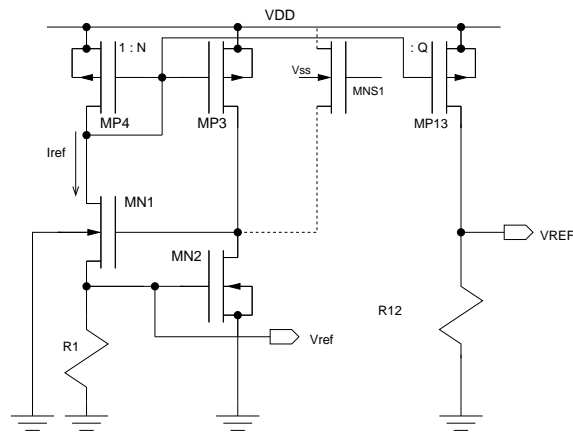


FIGURE 41 –

Référence de tension bootstrap autopolarisée

De part l'imbrication particulière des transistors MN1 et MN2, le circuit de la *figure 41* est appelé quad CMOS bootstrap autopolarisé. Fonctionnellement, le miroir MP4/MP3 impose un courant $N \cdot I_{ref}$ dans le transistor MN2 qui génère une tension de grille qui impose un courant dans la résistance R1, devant être par construction égal à I_{ref} . L'équilibre électrique est obtenu lorsque la tension de grille-source de M1 atteint la valeur assurant un gain de boucle égal à un. La valeur $I_{ref}=0$ correspondant à une tension de grille nulle étant un point de fonctionnement théoriquement possible et stable, le dispositif nécessite l'utilisation d'un circuit de démarrage (MNS1), typiquement connecté sur la grille du transistor MN1. On notera que les références bootstrap peuvent être cascodées et/ou régulées.

5.1 Références de tension NTCF

5.1.1 Comportement en température

Si nous considérons le transistor MN2 à la limite de la forte inversion, c'est à dire avec une tension effective de grille très proche de zéro, telle que

$$V_{ref} = V_{gs2} \approx \sqrt{\frac{N I_{ref}}{K_2}} + V_{TH2} \approx V_{TH2}$$

et

$$\frac{\partial V_{ref}}{\partial T} = \frac{\partial V_{TH2}}{\partial T} = -\alpha_{V_{TH}}$$

la référence de tension est caractérisée par un coefficient de température négatif (référence NTCF). Bien entendu, si le transistor est en faible inversion, avec

$$V_{gs2}(T) \approx V_{gs2}(T_0) - KG \left(\frac{T}{T_0} - 1 \right)$$

le caractère NTCF du dispositif est préservé et on notera que par continuité du modèle

$$\alpha_{V_{TH}} = \frac{KG}{T_0}.$$

L'adjonction de l'amplificateur de courant (branche MP13 avec R12 sur la *figure 41*) offre un degré de liberté pour la fixation de l'amplitude de la tension VREF générée dans R12.

5.1.2 Stabilité

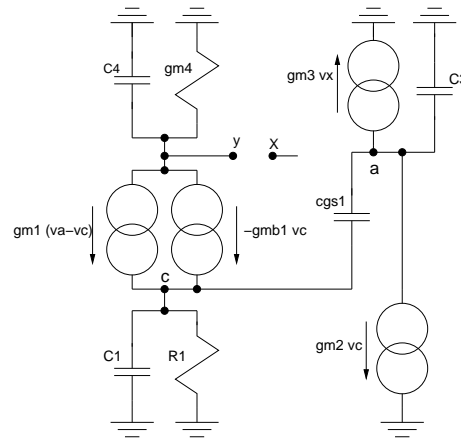


FIGURE 42 –

Modèle d'analyse de la stabilité de la référence bootstrap

L'analyse de la stabilité peut se faire en ouvrant la boucle de réaction entre les grilles du miroir de courant et en utilisant le schéma équivalent petit signal de la *figure 42*. Ce faisant, les conductances de sorties des transistors étant négligées, on arrive à l'expression de la fonction de transfert simplifiée

$$\frac{vy}{vx} \approx \frac{gm_3(G_1 + C_1 p)(gm_1 + cgs_1 p)}{d_3 p^3 + d_2 p^2 + d_1 p + d_0}$$

avec $G_1 = 1/R_1$ et

$$\begin{aligned} d_3 &= cgs_1 C_4 (C_1 + C_3) + C_1 C_3 C_4 \\ d_2 &= C_4 cgs_1 (gm_2 + gmb_1 + G_1) + cgs_1 C_1 gm_4 + C_3 ((C_1 + cgs_1) gm_4 + C_4 (G_1 + gm_1 + gmb_1)) \\ d_1 &= gm_2 (gm_1 C_4 + gm_4 cgs_1) + (G_1 + gmb_1) gm_4 (C_3 + cgs_1) + gm_1 gm_4 C_3 \end{aligned}$$

$$d_0 = gm_2 gm_1 gm_4.$$

Si le gain statique

$$A_0 = \frac{gm_3}{R_1 gm_2 gm_4} = \frac{N}{R_1 gm_2}$$

positif (réaction positive) peut être facilement fixé à une valeur inférieure à l'unité, les quatre condensateurs principaux du circuit étant du même ordre de grandeur, il est extrêmement difficile d'extraire un jeu de règles analytiques permettant d'assurer à coup sûr la stabilité en fréquence. Toutefois, on peut observer en simulation que la réponse en fréquence présente une surtension d'autant plus importante que les capacités C_4 et cgs_1 sont faibles par rapport à la capacité C_1 . La référence bootstrap est ainsi très prône à l'instabilité, et une règle empirique de conception consiste à utiliser des transistors très longs pour le miroir de courant et un rapport d'aspect pour MN1 au moins égal au rapport d'aspect de MN2 (typiquement même tension effective de grille pour les deux transistors et $L_1 > L_2$).

5.1.3 Résistance de sortie

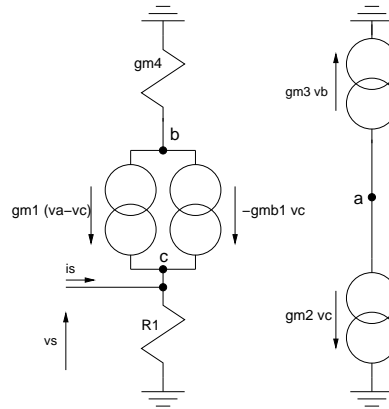


FIGURE 43 –

Modèle de calcul pour la résistance de sortie de la référence bootstrap

Si on considère le schéma équivalent petit signal de la *figure 43*, on détermine l'expression simplifiée de la conductance de sortie

$$G_s \approx \frac{1}{R_1} - \frac{gm_2 gm_4}{gm_3} = \frac{1}{R_1} - \frac{gm_2}{N}.$$

La résistance de sortie est négative ce qui, pour des raisons évidentes de stabilité, impose généralement l'utilisation de l'amplificateur de courant auxiliaire (résistance de sortie positive) pour une utilisation de la référence de tension bootstrap comme source de tension.

5.1.4 Réjection de l'alimentation

Le schéma équivalent petit signal de la *figure 44*, permet d'obtenir l'expression simplifiée de la réjection d'alimentation

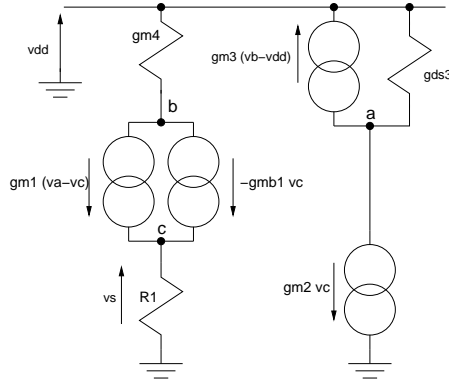


FIGURE 44 –

Modèle de calcul pour la réjection de l'alimentation de la référence bootstrap

$$\frac{vs}{vdd} \approx - \frac{gds_3}{gm_1 \left(\frac{N}{R_1 gm_1} - 1 \right)}$$

Etant donné les contraintes de dimensionnement imposées pour garantir la stabilité, une réjection de l'alimentation inférieure -40dB est normalement obtenue.

5.1.5 Tension d'alimentation requise

L'empilage des tensions de grille de MN1 et MN2, implique que la référence bootstrap ne peut être strictement considérée comme un circuit très basse alimentation puisque

$$VDD \approx VTH_1 + VTH_2 + qqs 0.1V.$$

5.1.6 Résultats de simulation

Les courbes de la *figure 45* correspondent aux résultats de simulation d'une référence de tension bootstrap avec différentes tensions effectives de grille. On notera le caractère NTCF pour des tensions effectives de grille au voisinage de zéro Volt, on notera également qu'il existe une valeur de Veg pour laquelle la tension est pratiquement constante (TCF de 5,75ppm pour Veg=0.23V), au delà de ce point (proche du VGS_{ztc}), l'inversion du signe du coefficient de température est due à la dépendance en température de la mobilité qui devient prépondérante sur dépendance en température de la tension de seuil. Le graphe droit correspondant à la dérivée de la tension de référence par rapport à la température elle met en évidence la linéarité du coefficient de température.

5.1.7 Variantes topologiques

En terme de variantes topologiques le circuit gauche de la *figure ??*, en cascade MN1 et MN2 au lieu de les empiler, est un circuit très basse alimentation, mais la connexion de la grille de MN1 sur le nœud haute impédance de l'amplificateur de tension nécessite souvent l'utilisation d'un condensateur de découplage de valeur déraisonnable.

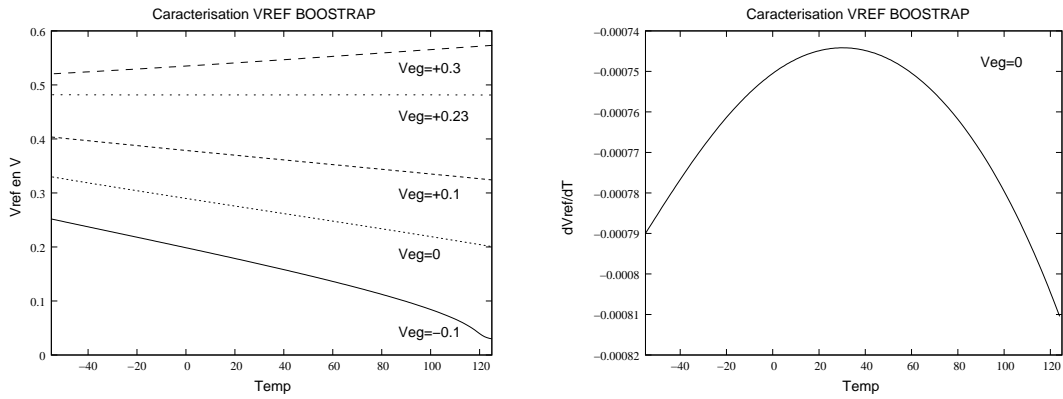


FIGURE 45 –

Résultats de simulation d'une référence de tension bootstrap pour une technologie $0.13\mu\text{m}$ avec un modèle BSIM3v3 et une résistance H_{poly} avec un $TCR = -910\text{ppm}/^\circ\text{C}$

Quant au circuit droit de la figure ??, il est simplement la version BIMOS de la référence bootstrap CMOS avec $V_{REF} = V_{eb1}$.

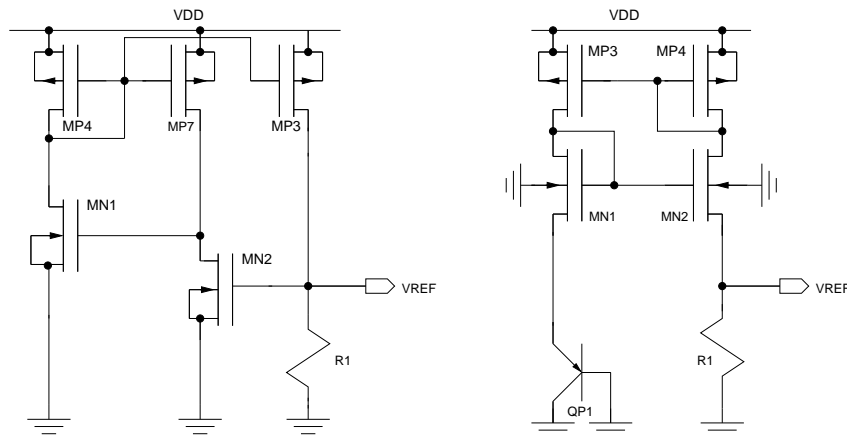


FIGURE 46 –

Variantes topologiques de la référence bootstrap

5.2 Référence de courant NTCF

Avec

$$I_{ref} = \frac{V_{gs2}}{R_1}$$

Le circuit de la figure 47 est une référence de courant NTCF si la résistance R1 (ou une combinaison de deux résistances de tempco opposé) présente un coefficient de température négligeable.

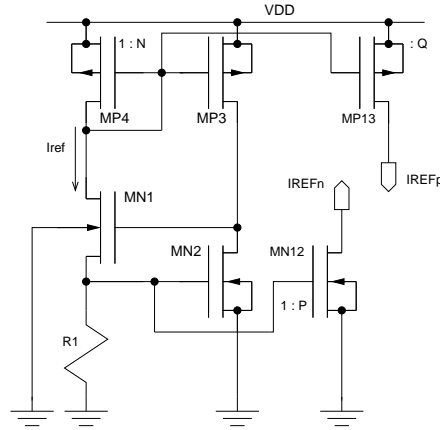


FIGURE 47 –

Référence de courant bootstrap

5.3 Utilisation des références bootstraps

6 Références bandegap (BGR)

6.1 Principe de la bandegap

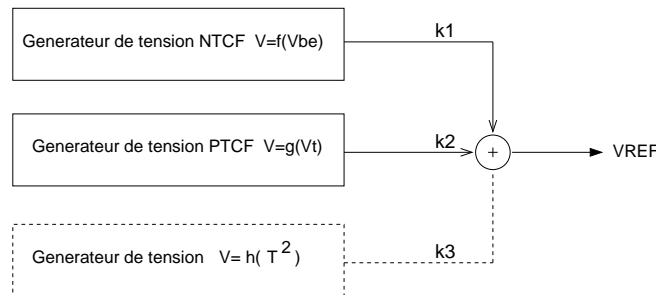


FIGURE 48 –

Principe de fonctionnement d'une référence de tension bandegap

Une référence de tension invariante en température peut être réalisée par la sommation d'une source de tension possédant un coefficient de température négatif (NTC) et d'une source de tension possédant un coefficient de température positif (PTC) (*figure 48*). Lorsque la première est générée à partir d'une jonction base-émetteur ($\frac{\partial V_{be}}{\partial T} \approx -1.8mV/^{\circ}K$) et la seconde par un générateur de tension thermique ($\frac{\partial V_t}{\partial T} \approx 0.087mV/^{\circ}K$) avec

$$V_{REF} = k_1 \cdot V_{be} + k_2 \cdot V_t$$

soit

$$V_{REF} \approx k_1(K_3 - (K_3 - V_{be}(T_0))\frac{T}{T_0}) + k_2 \cdot V_t,$$

l'annulation de la dérivée

$$\frac{dV_{REF}}{dT} = k_1 \left(-\frac{K_3 - V_{eb}(T_0)}{T_0} \right) + k_2 \frac{K_B}{q}$$

à la température ambiante, peut être obtenue avec la contrainte

$$\frac{k_2}{k_1} \approx 20$$

correspondant à une tension de référence de valeur

$$V_{REF} \approx V_{G0} \approx 1,2V.$$

D'où le nom "bandgap" donné à ce type de générateur de tension de référence. Les variations résiduelles en fonction de la température, provenant principalement du comportement non linéaire en température de la jonction base-émetteur, peuvent éventuellement être corrigées par une troisième source de tension caractérisée par un coefficient de température non-linéaire.

6.2 BGR compacte BIMOS régulée

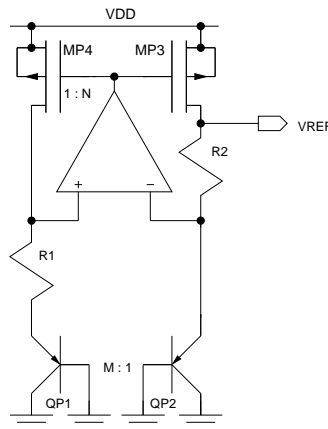


FIGURE 49 –

BGR compacte BIMOS régulée

6.2.1 Constitution

Un générateur de tension bandgap autopolarisé et très compacte peut être simplement réalisé en ajoutant une résistance R2 au générateur de tension BIMOS PTAT de la *figure 37*. Ce faisant, d'après le circuit de la *figure 49*, le courant PTAT circulant dans R1 est directement réfléchi dans la résistance R2 générant une tension régi par l'équation de constitution de la bandgap

$$V_{REF} = N \frac{R_2}{R_1} V_{PTAT} + V_{eb2}.$$

6.2.2 Formalisme

En considérant le circuit de la *figure 49*, on peut écrire successivement

$$VREF = R_2 N I(R_1) + Veb_2$$

soit

$$VREF = N \frac{R_2}{R_1} (Veb_2 - Veb_1) + Veb_2$$

soit

$$VREF = N \frac{R_2}{R_1} Vt \text{Log}(MN) + Veb_2$$

soit

$$VREF = N \frac{R_2}{R_1} Vt \text{Log}(MN) + K_3 - (K_3 - Veb_2(T_0)) \frac{T}{T_0} - m Vt \text{Log}\left(\frac{T}{T_0}\right)$$

avec

$$m = \gamma - \alpha - K_1 \frac{q}{K_B} \text{ et } \alpha = 1 + \alpha_{R1}$$

de par le caractère PTAT de la tension aux bornes de R1 et compte tenu du comportement en température de R1.

En annulant la dérivée

$$\frac{dVREF}{dT} = N \frac{R_2}{R_1} \text{Log}(MN) \frac{K_B}{q} - \frac{K_3 - Veb_2(T_0)}{T_0} - m \frac{K_B}{q} (1 + \text{Log}\left(\frac{T}{T_0}\right))$$

à une température optimale T_{opt} , on détermine directement la valeur du rapport résistif

$$N \frac{R_2}{R_1} = \frac{1}{\text{Log}(MN)} \left(\frac{K_3 - Veb_2(T_0)}{Vt(T_0)} + m(1 + \text{Log}\left(\frac{T_{opt}}{T_0}\right)) \right)$$

pour lequel

$$VREF = K_3 + m Vt(T) (1 + \text{Log}\left(\frac{T_{opt}}{T}\right)).$$

La tension de référence est donc de forme en cloche concave de valeur

$$VREF = V_{G0} + m Vt(T_0) \approx 1.17 + 3 \times 0.0259 \approx 1.25 V.$$

à la température $T = T_{opt} = T_0$. On notera qu'un choix de T_{opt} au milieu de la plage de température de fonctionnement du dispositif minimise nominalement par symétrisation le TC_F de la bandgap.

6.2.3 Performances

- Tension d'alimentation minimum requise

La tension d'alimentation minimum requise de l'ordre de

$$VDD_{min} \approx VREF + Vds_{sat}(MP_3) \approx 1.5V$$

est normalement incompatible avec les technologies submicroniques utilisant des tensions d'alimentation inférieures à 1.2V.

- Influence de la tension de décalage de l'AOP

La tension de décalage de l'amplificateur opérationnel pouvant être modélisée par un générateur de tension Ed en série sur une des entrée du dispositif actif, on peut écrire directement

$$VREF = N \frac{R_2}{R_1} (V_{eb_2} - V_{eb_1} + Ed) + V_{eb_2}$$

soit

$$VREF = N \frac{R_2}{R_1} (Vt \text{Log}(MN) + Ed) + V_{eb_2}.$$

Son influence peut ainsi être réduite en augmentant le produit MN. Sachant qu'une augmentation de N correspond à une augmentation du courant consommé, on est souvent conduit à utiliser des valeurs de M relativement grandes.

- Influence des imperfections des transistors bipolaires

L'influence des imperfections des transistors bipolaires sur la génération de la tension PTAT est celle du circuit *figure 37*. La tension V_{eb} de QP2 intervenant directement dans l'expression de la tension bandegap, pour un gain en courant faible, on minimisera l'influence de sa résistance de base en travaillant autant que faire ce peut à faible courant de polarisation.

- Sensibilité aux effets du DIBL

La tension de drain du transistor MP3 étant structurellement différente de la tension de drain de MP4, du fait de l'action du DIBL (dépendance de tension de seuil V_{th} à la tension de drain), il y a un déséquilibre des courants dans les deux branches de la bandegap. Ce déséquilibre, fonction de la température, est susceptible de dégrader le TCF de la bandegap. Pour palier à cet effet, on peut

1. utiliser des transistors MOS très longs ($L > 5\mu m$)
2. cascoder MP3 et MP4
3. utiliser des résistances d'équilibrage en série avec les drains de MP3 et MP4 comme le montre les deux montages de la *figure 50*

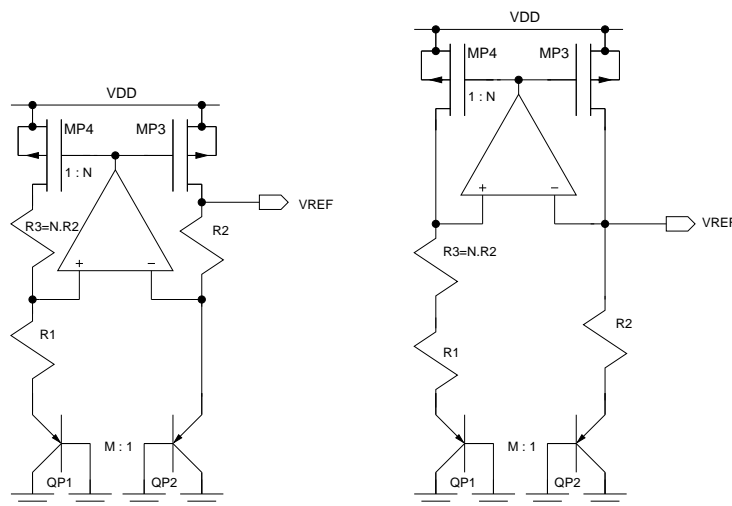


FIGURE 50 –

BGR BIMOS compactes avec compensation passive du DIBL

6.2.4 Résultats de simulation

A FAIRE

6.2.5 Compensations passives de la courbure

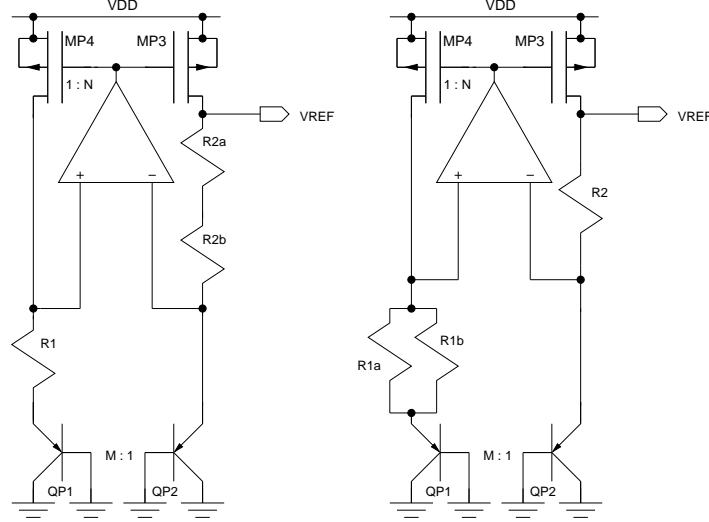


FIGURE 51 –

BGR compactes BIMOS avec corrections passives de la courbure

- Correction série

Si nous considérons le circuit gauche de la la *figure 51*, pour lequel la résistance R2 est scindée en une résistance R2a de même nature matérielle que la résistance R1 et une résistance R2b de nature différente [13], l'expression de la tension de référence devient

$$VREF = N \frac{R_{2a}}{R_1} Vt \text{Log}(MN) + N \frac{R_{2b}(T)}{R_1(T)} Vt \text{Log}(MN) + K_3 - (K_3 - Veb_2(T_0)) \frac{T}{T_0} - m Vt \text{Log}\left(\frac{T}{T_0}\right)$$

soit en prenant un modèle puissance pour le comportement en température du rapport résistif concerné et avec $\alpha_{rba} = \alpha_{rb} - \alpha_{ra}$

$$VREF = N \frac{R_{2a}}{R_1} Vt \text{Log}(MN) + K_3 - (K_3 - Veb_2(T_0)) \frac{T}{T_0} + N \frac{R_{2b}}{R_1} \left(\frac{T}{T_0}\right)^{-\alpha_{rba}} Vt \text{Log}(MN) - m Vt \text{Log}\left(\frac{T}{T_0}\right).$$

On peut raisonnablement espérer un certaine compensation entre la fonction puissance et la fonction logarithme, pour ce faire les exposants thermiques de R2a et R2b doivent être de signe opposé et tels que

$$\beta_1(R_{2a}) = \beta_1(R_1) < 0 \quad \text{et} \quad \beta_1(R_{2b}) > 0$$

et autant que faire ce peut, posséder un coefficient de température du deuxième ordre (β_2 de la caractéristique polynomial de la température) relativement faible. Ce type de correction passive de la courbure est donc fortement dépendant de la technologie et de ce fait à portée et portabilité (migration technologique) limitées. Ce faisant, on peut

déterminer la dérivée

$$\begin{aligned} \frac{dVREF}{dT} &= N \frac{R_{2a}}{R_1} \frac{K_B}{q} \text{Log}(MN) - \frac{K_3 - Veb_2(T_0)}{T_0} \\ &+ N \frac{R_{2b}}{R_1} \frac{K_B}{q} \text{Log}(MN) (1 - \alpha_{rba}) \left(\frac{T}{T_0}\right)^{-\alpha_{rba}} - m \frac{K_B}{q} (1 + \text{Log}\left(\frac{T}{T_0}\right)) \end{aligned}$$

s'annulant à la température T_{opt} pour la valeur du rapport résistif

$$N \frac{R_{2a}}{R_1} = \frac{K_3 - Veb_2(T_0)}{Vt(T_0) \text{Log}(MN)} - N \frac{R_{2b}}{R_1} (1 - \alpha_{rba}) + m \frac{1 + \text{Log}\left(\frac{T_{opt}}{T_0}\right)}{\text{Log}(MN)} \left(\frac{T_{opt}}{T_0}\right)^{-\alpha_{rba}}.$$

D'autre part, si on considère l'expression de la dérivée seconde

$$\frac{d^2VREF}{dT^2} = -N \frac{R_{2b}}{R_1} \frac{K_B}{q} \text{Log}(MN) \alpha_{rba} \frac{1 - \alpha_{rba}}{T} \left(\frac{T}{T_0}\right)^{-\alpha_{rba}} - m \frac{K_B}{qT}$$

une détermination préalable du rapport résistif "corrigeant" le comportement non-linéaire en température de la bandegap, en contrôlant la position du point d'inflexion peut être réalisée avec

$$N \frac{R_{2b}}{R_1} = \frac{m}{\text{Log}(MN) \alpha_{rba} (\alpha_{rba} - 1) \left(\frac{T_{opt}}{T_0}\right)^{-\alpha_{rba}}}.$$

Pour ce jeu de valeurs

$$VREF = K_3 + m Vt(T) \left(1 + \text{Log}\left(\frac{T_{opt}}{T}\right) - \frac{1}{1 - \alpha_{rba}} \left(\frac{T_{opt}}{T}\right)^{-\alpha_{rba}} \right).$$

- Correction parallèle

Si nous considérons le circuit droit de la la *figure 51*, l'expression de la tension de référence devient

$$\begin{aligned} VREF &= N \frac{G_{1a}}{G_2} Vt \text{Log}(MN) + N \frac{G_{1b}(T)}{G_2(T)} Vt \text{Log}(MN) \\ &+ K_3 - (K_3 - Veb_2(T_0)) \frac{T}{T_0} - m Vt \text{Log}\left(\frac{T}{T_0}\right) \end{aligned}$$

On peut réaliser une correction passive parallèle de la courbure si les exposants thermiques de R1a et R1b sont de signe opposé et tels que

$$\beta_1(R_{1a}) = \beta_1(R_2) > 0 \quad \text{et} \quad \beta_1(R_{1b}) < 0.$$

Le formalisme de la correction série est utilisable avec

$$N \frac{R_2}{R_{1a}} = \frac{K_3 - Veb_2(T_0)}{Vt(T_0) \text{Log}(MN)} - N \frac{R_2}{R_{1b}} (1 + \alpha_{rba}) + m \frac{1 + \text{Log}\left(\frac{T_{opt}}{T_0}\right)}{\text{Log}(MN)} \left(\frac{T_{opt}}{T_0}\right)^{\alpha_{rba}}.$$

et

$$N \frac{R_2}{R_{1b}} = \frac{m}{\text{Log}(MN) \alpha_{rba} (\alpha_{rba} + 1) \left(\frac{T_{opt}}{T_0}\right)^{\alpha_{rba}}}.$$

correspondant à la tension bandegap

$$VREF = K_3 + m Vt(T) \left(1 + \text{Log}\left(\frac{T_{opt}}{T}\right) + \frac{1}{1 + \alpha_{rba}} \left(\frac{T_{opt}}{T}\right)^{\alpha_{rba}} \right).$$

Les performances, en termes de correction de courbure, étant équivalentes, le choix parallèle ou série se fait principalement selon la performance "surface d'intégration résistive", pour laquelle la seconde technique peut s'avérer plus performante si la résistivité de la résistance à tempco négatif est nettement inférieure résistivité de la résistance à tempco positif. Des considérations d'erreur globales et locales peuvent également être considérées.

- Résultats de simulation

FAIRE AVEC DISPERSION GLOBALE POUR INFLUENCE DISPERSION GLOBALE-
>conclusion sur effectivite de la methode reglage pratiquement obligatoire

6.3 Bandegap cascade avec source de courant PTAT BIMOS

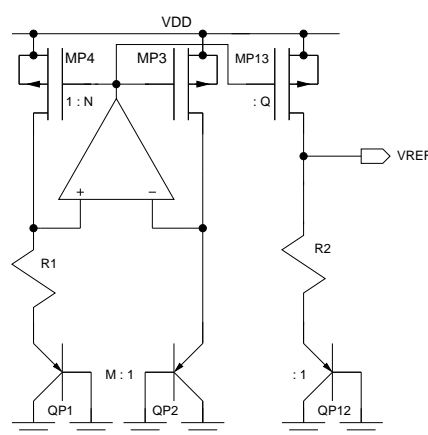


FIGURE 52 –

Référence de tension bandegap cascade avec source de courant PTAT BIMOS

6.3.1 Constitution et formalisme

Ce générateur de tension bandegap est réalisé en cascade un générateur de tension BIMOS PTAT (*figure 37*) et une branche de courant auxiliaire (M13) chargée par un transistor bipolaire. Ce faisant, d'après le circuit de la *figure 52*, le courant PTAT circulant dans R1 est réfléchi dans la résistance R2 générant une tension régi par l'équation de constitution de la bandgap

$$VREF = Q \frac{R_2}{R_1} V_{PTAT} + V_{eb12}.$$

Ainsi, avec

$$VREF = Q \frac{R_2}{R_1} Vt \text{Log}(MN) + V_{eb12}$$

Il est évident que la bandegap BIMOS cascade est caractérisée par le même formalisme que la bandegap compacte avec

$$Q \frac{R_2}{R_1} = \frac{1}{\text{Log}(MN)} \left(\frac{K_3 - V_{eb12}(T_0)}{Vt(T_0)} + m(1 + \text{Log}\left(\frac{T_{opt}}{T_0}\right)) \right)$$

6.3.2 Corrections passives de la courbure

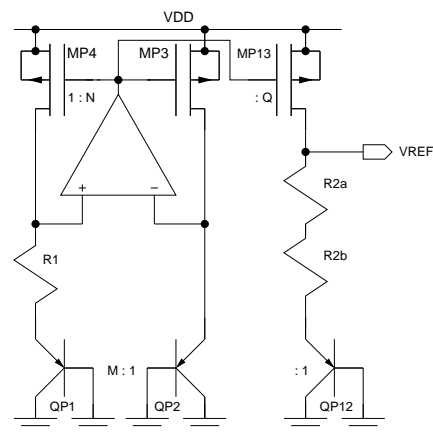


FIGURE 53 –

BGR cascade BIMOS avec correction passive de la courbure

Comme pour la bandegap compacte, si la technologie l'autorise, une partition série de R2 ou parallèle de R1 permet éventuellement une correction passive de la courbure affectant le comportement en température du dispositif.

6.3.3 Performances

Contrairement à la bandegap compacte, le générateur de tension thermique est structurellement insensible au DIBL tandis que le DIBL affectant le transistor M13 agit comme une erreur de gain sur le courant. Les autres performances étant pratiquement identiques, la bandegap BIMOS cascade apporte peu d'avantage vis à vis de la bandegap compacte

6.4 BGR cascade avec source de courant PTAT CMOS

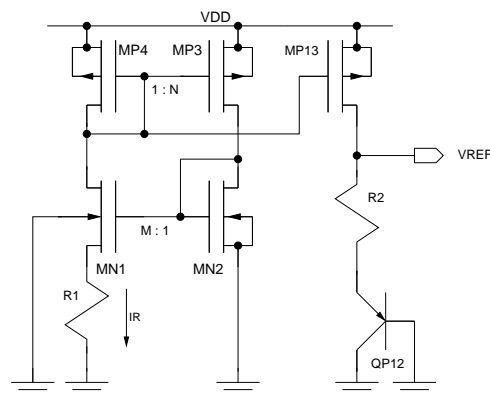


FIGURE 54 –

Référence de tension bandegap cascade avec source de courant PTAT CMOS

La bandegap cascade BICMOS est réalisée en cascade un générateur de tension PTAT CMOS et une branche de courant auxiliaire (M13) chargée par un transistor

bipolaire. Ce faisant, le formalisme est similaire au formalisme de la bandegap cascade BIMOS. Par contre en termes d'avantages, le générateur de tension thermique peut être réalisé sans amplificateur opérationnel.

FAIRE COURBE BLABLATER PERFORMANCES MOINDRE en terme de plage thermique MAIS.....

7 Références sousbandegap (SBGR)

Toutes les bandegaps précédentes prévues par conception pour générer une tension de référence légèrement supérieure à la tension de seuil énergétique du silicium, nécessite une tension d'alimentation au moins de l'ordre de 1.5V. De ce fait, elles sont incompatibles avec les technologies submicroniques travaillant avec des tensions d'alimentation inférieures à 1.2V. De ce fait il est impératif de développer des tensions de références, toujours basées sur la tension base-émetteur pour ses propriétés de stabilité et reproductibilité, mais capables de synthétiser des tensions de référence inférieures à 1V. Nous conviendrons de nommer ce type de circuit "sousbandegap" (SBGR).

7.1 SBGR BIMOS réglée à division de courant

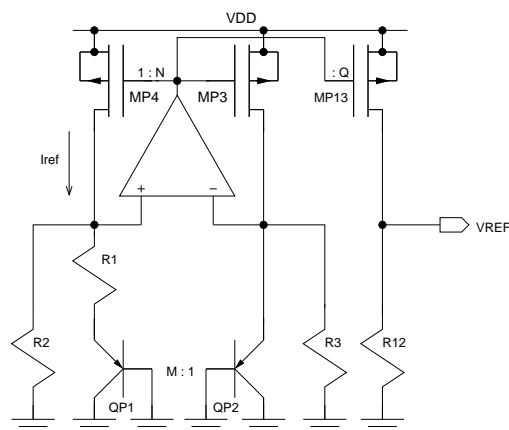


FIGURE 55 –

Sousbandegap à quad BIMOS réglé à division de courant

7.1.1 Constitution

Le circuit de la *figure 55* proposé en [1] utilise le principe de la conversion de la tension base-émetteur en courant pour générer un courant I_{ref} uniquement dépendant des résistances, ce courant est ensuite réfléchi par le miroir de courant (MP4/MP13) dans une résistance de même nature (R12) afin de générer une tension proportionnelle à la tension énergétique du silicium.

7.1.2 Formalisme

L'amplificateur opérationnel étant parfait, un potentiel identique $e^+ = e^-$ est imposé sur les nœuds de sommation des courants. Ainsi, en posant

$$R_2 = N R_3$$

on peut successivement écrire

$$\begin{aligned} I(R_3) &= N \frac{Veb_2}{R_2} \\ I(R_2) &= \frac{Veb_2}{R_2} \\ I(R_1) &= N \frac{Veb_2 - Veb_1}{R_1} \end{aligned}$$

soit

$$Iref = \frac{Veb_2 - Veb_1}{R_1} + \frac{Veb_2}{R_2} = \frac{Vt}{R_1} \text{Log}(M \frac{Id_2}{Id_1}) + \frac{Veb_2}{R_2}.$$

D'autre part, avec

$$Id_1 = Iref - I(R_2) \text{ et } Id_2 = N(Iref - I(R_2))$$

on arrive à

$$Iref = \frac{Vt}{R_1} \text{Log}(MN) + \frac{Veb_2}{R_2}$$

et

$$VREF = Q \frac{R_{12}}{R_1} (Vt \text{Log}(MN) + \frac{R_1}{R_2} Veb_2).$$

A un facteur de proportionnalité près (inférieur à l'unité), la tension de sortie du dispositif est donc régi par une équation du même type que l'équation de constitution de la bandegap. Ainsi,

$$VREF = Q \frac{R_{12}}{R_2} \left(\frac{R_2}{R_1} Vt \text{Log}(MN) + K_3 - (K_3 - Veb_2(T_0)) \frac{T}{T_0} - m Vt \text{Log}\left(\frac{T}{T_0}\right) \right)$$

avec

$$m = \gamma - \alpha - K_1 \frac{q}{K_B} \text{ et } \alpha = 1 + \alpha_{R1}$$

de par le caractère PTAT de la tension aux bornes de R1 et compte tenu du comportement en température de R1. En annulant la dérivée de VREF par rapport à la température à une température optimale T_{opt} , on détermine la valeur du rapport résistif

$$\frac{R_2}{R_1} = \frac{1}{\text{Log}(MN)} \left(\frac{K_3 - Veb_2(T_0)}{Vt(T_0)} + m(1 + \text{Log}\left(\frac{T_{opt}}{T_0}\right)) \right)$$

pour lequel

$$VREF = Q \frac{R_{12}}{R_2} (K_3 + m Vt(T) (1 + \text{Log}\left(\frac{T_{opt}}{T}\right))).$$

A la température $T = T_{opt} = T_0$, la tension de référence est ainsi de forme en cloche concave de valeur

$$VREF = Q \frac{R_{12}}{R_2} (V_{G0} + m Vt(T_0)).$$

7.1.3 Performances

- Tension d'alimentation minimum requise

La tension de référence étant contrôlable par le rapport résistif R_{12}/R_2 , la tension d'alimentation minimum requise est de l'ordre de

$$V_{eb_2} + V_{dsat}(M_3) \approx 0.6 + 0.2.$$

Cette tension est normalement compatible avec les technologie fortement submicronique.

- Sensibilité aux effets du DIBL

A priori, la tension de drain du transistor MP13 par conception fixe est différente de la tension de drain de MP3 et MP4 fonctions de la température. Cet état, susceptible de produire un déséquilibre fonction de la température entre les courants de branche du dispositif par l'effet du DIBL, peut dégrader le TC_F de la bandegap. On peut minimiser cette dégradation

1. en fixant arbitrairement $V_{REF} = V_{eb_2}$.
2. en utilisant des transistors MOS très longs ($L > 5\mu m$)
3. en cascodant les transistors MOS
4. en utilisant des résistances d'équilibrage en série avec les drains

- Influence de la tension de décalage de l'AOP

Si on prend en compte une tension de décalage E_d en série avec l'entrée positive de l'amplificateur opérationnel, le courant de référence devient

$$I_{ref} = \frac{V_{eb_2} - V_{eb_1} - E_d}{R_1} + \frac{V_{eb_2} - E_d}{R_2}$$

correspondant à la tension

$$V_{REF} = Q \frac{R_{12}}{R_1} (V_{eb_2} - V_{eb_1} - E_d(1 + \frac{R_1}{R_2})) + Q \frac{R_{12}}{R_2} V_{eb_2}.$$

Comparativement à la bandegap compacte on constate une première légère augmentation de l'influence de la tension de décalage (le facteur multiplicatif de E_d est peu supérieur à un). D'autre part, si on explicite les courants de jonction

$$I_{e_1} = I_{ref} - \frac{V_{eb_2}}{R_2} - \frac{E_d}{R_2}$$

et

$$I_{e_2} = N.I_{ref} - \frac{V_{eb_2}}{R_2}$$

on arrive à

$$\frac{I_{d_2}}{I_{d_1}} = N \frac{1}{1 - \frac{E_d}{R_3(I_{ref} - \frac{V_{eb_2}}{R_2})}} = N (1 + \epsilon_{Ed})$$

et à la tension PTAT

$$V_{eb2} - V_{eb1} = V_t \text{Log}(MN) + V_t \text{Log}(1 + \epsilon_{Ed}).$$

Avec

$$\epsilon_{Ed} \approx \frac{Ed}{0.5.V_{be}}$$

on constate une seconde participation à l'influence de la tension de décalage, pondéré par la fonction logarithmique, elle est normalement inférieure à la première.

7.1.4 Réduction de la tension d'entrée de mode commun de l'AOP

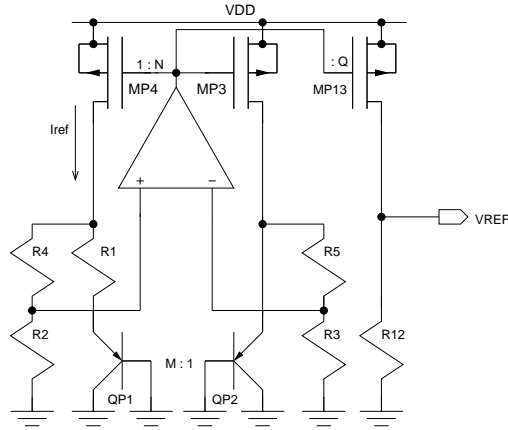


FIGURE 56 –

Sousbandegap à division de courant et réduction de la tension d'entrée de mode commun de l'AOP

- Constitution

Si nous considérons le circuit de la *figure 55* [11], on constate que la tension d'entrée de mode commun de l'amplificateur opérationnel est directement fixée par la tension émetteur-base de QP2 (VEMC de l'ordre de 0.6V à l'ambiante) alors que la tension de sortie de mode commun est fixée par la tension effective de grille de MP3 et MP4 (VSMC de l'ordre de $V_{DD} - V_{TH3}$). Ainsi, l'architecture et le type de la paire différentielle (N ou P) sont pratiquement imposés par la technologie utilisée. Par contre, si nous considérons le circuit de la *figure 56*, en remplaçant simplement les résistances R2 et R3 par deux diviseurs potentiométriques R2/R4 et R3/R5, il est parfaitement possible de contrôler la tension VEMC (inférieure à V_{ebQP2}), et le degré de liberté procuré peut être utilisé pour assouplir les contraintes de conception sur l'AOP. Ainsi, typiquement en se donnant une tension VEMC de l'ordre de 0.2V, il devient souvent possible d'utiliser une paire différentielle de type P et de permettre ainsi un fonctionnement correcte de sa source de courant pour une très grande plage de température et de très fortes dispersions globales.

- Formalisme

Avec

$$R_2 = N.R_3 \text{ et } R_4 = N.R_5,$$

l'amplificateur opérationnel imposant des tensions identiques sur les points de sortie des diviseurs potentiométriques, comme pour la SBGR compacte "standard", les potentiels sur les nœuds de sommation des courants des deux branches sont identiques et on peut écrire

$$I_{ref} = \frac{V_{eb2}-V_{eb1}}{R_1} + \frac{V_{eb2}}{R_2+R_4}.$$

Les équations de synthèse de la SBGR compacte "standard" sont donc directement utilisables avec

$$R_2^{standard} = R_2 + R_4 \quad \text{et} \quad R_2 = \frac{VEMC}{V_{eb2}} R_2^{standard}$$

- Performances

Si on prend en compte une tension de décalage E_d en série avec l'entrée positive de l'amplificateur opérationnel, et en notant V_X la tension du nœud de sommation en courant correspondant à la borne supérieure de R_1 et V_Y l'autre tension correspondant à la borne supérieure de R_5 , avec

$$V_X = V_Y - \frac{E_d}{a}$$

et

$$b = \frac{G_4}{G_2+G_4}$$

comparativement à la SGBR précédente, l'influence de la tension de décalage est multipliée par le facteur

$$F = 1 + \frac{R_4}{R_2}.$$

7.1.5 Correction active de la courbure

- Principe

Le principe de la correction active de la courbure consiste à injecter sur les nœuds de sommation un courant de correction ayant un comportement en température non linéaire opposé au comportement non linéaire (fonction logarithmique) de la sousbande-gap. C'est la technique utilisée dans le circuit de la *figure 57* [15].

- Formalisme

En posant

$$R_2 = N.R_3 \text{ et } R_7 = N.R_8$$

on peut écrire

$$I_{ref} = \frac{V_{eb2}-V_{eb1}}{R_1} + \frac{V_{eb2}}{R_2} + \frac{V_{eb2}-V_{eb11}}{R_7}.$$

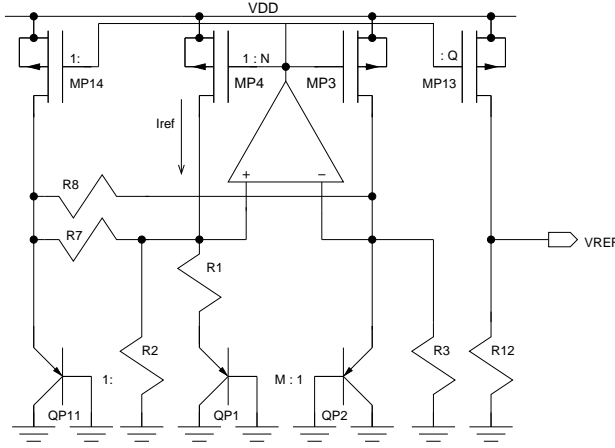


FIGURE 57 –

*Sousbandegap à division de courant et
et correction active de la courbure*

Ainsi, avec

$$V_{eb2} = K_3 - (K_3 - V_{eb2}(T_0)) \frac{T}{T_0} - (\gamma - \alpha_2 - K_1 \frac{q}{K_B}) Vt(T) \text{Log}(\frac{T}{T_0}).$$

et

$$V_{eb11} = K_3 - (K_3 - V_{eb11}(T_0)) \frac{T}{T_0} - (\gamma - \alpha_{11} - K_1 \frac{q}{K_B}) Vt(T) \text{Log}(\frac{T}{T_0}).$$

soit

$$V_{eb2} - V_{eb11} = (V_{eb2}(T_0) - V_{eb11}(T_0)) \frac{T}{T_0} - (\alpha_{11} - \alpha_2) Vt(T) \text{Log}(\frac{T}{T_0}).$$

on obtient

$$I_{ref} = \frac{Vt(T)}{R_1} \text{Log}(MN) + \frac{K_3 - (K_3 - V_{eb2}(T_0)) \frac{T}{T_0} - \frac{mVt(T)}{R_2} \text{Log}(\frac{T}{T_0})}{R_2} \\ + \frac{V_{eb2}(T_0) - V_{eb11}(T_0)}{R_7} \frac{T}{T_0} - \frac{\alpha_{11} - \alpha_2}{R_7} Vt(T) \text{Log}(\frac{T}{T_0})$$

et

$$V_{REF} = Q \frac{R_{12}}{R_2} (K_3 + \frac{R_2}{R_1} Vt(T) \text{Log}(MN) - (K_3 - V_{eb2}(T_0)) \frac{T}{T_0} \\ + \frac{R_2}{R_7} (V_{eb2}(T_0) - V_{eb11}(T_0)) \frac{T}{T_0} - \epsilon_{nl}(T)).$$

avec

$$\epsilon_{nl}(T) = Vt(T) \text{Log}(\frac{T}{T_0}) (\gamma - \alpha_2 - K_1 \frac{q}{K_B} + \frac{R_2}{R_7} (\alpha_{11} - \alpha_2)).$$

La suppression de la composante non linéaire peut donc être théoriquement obtenue avec

$$\frac{R_2}{R_7} = \frac{\gamma - \alpha_2 - K_1 \frac{q}{K_B}}{\alpha_2 - \alpha_{11}}.$$

De par le caractère PTAT de la tension aux bornes de R1 et compte tenu du comportement en température de R1 on doit fixer

$$\alpha_2 = 1 + \alpha_R$$

et de part la dépendance en température de Iref directement dépendante du comportement en température de R1 on doit fixer

$$\alpha_{11} = \alpha_R$$

d'où

$$\frac{R_2}{R_7} = \gamma - 1 - \alpha_R - K_1 \frac{q}{K_B} \approx 2.5 - \alpha_R.$$

Ce faisant, en annulant la dérivée de V_{REF} par rapport à la température, on obtient la valeur du rapport résistif

$$\frac{R_2}{R_1} = \frac{K_3 - V_{eb2}(T_0) - \frac{R_2}{R_7}(V_{eb2}(T_0) - V_{eb1}(T_0))}{Vt(T_0) \text{Log}(MN)}$$

correspondant à une valeur de tension de référence théoriquement indépendante de la température

$$V_{REF} = Q \frac{R_{12}}{R_2} V_{G0}.$$

Bien entendu, la SBGR avec réduction de la tension d'entrée de mode commun peut également être sujette à une correction active à partir du circuit de la *figure 58*.

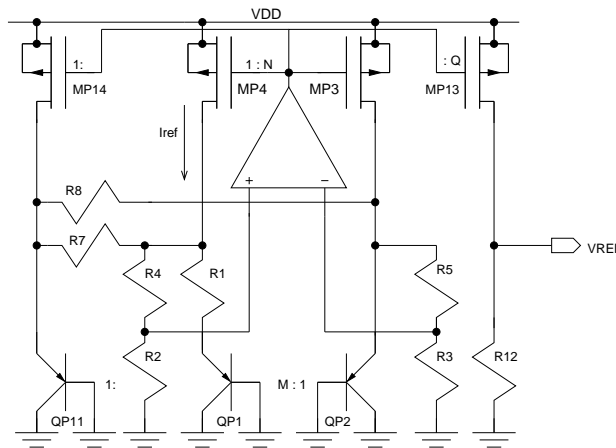


FIGURE 58 –

Sousbandegap à division de courant et réduction de la tension d'entrée de mode commun de l'AOP et correction de la courbure

- Performances

BLABLA PAS TERRIBLE DU FAIT DE LA PRECISION LIMITE DU MODELE V_{be} (+ou-0.3mV [14] performances meilleurs avec prise en compte du comportement en température des résistances....

faire courbes pour deux technos....

7.1.6 Correction passive de la courbure

En scindant la résistance R_1 des deux SBGR précédentes, en deux résistances parallèles de coefficient de température opposé, on peut éventuellement réaliser une correction passive de la courbure. Le formalisme est similaire au formalisme utilisé pour le dimensionnement de la bandegap compacte.

7.2 Références de courant constant

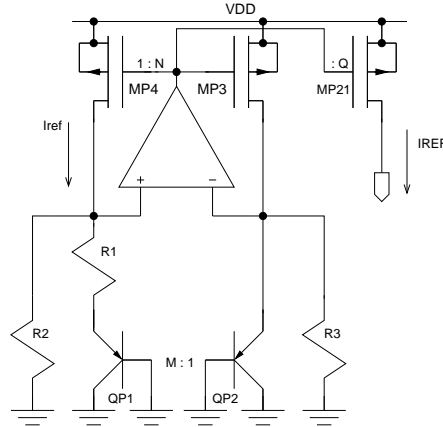


FIGURE 59 –

Référence de courant constant BIMOS

7.2.1 Constitution et formalisme

Pour synthétiser une référence de courant constant, il suffit de recopier le courant I_{ref} de la *figure 59*. Ce faisant, compte tenu du comportement en température des résistances $R1$ et $R2$, avec

$$I_{ref} = \frac{Vt \text{Log}(MN)}{R_1} \left(\frac{T}{T_0} \right)^{\alpha_{R_1}} + \frac{1}{R_2} \left(\frac{T}{T_0} \right)^{\alpha_{R_2}} \left(K_3 - (K_3 - V_{eb_2}(T_0)) \frac{T}{T_0} - m Vt \text{Log}\left(\frac{T}{T_0}\right) \right).$$

et

$$\alpha_{R_1} = \alpha_{R_2} = \alpha_R$$

on peut annuler la dérivée de I_{ref} par rapport à la température à une température arbitraire avec

$$\frac{R_2}{R_1} = \frac{1}{(1 + \alpha_R) \text{Log}(MN)} \left(-K_3 \frac{\alpha_R}{Vt(T)} + (1 + \alpha_R) \frac{K_3 - V_{eb}(T_0)}{Vt(T_0)} + m(1 + (1 + \alpha_R) \text{Log}\left(\frac{T_{opt}}{T_0}\right)) \right).$$

Pour cette valeur particulière le courant de référence est de forme en cloche concave de valeur

$$I_{REF} = \frac{Q}{R_2} \left(\frac{T}{T_0} \right)^{\alpha_R} \left(K_3 - K_3 \frac{\alpha_R}{1 + \alpha_R} \frac{T}{T_{opt}} + m Vt(T) \left(\frac{1}{1 + \alpha_R} + \text{Log}\left(\frac{T_{opt}}{T}\right) \right) \right).$$

7.2.2 Résultats de simulation

FAIRE COURBES BLABLA FONCTION DES DISPERSION GLOBALES... avec RDIF (plus faible...) BLABLA

7.3 SBGR cascades à division de courant

7.3.1 SBGR cascade à source de courant PTAT BIMOS

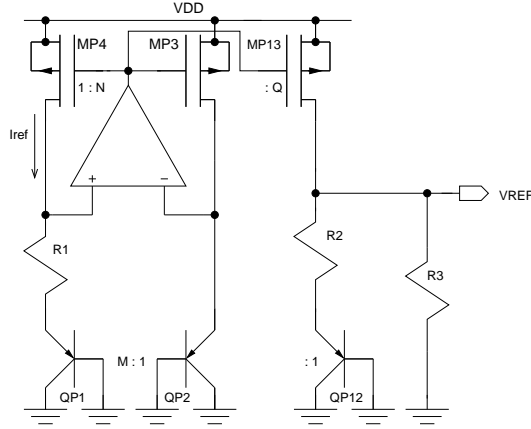


FIGURE 60 –

SBGR cascade à source de courant PTAT BIMOS

7.3.2 Constitution et formalisme

Le circuit de la *figure 60* est simplement une variante de la la bandegap cascade BIMOS, sur laquelle on a opéré un repliement de la résistance de sortie. Ce faisant, avec

$$G_3 V_{ref} + G_2(V_{ref} - V_{eb12}) = Q I_{ref} = Q G_1 V_{PTAT} = Q G_1 Vt \text{Log}(MN)$$

soit

$$V_{ref} = \frac{R_3}{R_2 + R_3} \left(Q \frac{R_2}{R_1} Vt \text{Log}(MN) + V_{eb12} \right)$$

on peut annuler la dérivée

$$\frac{dV_{ref}}{dT} = \frac{R_3}{R_2 + R_3} \left(Q \frac{R_2}{R_1} \frac{K_B}{q} \text{Log}(MN) - \frac{K3 - V_{eb12}(T_0)}{T_0} - m \frac{K_B}{q} (1 + \text{Log}(\frac{T}{T_0})) \right)$$

à une température arbitraire T_{opt} avec

$$Q \frac{R_2}{R_1} \text{Log}(MN) = \frac{K3 - V_{eb12}(T_0)}{Vt(T_0)} + m (1 + \text{Log}(\frac{T_{opt}}{T_0})).$$

Pour cette valeur, on obtient la tension de référence

$$V_{ref} = \frac{R_3}{R_2 + R_3} (K3 + m Vt(T_{opt}))$$

inférieure à la tension de bandegap V_{G0} . Pour la détermination du coefficient m on devra tenir compte du comportement en température du courant de jonction pour fixer la valeur du paramètre α . Pour ce faire, avec

$$I_{Q12}(T) = I_{M13}(T) - I_{R3}(T)$$

et en prenant un modèle linéaire pour la température, on peut écrire

$$I_{Q12}(T_0)(1 + \theta_{12}(T - T_0)) = I_{M13}(T_0)(1 + \theta_{13}(T - T_0)) - I_{R3}(T_0)(1 + \theta_3(T - T_0))$$

soit

$$\theta_{12} = \frac{I_{M13}(T_0)\theta_{13} - I_{R3}(T_0)\theta_3}{I_{Q12}}$$

soit en terme d'exposant de température

$$\alpha_{Q12} \approx \frac{I_{M13}(T_0)\alpha_{Iref} - I_{R3}(T_0)\alpha_{R3}}{I_{Q12}}$$

Compte tenu du fait que toutes les résistances sont de même nature et que

$$\alpha_{Iref} = 1 + \alpha_R$$

on obtient ainsi

$$\alpha = \frac{I_{M13}(T_0)}{I_{Q12}(T_0)} + \alpha_R$$

7.3.3 Résultats de simulation

BLABLA directement issu d'OCEANE ,sans réglage des resistances : pertinence des modèles

7.3.4 SBGR cascade à source de courant PTAT CMOS

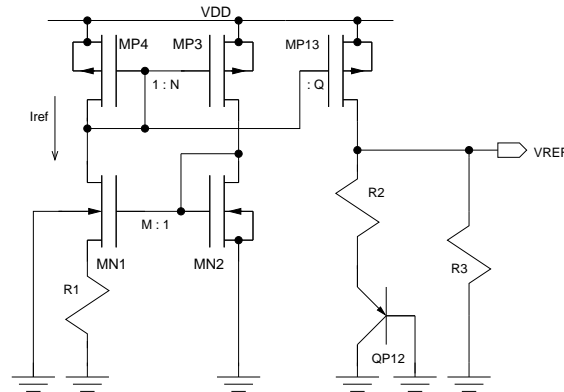


FIGURE 61 –

SBGR cascade à source de courant PTAT CMOS

Le circuit de la *figure 61* est la variante de la la bandegap cascade à source de courant PTAT CMOS, sur laquelle on a opérer un repliement de la résistance de sortie. Le formalisme est identique au formalisme de la sousbandegap précédente. On notera que l'utilisation du quad autopolarisé avec deux miroirs de courant permet de s'affranchir de l'utilisation d'un amplificateur opérationnel.

8 Références de courant QPVT

8.1 Principe

Une référence de courant QPVT (Quasi invariante Process, tension d'alimentation et Température) génère un courant de référence proportionnel au coefficient de transconductance K du transistor MOS et au carré de la tension thermique Vt . Etant de la forme

$$IREF \propto K Vt^2$$

et le coefficient de proportionnalité étant invariant PVT, il confère aux dispositifs actifs l'utilisant comme courant de polarisation, un certain nombre de propriétés très remarquables [9].

- Quasi invariance Process et Température des courants

Avec

$$IREF \propto K(T_0) \left(\frac{T}{T_0}\right)^{-\alpha_\mu} \cdot T^2 = T^{2-\alpha_\mu}$$

et

$$\alpha_\mu \approx 1.5 \dots 2.5$$

et

$$\frac{\Delta K}{K} \approx \pm 10\%$$

les courants de polarisations sont peu dépendant des dispersions technologiques et de la température.

- Invariance Process des tensions effectives de grille

Avec

$$V_{eg_i} \approx \sqrt{\frac{IREF}{K_i}} \propto Vt$$

les tensions effective de grille sont indépendantes des dispersions technologiques et PTAT en température.

- Quasi invariance Process et Température des transconductances

Avec

$$Gm_i \approx 2\sqrt{IREF K_i} \propto \sqrt{K \cdot K_i} Vt \propto \sqrt{K(T_0) \cdot K_i(T_0)} T^{1-\alpha_\mu}$$

les transconductances de grille des transistors polarisés en forte inversion sont peu dépendantes des dispersions technologiques et de la température, et avec

$$Gm_i \approx \frac{IREF}{\eta Vt}$$

et un facteur de pente présentant un faible coefficient de température positif, la propriété

reste pratiquement valable pour les dispositifs polarisés en faible inversion.

- Quasi invariance Process et Température des temps d'établissement

De nombreux [dispositifs analogiques](#)

sont caractérisés par des temps d'établissement décomposables en une première partie proportionnelle au courant de polarisation (phase non linéaire de slew-rate) et une seconde partie proportionnelle à la transconductance de grille. Les dépendances en température ayant des exposants pratiquement opposés, on peut donc espérer une quasi invariance en température des temps d'établissement des dispositifs polarisés par un courant de référence QPVT.

- Possibilité d'invariance Process et Température des tensions de grille

Avec

$$V_{gs_i} \approx \sqrt{\frac{I_{REF}}{K_i}} + V_{TH} \approx m V_t + V_{TH}$$

et en annulant la dérivée

$$\frac{\partial V_{gs_i}}{\partial T} = m \frac{K_B}{q} + \alpha_{V_{TH}}$$

par dimensionnement, il est formellement possible de réaliser l'indépendance des tensions de grille vis à vis de la température (pseudo bandgap).

8.2 Références QPVT à quad CMOS PTAT et MOS ohmique

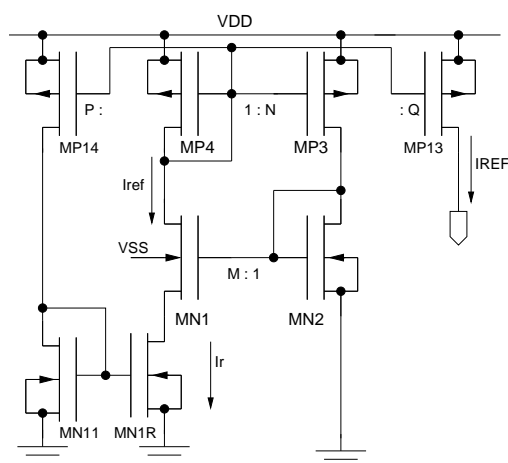


FIGURE 62 –

Référence de courant QPVT à quad CMOS PTAT et MOS ohmique

8.2.1 Constitution

Le circuit de la [figure 62](#) [18] réalise au premier ordre l'indépendance du courant I_{ref} à la tension d'alimentation à partir du quad à miroirs de courant CMOS autopolarisés et réalise sa proportionnalité au coefficient de transconductance K et au carré de la tension

thermique V_t en plaçant le miroir de type N en faible inversion et en utilisant en lieu et place de la résistance R1 de la *figure 36* un transistor en régime ohmique commandé par une tension de grille imposée par le courant généré (élévation au carré de V_t).

8.2.2 Formalisme

De part l'utilisation du quad CMOS en faible inversion, la tension V_r aux bornes du transistor MN1R a pour valeur

$$V_r \approx V_t \text{Log}(MN) + V_{TH2} - V_{TH1} \approx V_t \text{Log}(MN).$$

Le transistor MN1R étant en forte inversion et en régime ohmique et le transistor MN11 étant en forte inversion et en régime saturé, avec

$$I_r = 2K_{1R}(V_{gs_{1R}} - V_{TH_{1R}} - \frac{V_r}{2})V_r$$

et

$$V_{gs_{1R}} = V_{gs_{11}} = \sqrt{P \frac{I_r}{K_{11}}} + V_{TH_{11}}$$

et

$$V_{TH_{11}} \approx V_{TH_{1R}}$$

on arrive à l'équation du second degré

$$I_r = 2K_{1R}(\sqrt{P \frac{I_r}{K_{11}}} - \frac{V_r}{2})V_r$$

résolue théoriquement avec

$$J_r = \sqrt{I_r} = K_{1R}V_r \sqrt{\frac{P}{K_{11}}} (1 \pm \sqrt{1 - \frac{K_{11}}{P K_{1R}}}).$$

La positivité du discriminant étant normalement assurée avec

$$V_r < \frac{V_{gs_{11}} - V_{TH_{11}}}{2P}$$

et l'éventualité de plusieurs points de fonctionnement étant normalement résolue par l'utilisation d'un circuit de démarrage (starter), on arrive à l'expression analytique du courant QPVT

$$I_{ref} \approx P \frac{K_{1R}^2}{K_{11}} (1 + \sqrt{1 - \frac{K_{11}}{P K_{1R}}})^2 (V_t \text{Log}(MN))^2.$$

8.2.3 Performances et variantes topologiques

Les performances de la référence de courant sont évidemment, d'une part étroitement liés aux performances du quad CMOS PTAT, et d'autre part dépendantes de la validité des modèles analytiques et des approximations précédemment utilisés. Notamment, l'une des ces approximations consistant à égaliser les tensions de seuil de MN11 et MN1R est fortement sujette à caution, puisque si l'égalité des longueurs est facilement réalisable, étant impossible de réaliser l'égalité des tension drain-source qui sont structurellement fortement différentes, l'influence du DIBL est inévitable et les tensions de seuils sont différentes. Le circuit gauche de la *figure 63* permet l'égalité des tensions de seuils en utilisant en lieu et du transistor diode MN11 un empilage de deux dispositifs

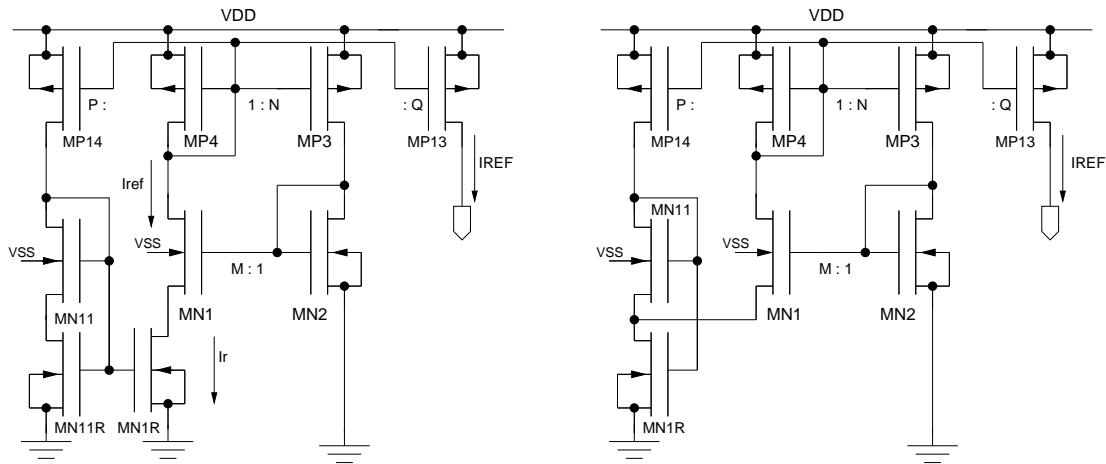


FIGURE 63 –

Variantes de la référence de courant QPVT à quad CMOS PTAT et MOS ohmique

MN11 et MN11R, ce dernier étant identique à MN1R et sous les mêmes conditions de polarisation. Le circuit droit est une variante partageant la résistance active [3] entre la quad CMOS et la branche de contrôle.

SEMBLE ASSEZ SENSIBLE A VEG M11 LE CIRCUIT VARIANT L'EST MOINS VOIR AVEC AUTRES TECHNOS....

8.2.4 Résultats de simulation

PENSER A CONSIDERE GM EN FORTE ET FAIBLE INVERSION

8.3 Référence QPVT à source de tension flottante PTAT

8.3.1 Principe

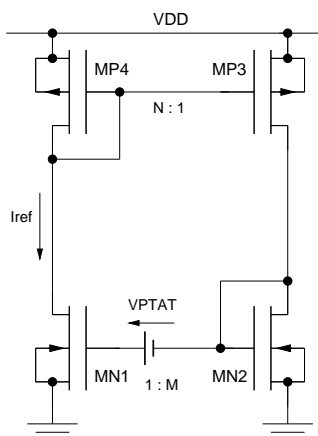


FIGURE 64 –

Principe de la référence de courant QPVT à source de tension PTAT flottante

Le circuit de la *figure 64* utilise un quad à miroirs CMOS en forte inversion et une source de tension flottante PTAT en série entre les grilles des deux transistors de type N [20]. On notera l'inversion du gain sur le miroir de courant de type N par rapport aux quads CMOS précédents. Ce faisant, en écrivant

$$I_{ref} = K_1(V_{gs1} - V_{TH1})^2$$

soit

$$I_{ref} = K_1(V_{PTAT} + V_{gs2} - V_{TH1})^2$$

soit

$$I_{ref} = K_1(V_{PTAT} + \sqrt{\frac{I_{ref}}{NMK_1}} + V_{TH2} - V_{TH1})^2$$

soit

$$I_{ref} \approx K_1(V_{PTAT} + \sqrt{\frac{I_{ref}}{NMK_1}})^2$$

on arrive à l'équation du second degré

$$\frac{I_{ref}}{K_1} \left(1 - \frac{1}{MN}\right) - 2\frac{V_{PTAT}}{\sqrt{MN}} \sqrt{\frac{I_{ref}}{K_1}} - V_{PTAT}^2 = 0$$

conduisant à l'expression caractéristique du courant QPVT

$$I_{ref} = K_1 \frac{V_{PTAT}^2}{(1 - \sqrt{1/MN})^2}.$$

8.3.2 Constitution

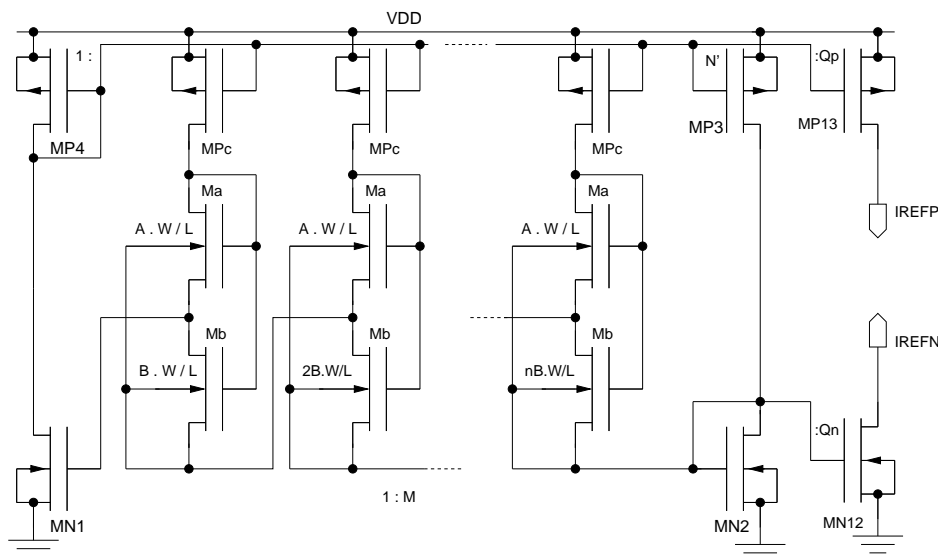


FIGURE 65 –

Référence de courant QPVT à source de tension flottante PTAT

Le circuit de la *figure 65* utilise simplement une série de n diodes MOS cascades PTAT en guise de source de tension flottante PTAT. On notera qu'afin de simplifier le dimensionnement, les largeurs des transistors inférieurs M_b des diodes PTAT sont pondérées pour faire en sorte qu'ils soient parcourus par un même courant. Ce faisant,

$$V_{PTAT} = n V_t \text{Log}\left(\frac{A}{B}\right).$$

On notera que le transistor MN2 étant alimenté par la somme des courants issus de MP3 et de la série de diodes, on a la relation

$$N = (n + 1)N'.$$

On notera également, qu'en terme de stabilité, on devra respecter la contrainte $MN > 1$ et que la possibilité de plusieurs points de fonctionnement doit être levée par l'utilisation d'un circuit de démarrage (starter).

8.3.3 Performances

En terme d'indice de performances petit signal, ils sont globalement ceux de la référence de courant à Gm constante avec $R = 0$ et avec $M^{GM CST} = 1/M^{QPVT}$. Comparativement aux références QPVT précédentes, le dimensionnement de ce circuit est beaucoup plus délicat. Ainsi, on devra choisir le nombre de diodes et la tension de grille de MN2 pour conserver une tension drain-source des transistors Mb de l'ordre de trois à quatre tensions thermiques (100mV) pour leur assurer un fonctionnement en saturation, ce faisant on obtient des tailles de transistors Ma extrêmement importantes et des courants inverses de jonctions très grands à haute température. D'autre part, avec

$$V_{DD} = V_{DS_3} + V_{PTAT} + V_{GS_B} + V_{GS_2}$$

la tension minimum d'utilisation est de l'ordre de

$$V_{DD_{min}} \approx 2 V_{TH_N} + qqs \cdot 0.1V$$

ce qui est très supérieure à la tension minimum d'utilisation d'un quad en faible inversion.

FAIRE COURBES POUR COMPARER AVEC LES AUTRE

9 Références de tension pseudobandegap

9.1 Principe

9.2 Une pseudobandegap compacte

9.2.1 Constitution et formalisme

Une pseudobandegap peut simplement être réalisée en utilisant le comportement NTCF des transistors du quad CMOS PTAT en faible inversion, conformément au schéma de la *figure 66*. On notera qu'en terme de variantes topologiques, on peut parfaitement utiliser un quad régulé ou une de ses variantes. Ce faisant, on peut écrire

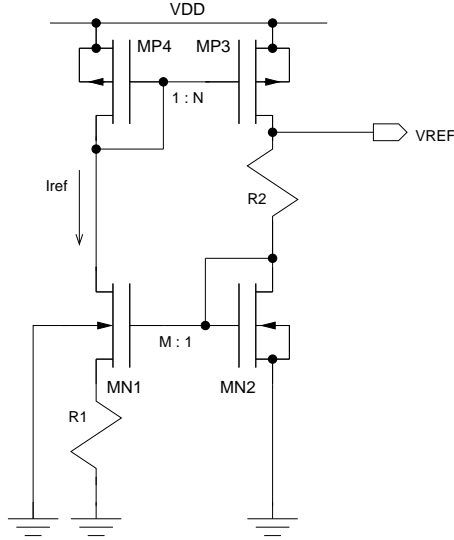


FIGURE 66 –

Pseudobandgap compacte CMOS

$$VREF = VGS_{MN1} + R_2 N Iref = VGS_{MN1} + N \frac{R_2}{R_1} Vt \text{Log}(MN).$$

En considérant le modèle linéaire décrivant le comportement du transistor MOS en faible inversion on obtient ainsi la relation

$$VREF = VGS_{MN1}(T_0) - KG \left(\frac{T_0}{T} - 1 \right) R_2 N Iref = VGS_{MN1} + N \frac{R_2}{R_1} Vt \text{Log}(MN)$$

que l'on peut dériver par rapport à la température pour obtenir la valeur du rapport résistif annulant cette dérivée à la température T_{opt}

$$\frac{R_2}{R_1} = \frac{KG}{N} \frac{T_0}{T_{opt}} \frac{1}{Vt(T_0) \text{Log}(MN)}.$$

9.2.2 Résultats de simulation

9.3 Une pseudobandgap cascade

Selon le même principe que la pseudobandgap précédente, on peut synthétiser le circuit de la *figure ??*. Avec

$$\frac{R_2}{R_1} = \frac{KG}{Q} \frac{T_0}{T_{opt}} \frac{1}{Vt(T_0) \text{Log}(MN)}$$

on obtient des performances similaires. La branche de courant de gain Q offre un degré liberté supplémentaire pour une éventuelle optimisation de l'aire résistive.

10 Principaux starters

Tous les générateurs de tension ou de courant de référence basés sur le quad autopolarisé, sont susceptibles de se verrouiller au démarrage sur un point de fonctionnement

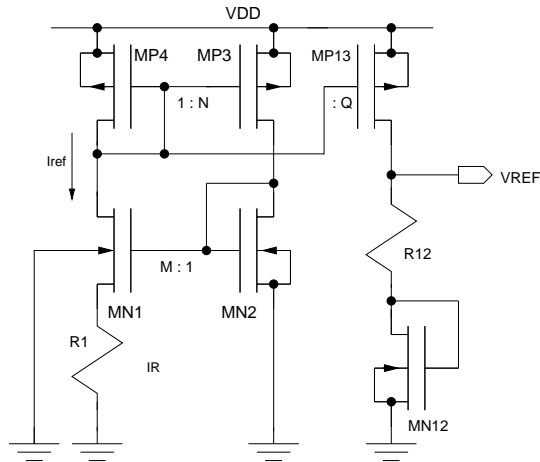


FIGURE 67 –

Pseudobandgap cascade CMOS

correspondant à un courant de repos nul. Ils nécessitent l'utilisation d'un starter assurant la mise en place du point de fonctionnement correspondant au courant désiré dans le miroir de courant.

10.1 Starters capacitifs

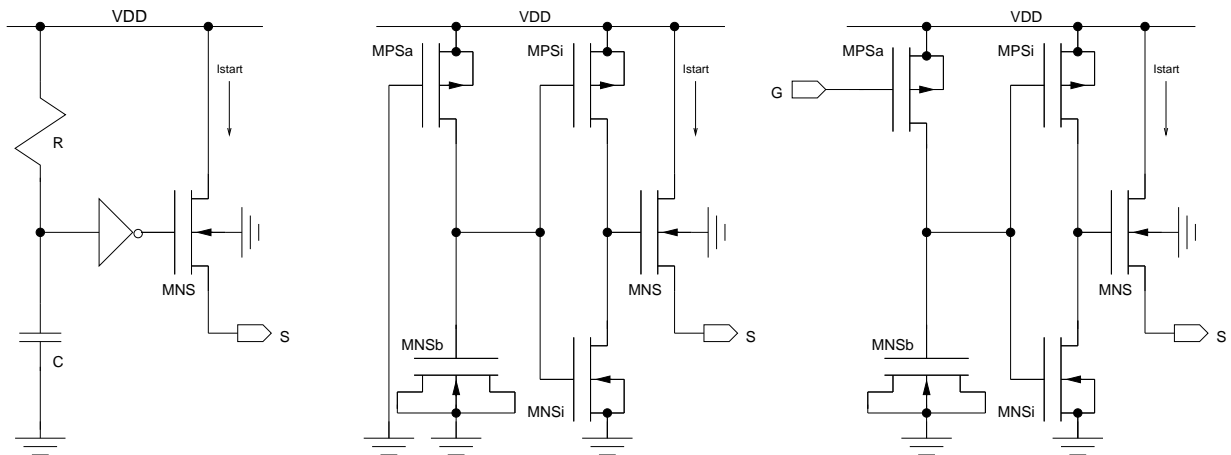


FIGURE 68 –

Starters capacitifs

Le starter capacitif basique présenté sur la gauche de la *figure 20*, ne peut générer qu'un seul courant de démarrage et le condensateur, de relativement forte valeur pour obtenir une constante de temps suffisante, est connecté en permanence, il peut ainsi poser des problèmes de stabilité. Les trois starters de la *figure 68* peuvent synthétiser un nombre quelconque de courants de démarrage par duplication du transistor MNS. Le schéma central est une version entièrement MOS du schéma générique gauche, quant au troisième circuit, il utilise une source de courant MOS commandée par la grille du transistor référant (typiquement MP3). Leur fonctionnement est simple, juste à la mise sous tension,

le condensateur est déchargé, la sortie de l'inverseur est à VDD et le transistor MNS produit un fort courant de démarrage, puis le condensateur se charge pour atteindre la tension de commutation de l'inverseur qui provoque une mise à masse de la grille de MNS impliquant son blocage. Les starters capacitifs sont des starters monocoup, dans le sens où une brève rupture d'alimentation (ou impulsion parasite de forte valeur sur l'alimentation) peut être suffisante pour déplacer le point de fonctionnement du quad, mais insuffisamment longue pour provoquer la décharge du condensateur.

10.2 Starters statiques

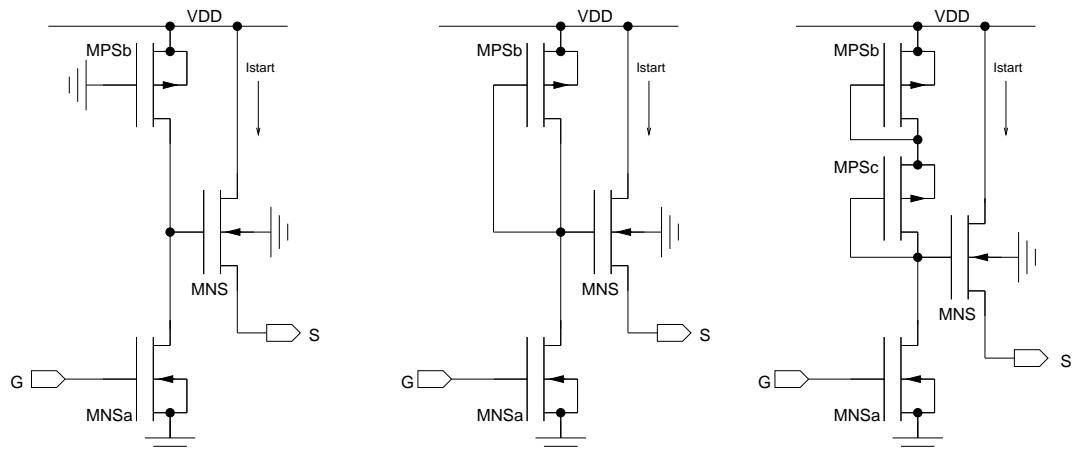


FIGURE 69 –

Starters statiques

Si nous considérons les starters de la *figure 69*, au démarrage, le transistor MNSa est bloqué, la grille du transistor MNS étant à VDD et sa source étant à un potentiel nul, il est parcouru par un fort courant de démarrage. Le quad étant en régime établi, le courant dans MNSa abaisse le potentiel de grille de MNS qui atteint une valeur impliquant un courant drain extrêmement faible (courant résiduel ne devant pas modifier le fonctionnement du dispositif appelant). Le transistor de charge MPSb peut être un transistor MOS en régime ohmique si sa tension de grille est suffisante, ou un transistor diode unique ou fractionné. Le fractionnement du transistor diode diminue la tension VGS et permet d'obtenir pour MPSb et MPSc des longueurs beaucoup plus petites. Ces starters, consommant un courant en régime établi sont dits statiques. Autant que faire ce peut, on apparie le transistor de commande MNSa avec le transistor référent du dispositif appelant pour garantir un courant résiduel faible compte tenu des dispersions globales, des variations de la température et des tensions d'alimentation. Les starters statiques se réinitialisent automatiquement sur une rupture d'alimentation.

10.3 Starter dynamique

Le starter de la *figure 70* est un starter dynamique, ne consommant pas de courant en régime établi. L'inverseur CMOS MNSa/MPSb est dimensionné pour fixer sa tension de commutation à la valeur VG imposée par la grille du transistor référent du dispositif appelant. Typiquement le rapport d'aspect W/L de MNSa est très grand et le rapport d'aspect de MPSb est très petit.

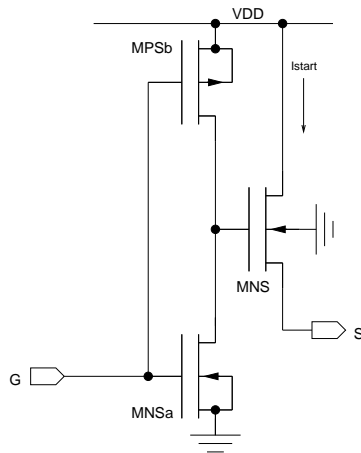


FIGURE 70 –

Starter dynamique

10.4 Starter résistif

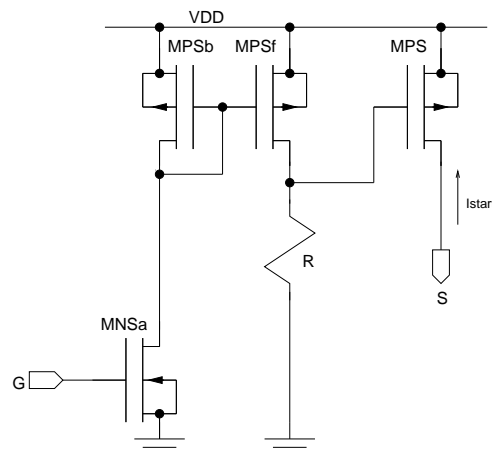


FIGURE 71 –

Starter résistif

Le starter résistif de la *figure 71* peut être vu comme un version repliée du premier starter statique de la *figure 69*, la charge MPSb étant remplacé par une résistance. Lorsque MNSa est bloqué, la grille du transistor MPS étant à un potentiel nul, il est traversé par un fort courant de démarrage. En régime établi, la tension de grille du transistor MPS, fixée par la résistance et le courant dans le transistor miroir MPSf est déterminée pour assurer son blocage. Avec le transistor diode MPSb polarisé en faible inversion, le starter résistif peut être utilisé avec des alimentations inférieures à un Volt. On notera que la valeur de la résistance est fixée par le gain du miroir de courant.

10.5 Limitation du courant de démarrage

Certain dispositifs autopolarisés demandent la génération d'un courant de starter N et P, et peuvent nécessiter une limitation des courants de démarrage afin d'éviter une

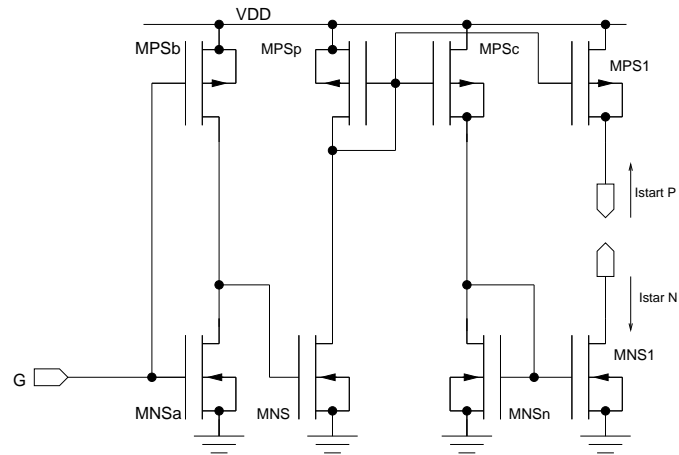


FIGURE 72 –

*Génération d'un courant de starter N et P
avec limitation du courant de starter*

éventuelle instabilité transitoire. Ceci peut facilement être réalisé par un jeu de miroirs de courant comme le montre l'exemple du schéma de la *figure 72*.

Références

- [1] H. BANBA, H.S.A. UMEZAWA, T. TANZAWA, S. ATSUMI, and K. SAKUI. "A CMOS bandgap reference circuit with sub 1v operation ". *IEEE Journal of Solid-State Circuit*, vol. 34(No. 5) :pp. 670–674, May 1999.
- [2] A.E. BUCK, C.L. McDONALD, S.H. LEWIS, and T.R. VISWANATHAN. " A CMOS bandgap reference without resistors ". *IEEE Journal of Solid-State Circuit*, vol. 37(No. 1) :pp. 81–83, January 2002.
- [3] E. M. CAMACHO-GALEANO, C. GALUP-MONTORO, and M. C. SCHNEIDER. "A 2nW 1.1V self-biased current reference in CMOS technology". *IEEE Transactions on Circuits and Systems-II :express briefs*, vol. 52(No. 2) :pp. 61–65, Feb. 2005.
- [4] M.G.R. DEGRAUWE, O.N. LEUTHOLD, E.A. VITTOZ, and all. "CMOS voltage references using lateral bipolar transistors". *IEEE Journal of Solid-State Circuit*, vol. 20(No. 6) :pp. 1151–1157, December 1985.
- [5] R.L. GEIGER, P.E. ALLEN, and N.R. STRADER. "*VLSI design techniques for analog and digital circuits*". John Wiley and sons, 1990.
- [6] G. GIUSTOLISI, G. PALUMBO, M. CRISCIONE, and F. CUTRI. "A low-voltage low-power voltage reference based on subthreshold MOSFETs". *IEEE Journal of Solid-State Circuit*, vol. 38(No. 1) :pp. 151–154, January 2003.
- [7] M. GRIGORIE, C. DE RAAD ISELI, F. KRUMMENACHER, and C. ENZ. "A circuit for the temperature compensation of capacitive sensors ". *Proc IEEE International Symposium Circuits and System*, pages pp. 381–384, 1996.
- [8] D.A. JOHNS and K. MARTIN. "*Analog integrated circuit design*". John Wiley and sons, 1997.
- [9] C.R. LABER, C.F. RAHIM, S.F. DREYER, G.T. UEHARA, P.T. KWOK, and P.R. GRAY. " Design considerations for high-performance 3 μ m CMOS analog standard-cell library ". *IEEE Journal of Solid-State Circuit*, vol. 22(No. 2) :pp. 181–189, April 1987.
- [10] W.A. LANE and G.T. WRIXON. "The design of thin-film polysilicon resistors for analog IC applications". *IEEE Transactions on Electron Devices*, vol. 36 :pp. 738–744, April 1989.
- [11] K.N. LEUNG and P.K.T. MOK. "A sub 1v 15ppm CMOS bandgap voltage reference without requiring low threshold voltage device". *IEEE Journal of Solid-State Circuit*, vol. 37(No. 4) :pp. 526–530, April 2002.
- [12] K.N. LEUNG, P.K.T. MOK, and C.Y. LEUNG. "A 2V 23Å 5.3ppm 4th-order curvature compensated CMOS bandgap reference ". *Proc IEEE Custom Integrated Circuits Conference*, pages pp. 457–459, 2002.
- [13] K.N. LEUNG, P.K.T. MOK, and C.Y. LEUNG. "A 2V 23Å 5.3ppm 4th-order curvature compensated CMOS bandgap voltage reference ". *IEEE Journal of Solid-State Circuit*, vol. 38(No. 3) :pp. 561–564, March 2003.
- [14] S.L. LIN and C.A.T. SALAMA. "A vbe(t) model with application to bandgap reference design". *IEEE Journal of Solid-State Circuit*, vol. 20(No. 6) :pp. 1283–1285, December 1985.
- [15] P. MALCAVATI, F. MALOBERTI, C. FIOCCHI, and M. PRUZZI. "A Curvature compensated BICMOS bandgap with 1v supply voltage". *IEEE Journal of Solid-State Circuit*, vol. 36(No. 7) :pp. 1076–1081, July 2001.

- [16] A. McLAREN and K. MARTIN. "Generation of accurate on-chip time constants and stable transconductances". *IEEE Journal of Solid-State Circuit*, vol. 36(No. 4) :pp. 691–696, April 2001.
- [17] S. NICOLSON and K. PHANG. "Improvements in biasing and compensation of CMOS opamps". *Proc IEEE International Symposium Circuits and System*, vol. 1 :pp. 665–668, 2004.
- [18] H.J. OQUEY and D. AEBISCHER. " CMOS current reference without resistance". *IEEE Journal of Solid-State Circuit*, vol. 32(No. 7) :pp. 1132–1135, July 1997.
- [19] B. RAZAVI. "*Design of analog CMOS integrated circuits*". McGraw-Hill Book Company, 2000.
- [20] W.M. SANSEN, F.O. EYNDE, and M. STEYAERT. " A CMOS temperature compensated current reference". *IEEE Journal of Solid-State Circuit*, vol. 23(No. 3) :pp. 821–824, Jun. 1988.
- [21] F. SERRA-GRAELLS. "VLSI CMOS low-voltage log companding filters ". *Proc IEEE International Symposium Circuits and System*, vol. 1 :pp. 172–175, 2000.
- [22] B.S. SONG and P.R. GRAY. "A precision curvature-compensated CMOS bandgap reference". *IEEE Journal of Solid-State Circuit*, vol. 18(No. 6) :pp. 634–643, December 1983.
- [23] Y.P. TSIVIDIS. "A CMOS voltage reference". *IEEE Journal of Solid-State Circuit*, vol. 13(No. 6) :pp. 774–778, December 1978.
- [24] Y.P. TSIVIDIS. "Accurate analysis of temperature effects in I_c - V_{be} characteristics with application to bandgap reference sources". *IEEE Journal of Solid-State Circuit*, vol. 15(No. 6) :pp. 1076–1084, December 1980.
- [25] G. TZANATEAS, C.A.T. SALAMA, and Y.P. TSIVIDIS. "A CMOS bandgap voltage reference ". *IEEE Journal of Solid-State Circuit*, vol. 14(No. 3) :pp. 655–657, June 1979.
- [26] E.A. VITTOZ. "A low-voltage CMOS bandgap reference ". *IEEE Journal of Solid-State Circuit*, vol. 14(No. 3) :pp. 573–577, June 1979.
- [27] E.A. VITTOZ. "The design of high-performance analog circuits on digital CMOS chips". *IEEE Journal of Solid-State Circuit*, vol. 20(No. 3) :pp. 657–665, June 1985.
- [28] C.Y. WU and S.Y. CHIN. "High-precision curvature-compensated CMOS band-gap voltage and current references". *Analog Integrated Circuits and Signal Processing*, vol. 2 :pp. 207–215, 1992.