

Structure et modélisation du transistor MOS

Table des matières

1	Structure du transistor MOS	3
1.1	Constitution et symbolisme	3
1.2	Définition de la longueur et de la largeur effective de canal	4
1.3	Définition des paramètres de style	4
1.3.1	Le repliement	4
1.3.2	Les contraintes d'appariement	6
2	Les zones de fonctionnement du transistor MOS	7
2.1	Caractéristique de transfert d'un amplificateur MOS	7
2.2	Définition des différentes zones de fonctionnement	8
3	Un exemple simple de modèle analytique grand signal	9
3.1	Expression analytique du courant de drain	10
3.1.1	Hypothèses de calcul	10
3.1.2	Etablissement du courant de drain pour le régime ohmique	10
3.1.3	Etablissement du courant de drain pour le régime saturé	11
3.2	Expressions analytiques des capacités actives de grilles	13
3.2.1	Expressions générales	13
3.2.2	Le modèle capacitif de Meyer standard	14
3.2.3	Le modèle capacitif de Meyer à conservation de charge	15
3.3	Le modèle SPICE de niveau 1	16
3.3.1	Modélisation du courant de drain	16
3.3.2	Modélisation des capacités actives	17
3.3.3	Modélisation des effets de la température	18
4	Les attributs du modèle idéal	18
5	Les modèles intrinsèques standards	20
5.1	Modélisation intrinsèque et extrinsèque	20
5.2	Une classification des modèles intrinsèques	20
6	Modélisations petit signal	22
6.1	Un circuit équivalent petit signal et basses fréquences	22
6.2	Un circuit équivalent petit signal et moyennes fréquences	23
6.3	Un circuit équivalent petit signal du modèle capacitif complet	24
6.4	Domaines de validité en fréquences des modèles	25
7	Un modèle analytique de conception	26
7.1	Un modèle banalisé	26
7.1.1	Modèle grand signal	26
7.1.2	Modèle petit signal	27

7.2	Un modèle spécifique pour le "MOS résistif"	29
7.2.1	Le MOS résistif	29
7.2.2	Modèle analytique grand signal	29
7.2.3	Modèle petit signal	30
8	Modélisation extrinsèque	31
8.1	Modélisation des capacités de jonction	31
8.1.1	Modélisation analytique	31
8.1.2	Prise en compte des effets de la température	32
8.2	Modélisation des résistances d'accès	33
8.3	Modélisation des courants de jonction	33
8.4	Modélisation du bruit	34
8.5	Modélisation des effets du courant d'ionisation par impact	35
9	Modélisation statistique	36
9.1	Modélisation statistique de l'erreur d'appariement en forte inversion	37
9.1.1	Un modèle pour le courant	37
9.1.2	Modélisation des paramètres statistiques intermédiaires	38
9.2	Modélisation statistique de l'erreur d'appariement en faible inversion	38
9.3	Implantation du modèle statistique sur un simulateur électrique conventionnel	39
9.3.1	Implantation à partir des paramètres du modèle déterministe	39
9.3.2	Implantation à partir d'un macromodèle	40
10	La caractérisation électrique des modèles	40
10.1	Caractérisation au passage ohmique/saturé	41
10.2	Caractérisation au passage faible inversion/forte inversion	41

1 Structure du transistor MOS

1.1 Constitution et symbolisme

Indépendamment de la [filière technologique](#)

utilisée une paire de transistors N et P intégrée sur un substrat de type P peut être représentée par le schéma simplifié de la *figure 1*. Les zones directement accessibles pour la connexion avec l'extérieur sont la grille, la source, le drain et le substrat. En terme de symbolisme, différents symboles sont utilisés pour le transistor N et le transistor P. La représentation la plus courante est donnée sur la *figure 2* et la *figure 3*.

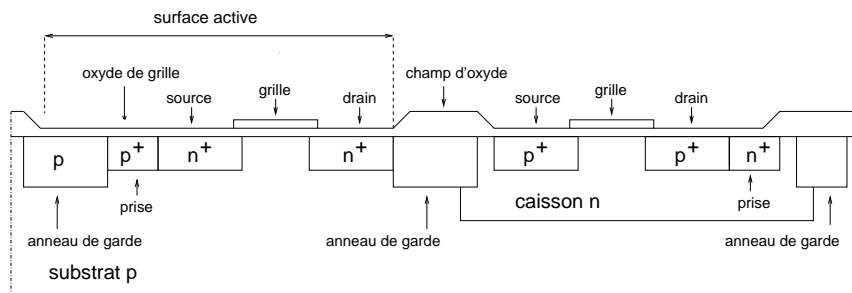


FIGURE 1 –

Représentation simplifiée d'une structure CMOS à caisson N

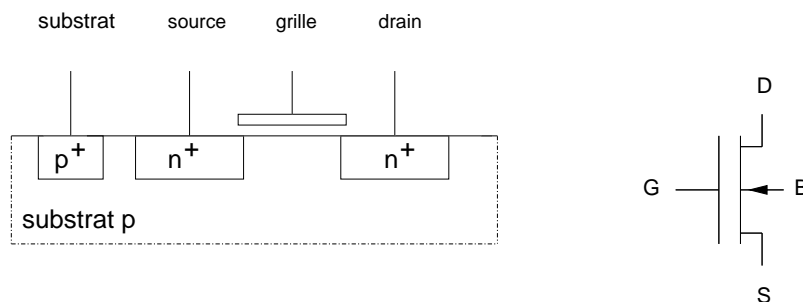


FIGURE 2 –

Représentation symbolique du NMOS

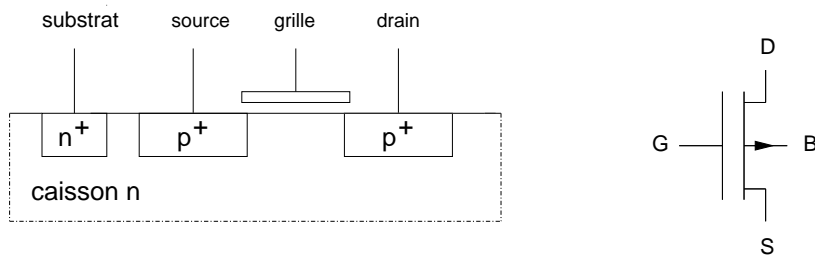


FIGURE 3 –

Représentation symbolique du PMOS

1.2 Définition de la longueur et de la largeur effective de canal

Du point de vue électrique la longueur à considérer pour le fonctionnement intrinsèque du transistor MOS est la distance entre les deux zones de diffusion formant la source et le drain. Cette longueur effective est différente de la longueur dessinée L du concepteur (*figure 4*), du fait de l'erreur de gravure notée XL et du débordement des zones diffusées sous la grille notée LD . On définit donc une longueur effective de canal

$$L_{eff} = L + XL - 2LD.$$

Pour la détermination de la largeur effective de grille, on doit considérer l'erreur de gravure XW et une seconde erreur, connue sous le terme "effet de bec d'oiseau" due à une déformation latérale WD de la surface active au niveau de la transition entre l'oxyde mince de grille et l'oxyde épais localisé. La largeur effective de canal est ainsi donnée par

$$W_{eff} = W + XW - 2WD$$

Les quantités $L_{phy} = L + XL$ et $W_{phy} = W + XW$, parfois utilisées pour la détermination des capacités de jonction sont appelées respectivement longueur et largeur physique du transistor.

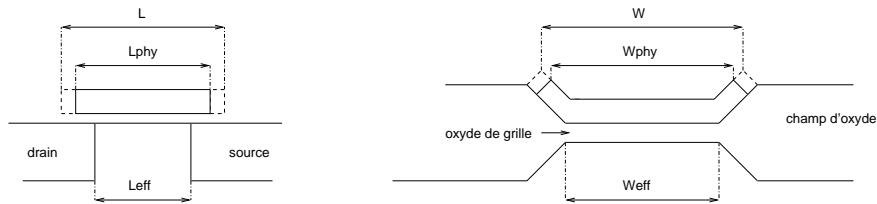


FIGURE 4 –

Détermination de la longueur et de la largeur effective de canal

1.3 Définition des paramètres de style

1.3.1 Le repliement

Le concepteur de dispositifs actifs analogiques est souvent conduit à choisir des transistors avec des rapports d'aspect (W/L) très supérieurs à l'unité pour obtenir des gains importants. Afin de minimiser la surface de silicium nécessaire à l'intégration du dispositif, en plus des paramètres géométriques L et W , il a à sa disposition un troisième paramètre de synthèse qui est le nombre de grilles par transistor (nombre de repliements). Ce paramètre généralement noté M permet simplement de modifier le facteur de forme du transistor en réalisant ce dernier par une mise en parallèle de M transistors de largeur W/M . Toutefois, ce paramètre est à utiliser avec discernement puisque M transistors de largeur W/M n'ont pas le même comportement électrique qu'un transistor de largeur W du fait des erreurs de gravure sur la largeur et du fait des modifications des géométries du drain et de la source. Ainsi, si nous considérons les deux styles de dessin de la *figure 6*, on peut constater que le transistor à grille simple et le transistor à grille multiple ont le même rapport d'aspect, des facteurs de forme différents, et des surfaces de drain et de source différentes du fait de la fusion des drains et des sources internes de la structure

repliée. Si M et le nombre de grilles, ND le nombre de drains, ND_{ex} le nombre de drains externes, ND_{in} le nombre de drains internes, NS le nombre de sources, NS_{ex} le nombre de sources externes, et NS_{in} le nombre de sources internes, pour la structure repliée, en considérant différentes valeurs de repliement, on peut écrire les énumérations [12] :

$$\begin{aligned}
 M &= 1 \ 2 \ 3 \ 4 \ 5 \ 6 \ 7 \\
 ND_{ex} &= 1 \ 0 \ 1 \ 0 \ 1 \ 0 \ 1 = \text{modulo}(M, 2) \\
 ND &= 1 \ 1 \ 2 \ 2 \ 3 \ 3 \ 4 = 0.5(M + ND_{ex}) \\
 NS_{ex} &= 1 \ 2 \ 1 \ 2 \ 1 \ 2 \ 1 = 2 - ND_{ex} \\
 NS &= 1 \ 2 \ 2 \ 3 \ 3 \ 4 \ 4 = 1 + ND - ND_{ex}
 \end{aligned}$$

ainsi que le nombre de drains et de sources internes correspondant

$$ND_{in} = ND - ND_{ex} \quad \text{et} \quad NS_{in} = NS - NS_{ex}.$$

D'autre part, si on considère que la source ou le drain peuvent être fusionné avec la source et le drain d'un autre transistor appartenant au même empilage (*figure 7* et *figure 8*), par la clef δ_s ou δ_d mise à 0 ou à 1 pour indiquer la présence ou l'absence de fusion correspondante, on peut déterminer les aires et les périmètres à partir de :

$$As = \frac{W}{M} ((NS_{ex} - \delta_s) de + 0,5 \delta_s dgg + NS_{in} dgg)$$

$$Ad = \frac{W}{M} ((ND_{ex} - \delta_d ND_{ex}) de + 0,5 \delta_d ND_{ex} dgg + ND_{in} dgg)$$

$$Ps = \frac{1}{M} (2((NS_{ex} - \delta_s) de + 0,5 \delta_s dgg + NS_{in} dgg) + (2NS - \delta_s) \frac{W}{M})$$

$$Pd = \frac{1}{M} (2((ND_{ex} - \delta_d ND_{ex}) de + 0,5 \delta_d ND_{ex} dgg + ND_{in} dgg) + (2ND - \delta_d) \frac{W}{M})$$

Ces considérations portent sur un style de dessin, d'autres styles sont possibles. On peut permuter source et drain de la structure repliée précédente pour minimiser le nombre de sources. Au lieu de placer les grilles en série, on peut choisir de les mettre en parallèle pour minimiser la résistance de grille, dans ce cas on générera des capacités parasites grille-source ou grille-drain par croisements de fils de contact,Comme le montre la *figure 5*, le facteur de réduction des aires et des périmètres tend asymptotiquement vers la valeur 1/2 et l'efficacité du repliement est déjà très sensible pour M de quelques unités.

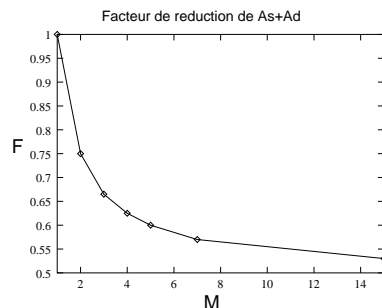


FIGURE 5 –

Facteur de réduction de As+Ad avec de=dgg et pour un repliement source en tête

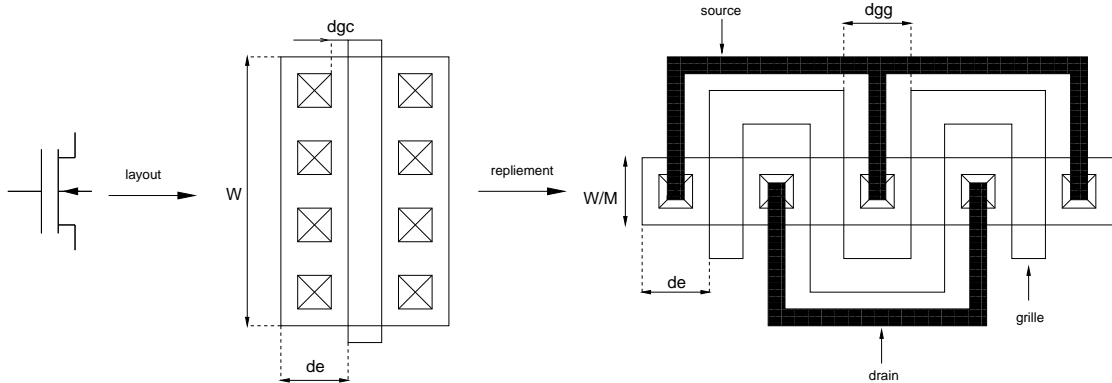


FIGURE 6 –

Repliement d'un transistor MOS avec $M=4$

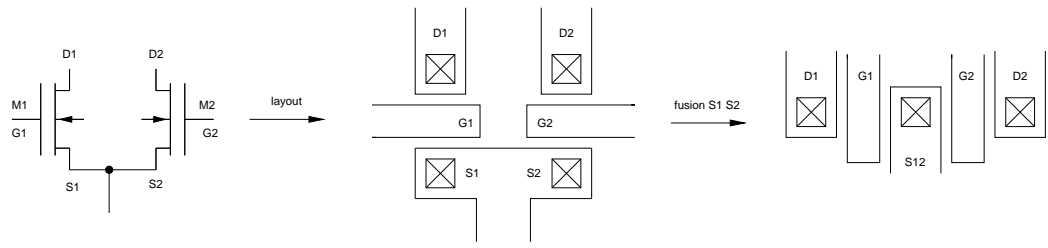


FIGURE 7 –

Fusion de la source de deux transistors

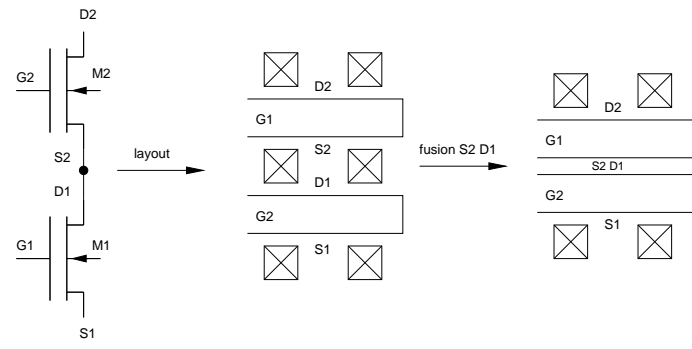


FIGURE 8 –

Fusion de la source et du drain de deux transistors

1.3.2 Les contraintes d'appariement

Un transistor MOS replié étant composé de plusieurs modules identiques, le dessin des masques des dispositifs actifs réalisés en associant plusieurs transistors nécessitant un bon appariement, devra respecter non seulement les [techniques élémentaires de dessin de masque](#), c'est à dire, autant que faire ce peut, le fractionnement, l'interdigitation, le centrage géométrique, la compensation environnementale, et la compensation thermique, mais également la même orientation électrique. En effet, considérons deux transistors M_i et M_j sous les mêmes conditions de polarisation et fractionnés (repliés) respective-

ment en n_i et n_j modules identiques tels que M_i a n_i^d modules orientés électriquement de droite à gauche et n_i^g modules orientés de gauche à droite, et tels que M_j a n_j^d modules orientés électriquement de droite à gauche et n_j^g modules orientés de gauche à droite. Si on note par Δn_i et Δn_j les différences $n_i^d - n_i^g$ et $n_j^d - n_j^g$, il a été observé expérimentalement une erreur d'appariement, principalement attribuée à l'anisotropie cristalline du silicium, et proportionnelle à la différence des rapports [15] avec

$$\mathcal{D}_{ij} = \frac{\Delta n_i}{n_i} - \frac{\Delta n_j}{n_j}.$$

Ainsi, le cas d'espèce du dispositif de la *figure 9* (miroir de courant) recherchant un bon appariement entre les courants I_2 et I_3 implique l'utilisation de transistors de compensation électriquement neutres (potentiel de grille à la masse) ou le fractionnement en nombre de modules pairs. Bien entendu, les facteurs de forme et les surfaces de drain et de source peuvent être très différents selon l'option choisie. On notera que du point de vue orientation électrique, la fusion de la source des deux transistors de la *figure 7* qui minimise la surface de source est déconseillée.

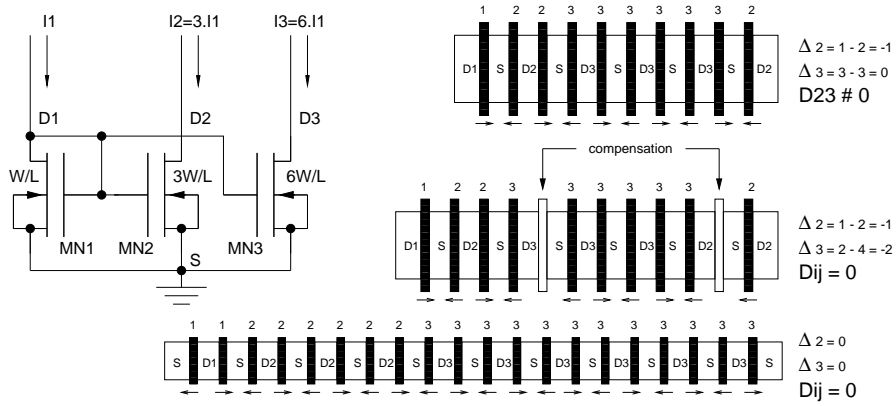


FIGURE 9 –

un exemple contraintes d'appariement

2 Les zones de fonctionnement du transistor MOS

2.1 Caractéristique de transfert d'un amplificateur MOS

Si on considère les transistors MOS de la *figure 2* et de la *figure 3*, et si on applique des tensions quelconques entre les différents accès, c'est dire la source (S), le drain (D), la grille (G) et le substrat (B), on établit une relation non linéaire entre ces tensions et le courant I_{ds} susceptible de circuler entre le drain et la source. Ainsi, si on applique sur la grille de l'amplificateur basique de la *figure 10* une tension variable V_e , on obtient sur le drain la caractéristique de transfert non-linéaire

$$V_s = f(V_e) = V_{DD} - R_1 \cdot I_{ds}$$

présentant manifestement trois zones de fonctionnement principales,

1. une zone où le dispositif est pratiquement bloquée ($V_s \approx V_{DD}$)

2. une zone où le dispositif présente son caractère amplificateur ($dV_s/dV_e \gg 1$)
3. une zone où le dispositif perd son caractère amplificateur ($dV_s/dV_e \ll 1$)

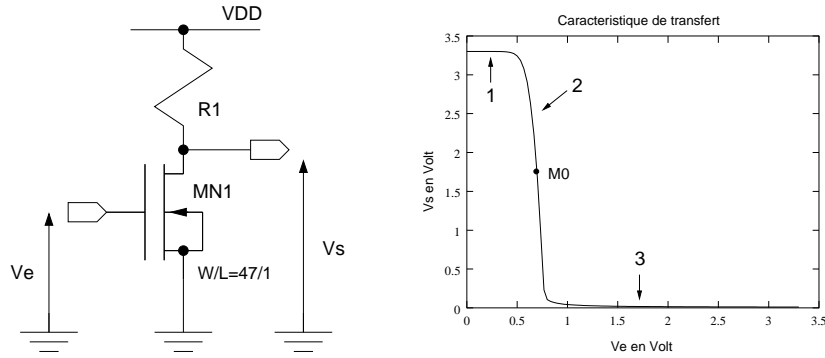


FIGURE 10 –

Amplificateur basique NMOS

2.2 Définition des différentes zones de fonctionnement

Ainsi, une des caractéristiques essentielle du MOS est de présenter un comportement très différent selon la valeur des tensions appliquées aux accès, on définit donc différentes zones de fonctionnement à l'intérieur desquelles le transistor est sensé présenter un même jeu d'indices de performances. Pour ce faire, chaque zone est caractérisée par un niveau d'inversion (faible ou fort), un régime (ohmique ou saturé) et un mode (directe ou inversé). Un inventaire de ces différentes zones de fonctionnement est donné sur la *figure 11* pour une valeur de tension V_{gb} fixée. La droite de pente unité correspond à la valeur particulière $V_{ds} = 0$ pour laquelle le courant de drain est nul et le transistor est bloqué. Au dessus de cette droite le courant est positif, le transistor est en fonctionnement directe, en dessous il est en fonctionnement inversé.

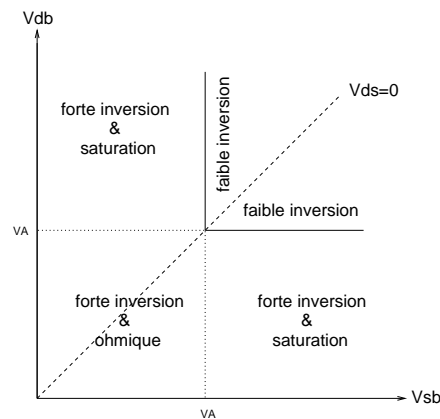


FIGURE 11 –

Les différentes zone de fonctionnement du NMOS

Ce type de représentation des différentes zones de fonctionnement du MOS est purement physique. D'un point de vue électrique, on s'affranchit du mode inversé en

nommant les accès drain et source pour avoir V_{ds} positif pour un transistor de type N et V_{ds} négatif (V_{sd} positif) pour un transistor de type P, et on choisit de référencer toutes les tensions par rapport à la source. On arrive ainsi la représentation standard de la *figure 12* sous la forme d'un réseau de caractéristiques de transfert I_{ds} en fonction de V_{ds} pour différentes valeurs de V_{gs} et une valeur de V_{bs} normalement négative ou nulle.

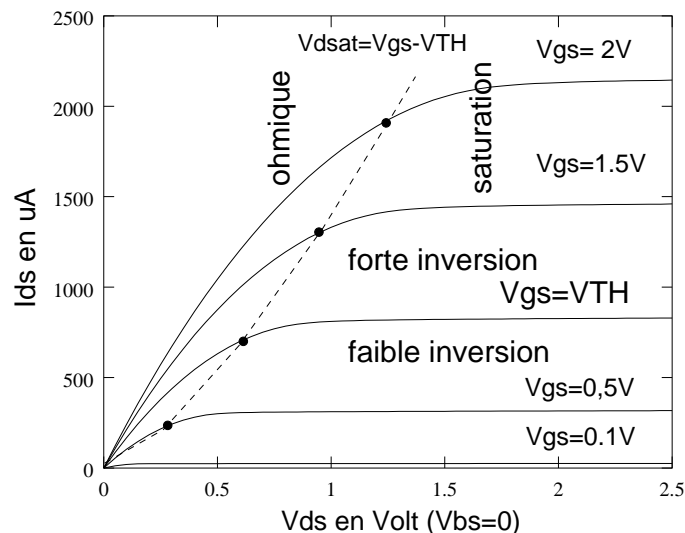


FIGURE 12 –

Caractéristiques de transfert I_{ds} vs V_{ds} pour différentes valeurs de V_{gs} avec $V_{bs}=0$ pour un NMOS

La valeur particulière $V_{gs} = V_{TH}$ (notée V_{ON} par certains modèles) permet de distinguer la faible inversion (ou fonctionnement sous le seuil) de la forte inversion et la valeur particulière $V_{ds} = V_{dsat}$ permet la séparation entre régime saturé et régime ohmique (ou linéaire). La tension V_{TH} est la tension de seuil, c'est la tension grille-source réalisant l'équilibre entre les charges sur la grille, dans l'isolant et le canal du transistor MOS. Au dessus de cette valeur les charges dans le canal sont inversées (de type différent de celles présentes normalement dans le substrat), en dessous la conduction se fait par diffusion (comme dans les transistors bipolaires) et est essentiellement due aux porteurs capables de franchir la barrière de potentiel présente entre la source et le canal. La tension V_{dsat} est la tension de saturation. En dessous de V_{dsat} le courant I_{ds} dépend directement de la tension V_{ds} appliquée (idéalement de manière linéaire) et au dessus l'influence de V_{ds} est faible et apparaît comme un effet parasite (conductance de sortie du transistor non nulle).

3 Un exemple simple de modèle analytique grand signal

Pour décrire le fonctionnement électrique intrinsèque d'un transistor MOS, il est nécessaire de considérer les [trois équations fondamentales](#) que constituent

1. l'équation de Poisson

2. l'équation de transport (courant de conduction et de diffusion des porteurs dans le canal)
3. l'équation de continuité pour les porteurs dans le canal

et qui fournissent une distribution en trois dimensions des électrons et des trous sous l'oxyde de grille. Dans le cas général, il n'existe pas d'expression analytique, et pour ce faire on est tenu de faire certaines hypothèses de calcul c'est à dire différentes approximations ou niveaux de modélisation.

3.1 Expression analytique du courant de drain

3.1.1 Hypothèses de calcul

Pour obtenir une expression analytique simple du courant de drain en fonction des tensions appliquées sur les différents accès du transistor MOS, on introduit les simplifications suivantes

- le système est réduit à une dimension
- l'influence du champ électrique longitudinal sur la désertion du substrat est ignorée
- le dopage est uniforme
- les propriétés volumiques des semi-conducteurs sont valables en surface
- l'isolant de grille est parfait
- les géométries sont parfaitement rectilignes
- tous les atomes donneurs (ND) et accepteurs (NA) sont ionisés.
- l'épaisseur du canal est infinitésimale et les charges de canal contribuent au champ électrique de surface mais pas au potentiel
- les courants de trous et les courants de diffusion sont négligeables
- la mobilité des électrons est constante
- ...

Ces simplifications correspondent à l'approximation dite du canal graduel, qui peut être interprétée comme correspondant à un transistor très long ($L \gg 10\mu m$) et très large ($W \gg 10\mu m$).

3.1.2 Etablissement du courant de drain pour le régime ohmique

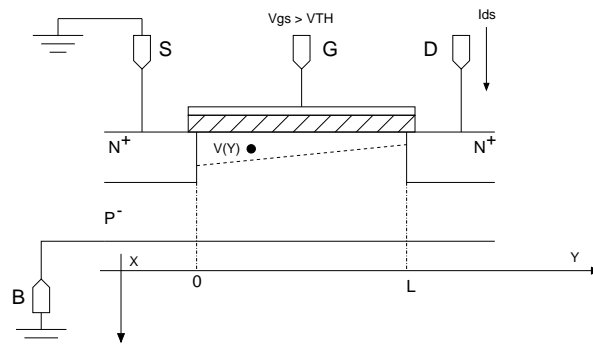


FIGURE 13 –

Profil du NMOS avec $V_{gs} > V_{TH}$ et $V_{ds} > 0$ dans le cadre de l'approximation du canal graduel

Considérons le profil d'un transistor MOS de type N de la *figure 13*. On peut facilement admettre qu'une tension grille-source $V_{gs} > V_{TH}$ crée sous la grille une zone inversée constituée d'électrons et procurant un chemin de conduction électrique entre le drain et la source. Sur la source, la [théorie élémentaire de la capacité MOS](#)

nous permet de quantifier la densité surfacique de charge inversée par l'équation de Poisson simplifiée

$$Q'_I(y=0) = -C_{ox}'(V_{gs} - V_{TH})$$

et en référençant les potentiels par rapport à la source, d'écrire pour une valeur quelconque de y

$$Q'_I(y) = -C_{ox}'(V_{gs} - V_{TH} - V(y)).$$

La vitesse d'un porteur ν étant liée au champ électrique E par la relation $\nu = \mu E$,

le courant I étant lié à la densité de courant J par la relation $I = J/S$,

la densité de courant étant liée à la charge volumique Q par la relation $J = Q \nu$,

et le champ électrique étant liée au potentiel $V(y)$ par la relation $E = dV(y)/dy$,

en terme de densité surfacique de charge et de potentiel, on peut écrire l'équation de transport

$$I_{ds} = -\mu_n W Q'_I(y) \frac{dV(y)}{dy}.$$

Il nous suffit maintenant d'intégrer la relation

$$I_{ds} dy = -\mu_n W Q'_I(y) dV(y)$$

sur la longueur du canal, soit, puisque lorsque y varie de 0 à L , $V(y)$ varie de 0 à V_{ds} ,

$$I_{ds} \int_0^L dy = -\mu_n W \int_0^{V_{ds}} Q'_I(y) dV(y)$$

pour obtenir

$$I_{ds} = \mu_n C_{ox}' \frac{W}{L} \int_0^{V_{ds}} (V_{gs} - V_{TH} - V(y)) dV(y)$$

soit

$$I_{ds} = \mu_n C_{ox}' \frac{W}{L} (V_{gs} - V_{TH} - \frac{V_{ds}}{2}) V_{ds}.$$

C'est l'équation d'une parabole correspondant à la courbe 1 représentée sur la *figure 14*. Ce régime de fonctionnement particulier, correspondant pour des valeurs de V_{ds} très petites, à une relation linéaire du type $I_{ds} = G.V_{ds}$ est appelé régime ohmique.

3.1.3 Etablissement du courant de drain pour le régime saturé

Physiquement, lorsque la courbe atteint son maximum pour

$$V_{ds} = V_{dsat} = V_{gs} - V_{TH},$$

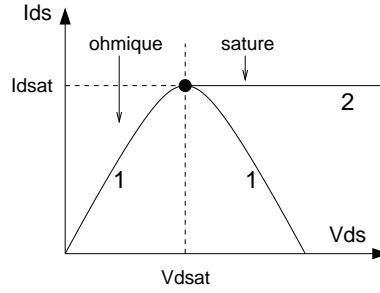


FIGURE 14 –

Représentation de l'équation de I_{ds}

la densité surfacique de charge d'inversion s'annule et la vitesse des électrons

$$v = \mu_n \frac{dV(y)}{dy} = \frac{I_{ds}}{W C_{ox}' (V_{gs} - V_{TH} - V(y))}$$

est infinie. Une première façon de lever cet artefact de modélisation est de constater que cette vitesse infinie des porteurs ne peut correspondre qu'à un pincement du canal au niveau du drain du fait de l'annulation de la charge de canal par l'effet de la tension de drain ($Q_I(L) = 0$) (*figure 15*) et qu'ainsi, le courant reste constant est égal à la valeur particulière

$$I_{dsat} = \frac{1}{2} \mu_n C_{ox}' \frac{W}{L} (V_{gs} - V_{TH})^2.$$

Cette modélisation simple du courant de drain en régime saturé correspond au modèle initial de Sha [19]. Une modélisation plus fine correspondant à l'observation pratique, est de considérer simplement que $Q_I(L) \ll Q_I(0)$ et que qualitativement une zone de longueur ΔL désertée par les porteurs et dépendant de la tension $V_{ds} > V_{dsat}$ réduit la longueur effective de canal à une valeur $L' = L - \Delta L$. De ce fait, on peut exprimer le courant de drain par la relation modifiée

$$I_{ds} = \frac{1}{2} \mu_n C_{ox}' \frac{W}{L(1 - \frac{\Delta L}{L})} (V_{gs} - V_{TH})^2,$$

et sachant que la longueur ΔL désertée est fonction de V_{ds} , écrire pour le régime saturé

$$I_{ds} = \frac{1}{2} \mu_n C_{ox}' \frac{W}{L} (V_{gs} - V_{TH})^2 (1 + \lambda V_{ds}).$$

Cette seconde modélisation, assumant une augmentation linéaire du courant de drain en fonction de V_{ds} et du facteur de modulation de canal λ telle que $\lambda V_{ds} \ll 1$ correspond au modèle de Schichmann-Hodges. On notera que le facteur de modulation de canal est inversement proportionnel à la longueur de canal et que par commodité, en conception analogique, on le considère sous la forme

$$\lambda = \frac{1}{L V_E}$$

le paramètre V_E étant le coefficient d'Early ($\approx qqs \ V/\mu m$).

On notera que conformément aux usages de la modélisation, on ne considère que les équations du transistor NMOS. Pour un PMOS, il suffit d'inverser les nœuds de référence ($I_{DS} \rightarrow I_{SD}, V_{DS} \rightarrow V_{SD}, \dots$), et de prendre la valeur absolue de V_{TH} .

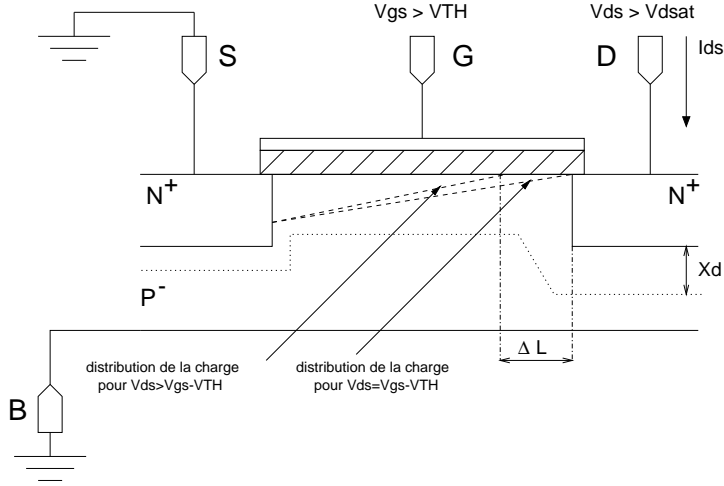


FIGURE 15 –

Profil du NMOS avec $V_{gs} > V_{TH}$ et $V_{ds} > V_{dsat}$

3.2 Expressions analytiques des capacités actives de grilles

3.2.1 Expressions générales

Pour déterminer la valeur des capacités actives de grille c'est à dire les capacités C_{gs} , C_{gd} et C_{gb} , au lieu de référencer les tensions par rapport à la source, on prend le canal comme référence des potentiels. De ce fait, l'équation de Poisson s'écrit

$$Q'_I(y) = -C_{ox}'(V_{gc}(y) - V_{TH})$$

et l'équation de transport devient

$$I_{ds} = -\mu_n W Q'_I(y) \frac{dV_{gc}(y)}{dy}.$$

Par intégration et en posant

$$V_{gc_t} = V_{gc} - V_{TH}$$

$$V_{gs_t} = V_{gs} - V_{TH}$$

$$V_{gd_t} = V_{gd} - V_{TH}$$

on obtient [16]

$$I_{ds} \int_0^L dy = -\mu_n W C_{ox}' \int_{V_{gs_t}}^{V_{gd_t}} V_{gc_t} dV_{gc_t}$$

soit

$$I_{ds} = \frac{1}{2} \mu_n C_{ox}' \frac{W}{L} (V_{gs_t}^2 - V_{gd_t}^2).$$

En un point arbitraire du canal, on peut obtenir $V_{gc_t}(y)$ avec

$$I_{ds} \int_0^y dy' = -\mu_n W C_{ox}' \int_{V_{gs_t}}^{V_{gc_t}(y)} V_{gc_t}' dV_{gc_t}'$$

et ainsi

$$V_{gc_t}(y) = \sqrt{V_{gs_t}^2 + \frac{y}{L} (V_{gd_t}^2 - V_{gs_t}^2)}.$$

Enfin par intégration de la charge d'inversion sur la longueur du canal, avec

$$C_{ox} = C_{ox}'WL$$

on peut écrire la charge totale

$$Q_I = -\frac{2}{3}C_{ox} \frac{Vgd_t^3 - Vgs_t^3}{Vgd_t^2 - Vgs_t^2}.$$

De même, en développant Vbs , la charge totale de substrat s'écrivant

$$Q_B = -C_{ox} \gamma \sqrt{2\Phi_F + Vgb_t - Vgs_t}$$

par conservation de la charge, avec

$$Q_G = -(Q_I + Q_B)$$

on obtient

$$Q_G = C_{ox} \left(\frac{2Vgd_t^3 - Vgs_t^3}{3Vgd_t^2 - Vgs_t^2} + \gamma \sqrt{2\Phi_F + Vgb_t - Vgs_t} \right).$$

Pour obtenir les expressions des différentes capacités de grille C_{gs}, C_{gd} et C_{gb} , il suffit de dériver la charge de grille respectivement par rapport aux différentes tensions Vgs , Vgd et Vgb .

3.2.2 Le modèle capacitif de Meyer standard

Pour obtenir un traitement analytique simple l'approximation de Meyer [13] considère que la tension substrat-source Vbs est constante ce qui permet décrire

$$C_{gs} = \frac{\partial Q_G}{\partial Vgs} = \frac{2}{3}C_{ox} \left(1 - \frac{Vgd_t^2}{(Vgs_t + Vgd_t)^2} \right) = \frac{2}{3}C_{ox} \left(1 - \left(\frac{Vgs - VTH - Vds}{2(Vgs - VTH) - Vds} \right)^2 \right)$$

$$C_{gd} = \frac{\partial Q_G}{\partial Vgd} = \frac{2}{3}C_{ox} \left(1 - \frac{Vgs_t^2}{(Vgs_t + Vgd_t)^2} \right) = \frac{2}{3}C_{ox} \left(1 - \left(\frac{Vgs - VTH}{2(Vgs - VTH) - Vds} \right)^2 \right)$$

et

$$C_{gb} = \frac{\partial Q_G}{\partial Vgb} = 0.$$

Ces expressions sont valables pour le régime ohmique et on notera qu'à $Vds = 0$:

$$C_{gb} = 0, \text{ et } C_{gs} = C_{gd} = 0,5C_{ox}.$$

Pour le régime saturé, avec $Vgs_t = 0$, le modèle capacitif devient

$$C_{gs} = \frac{2}{3}C_{ox} \quad C_{gd} = 0 \quad \text{et} \quad C_{gb} = 0.$$

Une interprétation du modèle de Meyer [16] peut être donnée à partir du schéma électrique du transistor MOS de la *figure 16* impliquant un couplage grille-source et grille-drain réciproque, c'est à dire tel que

$$C_{gs} = \frac{\partial Q_G}{\partial Vgs} = C_{sg} = \frac{\partial Q_S}{\partial Vsg} = -\frac{\partial Q_S}{\partial Vgs}$$

et

$$C_{gd} = \frac{\partial Q_G}{\partial Vgd} = C_{dg} = \frac{\partial Q_D}{\partial Vdg} = -\frac{\partial Q_D}{\partial Vgd}$$

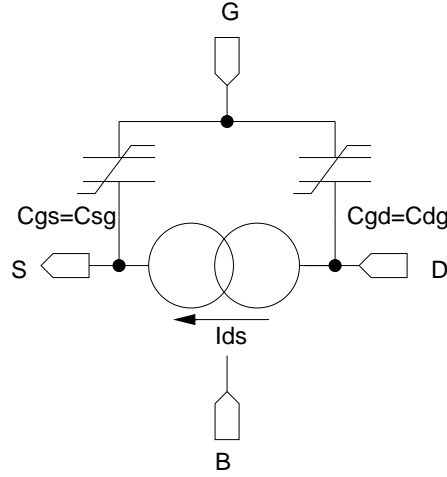


FIGURE 16 –

Représentation électrique du modèle capacitif de Meyer

3.2.3 Le modèle capacitif de Meyer à conservation de charge

- Pourquoi le modèle de Meyer standard est-il non conservatif ?

Si on considère l'équation du principe de conservation de charge pour le transistor MOS

$$Q_G + Q_S + Q_D + Q_B = 0$$

et sa dérivée par rapport à V_{gs}

$$\frac{\partial Q_G}{\partial V_{gs}} + \frac{\partial Q_S}{\partial V_{gs}} + \frac{\partial Q_D}{\partial V_{gs}} + \frac{\partial Q_B}{\partial V_{gs}} = 0,$$

conformément aux hypothèses de Meyer, c'est à dire avec la réciprocité et avec une charge de substrat constante, on est conduit à écrire la relation

$$\frac{\partial Q_G}{\partial V_{gs}} - \frac{\partial Q_G}{\partial V_{gs}} + \frac{\partial Q_D}{\partial V_{gs}} = 0$$

c'est à dire

$$\frac{\partial Q_D}{\partial V_{gs}} = 0.$$

De même, en dérivant par rapport à V_{gd} , on obtient

$$\frac{\partial Q_S}{\partial V_{gd}} = 0.$$

En d'autres termes, réciprocité et conservation de charge ne peuvent être assurées que si Q_D ne dépend que de V_{gd} et que si Q_S ne dépend que de V_{gs} , ce qui implique que la charge de canal doit pouvoir être fractionnée avec

$$Q_I(V_{gs}, V_{gd}) = Q_S(V_{gs}) + Q_D(V_{gd}),$$

ce qui est impossible avec le modèle de Meyer sous sa forme standard. Le modèle de Meyer standard est ainsi un modèle non physique du point de vue conservation de la

charge, donc susceptible d'être de manière inhérente imprécis lors d'une analyse non linéaire effectuée par un simulateur électrique.

- Comment le rendre conservatif?

Pour rendre le modèle de Meyer conservatif il suffit de spécifier explicitement Q_S et Q_D au lieu de les spécifier implicitement à partir de leur dérivées, par l'intermédiaire des capacités. Pour ce faire, il suffit d'imposer a priori le partage des charges entre le drain et la source, tel que leur somme soit égale à la charge de canal, ceci peut être fait en considérant les équations de continuité qui ne sont pas considérées à l'origine par Meyer

$$Q'_S(y) = (1 - \frac{y}{L})Q'_I(y)$$

et

$$Q'_D(y) = \frac{y}{L}Q'_I(y).$$

Ce qui donne après intégration

$$Q_S = W \int_0^L (1 - \frac{y}{L})Q'_I(y)dy$$

soit

$$Q_S = -\frac{Cox}{3}(\frac{1}{5}Vgs_t + \frac{4}{5}Vgd_t + \frac{Vgs_t^2}{Vgs_t + Vgd_t} + \frac{1}{5} \frac{Vgs_t Vgd_t (Vgs_t - Vgd_t)}{(Vgs_t + Vgd_t)^2})$$

et

$$Q_D = W \int_0^L \frac{y}{L}Q'_I(y)dy$$

soit

$$Q_D = -\frac{Cox}{3}(\frac{1}{5}Vgd_t + \frac{4}{5}Vgs_t + \frac{Vgd_t^2}{Vgs_t + Vgd_t} + \frac{1}{5} \frac{Vgs_t Vgd_t (Vgd_t - Vgs_t)}{(Vgs_t + Vgd_t)^2}).$$

Si le [simulateur électrique](#)

le permet, c'est à dire si il utilise comme variable d'état pour l'intégration numérique la charge et non pas la capacité, les expressions de charge ci-dessus sont directement utilisables dans les algorithmes de calcul.

3.3 Le modèle SPICE de niveau 1

Dans la hiérarchie des modèles actuellement utilisés, le modèle de niveau 1 est maintenant totalement obsolète, mais il a un intérêt pédagogique certain puisqu'il est à la source des trois générations de modèles et que contrairement à tous les autres modèles, de part son faible nombre de paramètres, il est utilisable "manuellement" c'est à dire sans l'utilisation d'un simulateur électrique.

3.3.1 Modélisation du courant de drain

La modélisation du courant de drain est réalisée à partir du modèle de Schichmann-Hodges :

- zone bloquée : $Vgs \leq VTH$

$$Ids = 0.0$$

- zone ohmique : $V_{gs} > V_{TH}$ et $0 \leq V_{ds} < V_{dsat}$

$$I_{ds} = \mathbf{U0} \mathbf{COX} \frac{W_{eff}}{L_{eff}} (V_{dsat} - \frac{V_{ds}}{2}) V_{ds} (1 + \mathbf{LAMBDA} V_{ds})$$

- zone saturée : $V_{gs} > V_{TH}$ et $V_{ds} \geq V_{dsat}$

$$I_{ds} = 0,5 \mathbf{U0} \mathbf{COX} \frac{W_{eff}}{L_{eff}} V_{dsat}^2 (1 + \mathbf{LAMBDA} V_{ds})$$

avec

$$V_{dsat} = V_{gs} - V_{TH} : \text{tension de saturation}$$

et

$$V_{TH} = \mathbf{VT0} + \mathbf{GAMMA} (\sqrt{\mathbf{PHI} - V_{bs}} - \sqrt{\mathbf{PHI}}) : \text{la tension de seuil.}$$

$\mathbf{VT0}$ est la tension de seuil à tension de substrat nulle

$\mathbf{U0}$ est la mobilité des porteurs

\mathbf{COX} est la capacité d'oxyde de grille

$\mathbf{GAMMA} = \frac{\sqrt{2q\epsilon_{SI}\mathbf{NSUB}}}{\mathbf{COX}}$ est le coefficient d'effet de substrat

\mathbf{NSUB} est la concentration de dopage dans le substrat

$\mathbf{PHI} = 2V_t \text{Log}(\frac{\mathbf{NSUB}}{n_i})$ est le potentiel de surface

$q = 1,6021918 \cdot 10^{-19} C$ est la charge de l'électron

$\epsilon_{SI} = 0,103594313 \cdot 10^{-9} F/m$ est la permittivité du silicium

$n_i = 0,0145 \cdot 10^{18} m^{-3}$ est la concentration des porteurs intrinsèques

$V_t = \frac{K_B T_K}{q} = 0,0259$ à $300^\circ K$ est la tension thermique

$K_B = 1,3806226 \cdot 10^{-23} C.V/K$ est la constante de Boltzmann

T_K est la température en degrés Kelvin

Tous les paramètres en caractères gras sont éventuellement des paramètres d'entrée du simulateur électrique standard [SPICE](#).

3.3.2 Modélisation des capacités actives

La détermination des capacités de grille est effectuée à partir du formalisme standard de Meyer et en tenant compte d'une éventuelle tension de substrat :

- accumulation : $V_{gs} - V_{TH} \leq -\mathbf{PHI}$

$$C_{gb} = CAP$$

$$C_{gd} = 0$$

$$C_{gs} = 0$$

- accumulation : $V_{gs} - V_{TH} \leq \frac{\mathbf{PHI}}{2}$

$$C_{gb} = -CAP \frac{V_{gs} - V_{TH}}{\mathbf{PHI}}$$

$$C_{gd} = 0$$

$$C_{gs} = 0$$

- désertion : $V_{gs} - V_{TH} \leq 0$

$$C_{gb} = -CAP \frac{V_{gs} - V_{TH}}{\mathbf{PHI}}$$

$$C_{gd} = 0$$

$$C_{gs} = \frac{CAP}{1,5} (2 \frac{V_{gs} - V_{TH}}{\mathbf{PHI}} + 1)$$

- forte inversion et régime ohmique : $V_{gs} - V_{TH} > 0$ et $V_{ds} < V_{dsat}$

$$\begin{aligned} C_{gb} &= 0 \\ C_{gd} &= \frac{CAP}{1,5} \left(1 - \left(\frac{V_{dsat} - V_{bs}}{2(V_{dsat} - V_{bs}) - V_{db}} \right)^2 \right) \\ C_{gs} &= \frac{CAP}{1,5} \left(1 - \left(\frac{V_{dsat} - V_{ds}}{2(V_{dsat} - V_{bs}) - V_{db}} \right)^2 \right) \end{aligned}$$

- forte inversion et régime saturé : $V_{gs} - V_{TH} \geq 0$ et $V_{ds} \geq V_{dsat}$

$$\begin{aligned} C_{gb} &= 0 \\ C_{gd} &= 0 \\ C_{gs} &= \frac{CAP}{1,5} \end{aligned}$$

Le paramètre intermédiaire CAP se calcul à partir de la longueur effective de canal et la largeur physique avec

$$CAP = \mathbf{COX} L_{eff} W_{phy}.$$

3.3.3 Modélisation des effets de la température

Les dispositifs électroniques doivent pouvoir travailler dans une grande plage de température (de 0 à $70^\circ C$ pour la gamme civile et de $-55^\circ C$ à $125^\circ C$ pour la gamme militaire) sans dégradation prohibitive de leurs performances. Ainsi, il est impératif de prendre en compte au niveau des modèles des transistors MOS les effets de la température. Pour le niveau 1 (comme pour tous les modèles de première génération) la modélisation des effets de la température est simplement effectuée à partir de la mobilité en posant dans les équations

$$U_0(T) = \mathbf{U0} \left(\frac{T_{Knom}}{T_{Kref}} \right)^{\mathbf{BEX}}$$

et éventuellement à partir de la conductance de sortie en posant

$$LAMBDA(T) = \mathbf{LAMBDA} (1 + \mathbf{LAMEX} (T_{Knom} - T_{Kref})).$$

T_{ref} est la température de caractérisation, c'est à dire la température à laquelle ont été mesuré les paramètres du modèle de référence, et T_{nom} est la température nominale de simulation correspondant à la température d'utilisation. Le paramètre BEX est de l'ordre de 1,5.

4 Les attributs du modèle idéal

Le développement d'un bon modèle de transistor pour l'électronique analogique est une tâche extrêmement complexe. En effet, il ne suffit pas que le modèle soit précis en terme de courant et de charge, il faut également qu'il fournisse une bonne estimation des paramètres petits signaux et qu'il soit suffisamment robuste au sens calcul numérique pour permettre tous les types d'analyses c'est à dire en régime transitoire, statique et alternatif sans problèmes de convergence et dans des temps de calcul non prohibitifs. Il faut donc que pour toutes les zones de fonctionnement, les expressions analytiques et leurs dérivées décrivant le fonctionnement du transistor en terme de courant et de

charges ne présentent aucune discontinuité quelque soit la zone de fonctionnement et pour toutes les dimensions [8]. Si on ajoute à ces contraintes le fait que pour un canal court et étroit (W et L submicroniques) certains phénomènes physiques (par exemple la mobilité) ne semblent plus régis par des lois universelles mais par des lois locales valides pour une technologie ou même une fabrication particulière, on comprend aisément que si de nombreux modèles sont disponibles et que de nombreux modèles continuent à être proposés, tous ne jouissent pas de toutes les bonnes propriétés requises pour la conception des dispositifs analogiques. Ainsi, un "bon" candidat, pour la modélisation analogique doit au moins posséder un certain nombre d'attributs que ne possède pas le niveau 1 :

- La conduction sous le seuil :

Le modèles de niveau 1 ne calcule que le courant de conduction pour un potentiel de surface supérieur à une certaine valeur ($2\Phi_F$), en réalité, même pour des valeurs de tension de grille inférieures à V_{TH} et il existe une concentration de porteurs à l'interface isolant/semi-conducteur essentiellement due à la diffusion de porteurs minoritaires traversant la barrière de potentiel source-canal et générant un courant de diffusion (courant sous le seuil ou en faible inversion) qui s'écrit sous sa forme la plus simple [23]

$$I_{ds} \approx I_0 \frac{W}{L} e^{\frac{V_{gs}-V_{TH}}{\eta V_t}} (1 - e^{\frac{-V_{ds}}{V_t}}).$$

- La compactitude :

Le calcul des principaux indices de performances des dispositifs actifs analogiques (gain, distorsion harmonique, ...) fait appel à des calcul de dérivées d'ordre souvent supérieur à l'unité, il est donc indispensable que le passage entre les différents régimes de fonctionnement du modèle se fasse sans discontinuité. Ceci ne peut effectivement être réalisé que si la modélisation se fait à partir d'une seule équation valable dans toutes les régions, ce qui oblige pratiquement à utiliser un arsenal de fonctions mathématiques de lissage pour décrire les paramètres principaux et intermédiaires de calcul [10] [7]. Ainsi, on peut vérifier que l'équation [21]

$$I_{ds} = 2\mu_{cox} \frac{W}{L} \eta V_t^2 (\text{Log}^2(1 + e^{\frac{V_{gs}-V_{TH}}{2\eta V_t}}) - \text{Log}^2(1 + e^{\frac{V_{gs}-V_{TH}-\eta V_{ds}}{2\eta V_t}}))$$

tend asymptotiquement vers l'équation précédente en faible inversion et les deux équations du niveau 1 en forte inversion. Elle garantit par construction la continuité du modèle. Un tel modèle est dit compacte ou infiniment dérivable.

- L'homothéticité :

Pour des transistors submicroniques, les modèles à une dimension doivent être corrigés pour prendre en compte des phénomènes de proximités, de courbure de lignes de champ, de dopages non uniformes, Ces phénomènes conduisant à une modification du courant de drain en fonction des dimensions peuvent être partiellement pris en compte en définissant une tension effective de seuil $V_{TH_{eff}}$, une longueur effective de canal fonction des dimensions et des tensions de polarisation, Ainsi, un modèle homothétique ("scalable") est un modèle prenant intrinsèquement en compte tous les effets de dépendance géométrique, la validité de ses équations de fonctionnement est garantie quelque soient les dimensions du transistor.

- La réduction de la mobilité :

Le modèle de niveau 1 considère une mobilité constante des porteurs, alors que l'on observe en pratique une modification de cette mobilité par l'action des champs électriques vertical et longitudinal.

- ...

5 Les modèles intrinsèques standards

5.1 Modélisation intrinsèque et extrinsèque

En terme de modélisation on distingue usuellement le modèle intrinsèque donné par les équations de fonctionnement du transistor MOS et le modèle extrinsèque (*figure 17*). Ce dernier est constitué de l'environnement du transistor principalement constitué par les résistances d'accès de drain et de source R_d et R_s et les jonctions substrat-source et substrat-drain polarisées normalement en inverse et modélisables à partir des capacités de jonction associées C_{jbd} et C_{jbs} et des courants de fuite I_{bd} et I_{bs} . L'effet de la jonction caisson-substrat modélisé par une capacité $C_{jbb'}$ n'est considéré que si le transistor est placé dans un caisson devant être isolé électriquement du substrat (typiquement, c'est le cas d'une source de transistor P reliée à son caisson N et isolés du substrat P).

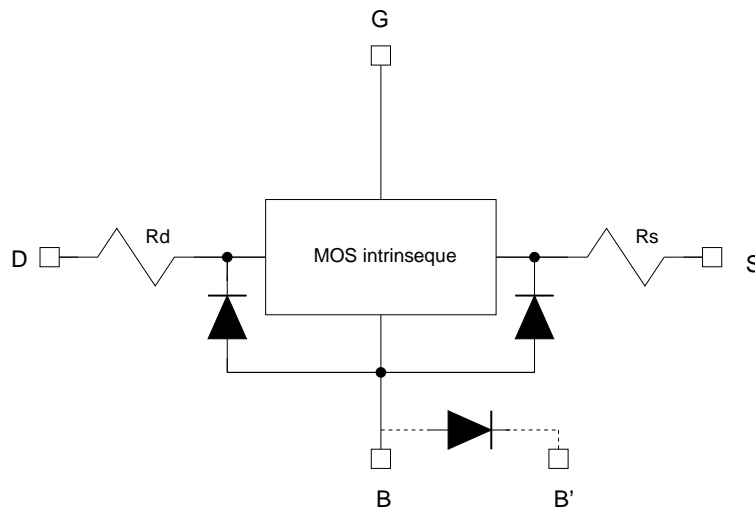


FIGURE 17 –

Modélisation extrinsèque et intrinsèque du MOS

5.2 Une classification des modèles intrinsèques

Une comparaison des mérites respectifs des principaux modèles peut être établie à partir de leur appartenance à l'une des trois générations définies en [4].

- Modèles de première génération :

Ils sont essentiellement basés sur les lois universelles de la physique des semi-conducteurs. Les représentants types sont les modèles de niveaux 1, 2 et 3 de type SPICE Berkeley [14]. Si le niveau 1 est maintenant totalement obsolète, les niveaux 2 et 3 continuent à être utilisés pour la simulation électrique des circuits numériques. Ils sont connus pour être susceptibles de présenter des discontinuités entre les différentes zones de fonctionnement notamment pour les transistors submicroniques et ils modélisent très mal la conductance de sortie et le fonctionnement en faible inversion. Ils sont peu à peu abandonnés. Le niveau 3 qui est un modèle partiellement empirique donnent généralement de meilleurs résultats que le niveau 2 souvent considéré comme un modèle "académique".

● Modèles de deuxième génération :

Par rapport à la génération précédente, un grand nombre de paramètres électriques empiriques sont introduits pour prendre en compte les effets de canal court et étroit , essayer de résoudre les problèmes de convergence et améliorer le fonctionnement en faible inversion. Contrairement au niveau 2 et 3 pour lesquels quelques effets de dépendances géométriques sont directement codés dans le modèle, les modèles de deuxième génération utilisent une structure de calcul additionnelle contenant les dépendances géométriques. Dans cette structure additionnelle, L_{eff} et W_{eff} étant respectivement la longueur et la largeur effective de canal, chaque paramètre X sujet à des dépendances géométriques est considéré sous la forme composite

$$X = X_0 + \frac{LX}{L_{eff}} + \frac{WX}{W_{eff}} + \frac{PX}{W_{eff} \cdot L_{eff}}.$$

Cette technique, utilisable sous forme discrète pour les modèles de première génération avec certains simulateurs, est connue sous l'anglicisme de "binning". Schématiquement, faire du "binning" sur un modèle consiste à diviser l'espace des valeurs possibles pour L et W en plusieurs régions adjacentes (*figure 18*) et d'affecter pour chaque région un modèle différent. La continuité entre les régions est supposée être assurée par la forme composite des paramètres sujets au "binning". Les représentants types de cette génération de modèle sont BSIM1 et BSIM2 développés à l'université de Berkeley. Leur caractère essentiellement empirique rendant très compliquée l'extraction des paramètres, ces modèles ont très vite été abandonnés et supplantés par les modèles de troisième génération.

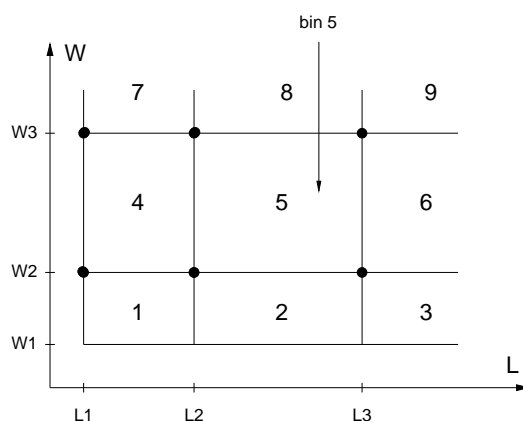


FIGURE 18 –

Représentation du "binning"

- Modèles de troisième génération :

Du fait de la réduction des tensions d'alimentation et de la forte demande en terme de circuits électroniques basse consommation, les concepteurs des dispositifs actifs analogiques ont tendance autant que faire ce peut, d'une part à fixer les points de fonctionnement des transistors entre la zone ohmique et saturée, et d'autre part à travailler au voisinage de la faible inversion (inversion dite modérée) pour optimiser la dynamique des signaux, Or, dans ces zones de transition, les modèles précédents s'avèrent totalement inappropriés pour une évaluation fiable des performances des circuits réalisés. Ceci a donné naissance dans les années 1990 à une troisième génération de modèles. Ces modèles sont de nouveau basés sur les lois de la physique des semi-conducteurs et sont caractérisés par une équation unique quelque soit la zone de fonctionnement. Le raccordement entre les différentes zones de fonctionnement est assuré par l'utilisation intensive de fonctions de lissage [7]. Par principe, ces modèles compacts sont continus pour eux même et leurs dérivées. Les deux représentants types sont BSIM3v3 développé à l'université de Berkeley [11] [3] et MM9 développé à Philips Eindhoven [24]. Le code SPICE et le manuel étant mis gratuitement à la disposition des utilisateurs sur le réseau par Berkeley (<http://www.eecs.berkeley.edu/>), BSIM3v3 est rapidement devenu de fait le modèle standard utilisé actuellement en conception micro-électronique. Depuis l'an 2000, BSIM4, un nouveau modèle offrant quelques améliorations, principalement en terme de bruit et de modélisation extrinsèque par rapport à BSIM3v3, est proposé par Berkeley.

6 Modélisations petit signal

Lorsqu'il est utilisé en amplificateur, le transistor MOS (comme tout composant actif) doit être linéarisé. Pour ce faire, on fixe un point de fonctionnement (ou point de repos), par exemple le point M_0 de la *figure 10*, par l'intermédiaire de sources de tension continue appliquées sur les quatre accès et on détermine un modèle linéaire, donné sous la forme d'un schéma électrique, valable au voisinage de ce point. Cette procédure correspond à une modélisation spécifique de type petit signal ou incrémental.

6.1 Un circuit équivalent petit signal et basses fréquences

Si nous prenons arbitrairement la source du transistor MOS comme référence, le courant drain-source du transistor MOS a pour expression

$$I_{ds} = f(V_{gs}, V_{bs}, V_{ds})$$

Autour d'un point de repos M_0 correspondant aux conditions particulières de polarisation $V_{gs} = V_{GS_0}$, $V_{ds} = V_{DS_0}$, $V_{bs} = V_{BS_0}$ et $I_{ds} = I_{DS_0}$ on peut écrire la différentielle

$$dI_{ds} = \frac{\partial I_{ds}}{\partial V_{gs}} dV_{gs} + \frac{\partial I_{ds}}{\partial V_{bs}} dV_{bs} + \frac{\partial I_{ds}}{\partial V_{ds}} dV_{ds}$$

soit en terme de variables petit signal

$$ids = gm vgs + gmb vbs + gds vds.$$

Les coefficients des différentes tensions petit signal aux accès sont des indices de performance caractéristiques du point de fonctionnement considéré.

- Le coefficient g_m est la transconductance de grille :

$$g_m = \left(\frac{\partial I_{ds}}{\partial V_{gs}} \right)_{M_0}.$$

- Le coefficient g_{mb} est la transconductance de substrat :

$$g_{mb} = \left(\frac{\partial I_{ds}}{\partial V_{bs}} \right)_{M_0}.$$

- Le coefficient g_{ds} est la conductance de sortie :

$$g_{ds} = \left(\frac{\partial I_{ds}}{\partial V_{ds}} \right)_{M_0}.$$

Autour du point de repos M_0 , le transistor MOS est ainsi représentable par le schéma électrique équivalent de la *figure 19*

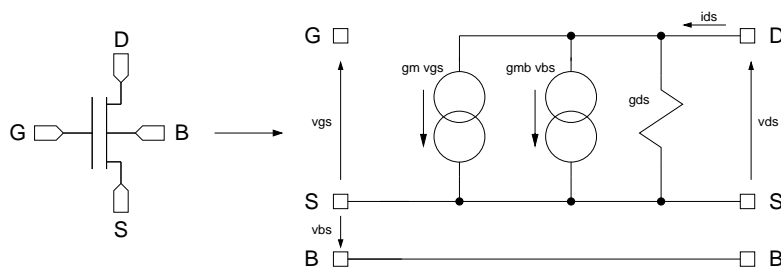


FIGURE 19 –

Schéma équivalent petit signal et basses fréquences du MOS

6.2 Un circuit équivalent petit signal et moyennes fréquences

Le comportement des dispositifs traitant des signaux de faible amplitude et dépendant de la fréquence ne peuvent être correctement décrit à partir du modèle précédent. Pour ce faire, il est nécessaire de prendre en compte les effets capacitifs générés par les charges stockées sur les différents accès du transistor MOS. Une manière simple de réaliser cette opération est de considérer un transistor virtuel ayant un drain et une source de dimension nulle pour ne prendre en compte que les charges associées à la grille et au substrat (Meyer standard). On peut ainsi définir trois capacités actives de grille :

$$c_{gs} = \frac{\partial Q_g}{\partial V_{gs}}, \quad c_{gd} = \frac{\partial Q_g}{\partial V_{gd}} \quad \text{et} \quad c_{gb} = \frac{\partial Q_g}{\partial V_{gb}}$$

ainsi que deux capacités de substrat

$$c_{bd} = \frac{\partial Q_b}{\partial V_{bd}} \quad \text{et} \quad c_{bs} = \frac{\partial Q_b}{\partial V_{bs}}.$$

Aux moyennes fréquences, le transistor MOS est ainsi représentable par le schéma électrique équivalent de la *figure 20*

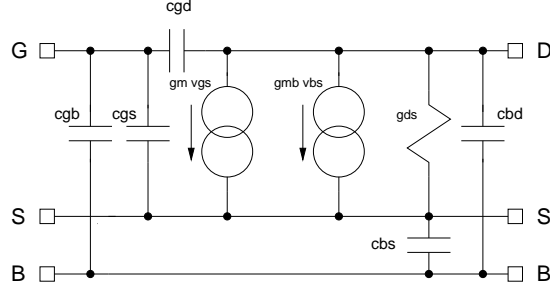


FIGURE 20 –

Schéma équivalent petit signal et moyennes fréquences du MOS

6.3 Un circuit équivalent petit signal du modèle capacitif complet

L'expérience montrant que le modèle précédent modélise mal certains phénomènes électriques liés au régime transitoire tels que l'injection de charge d'horloge dans les circuits à capacités commutées, il est apparu nécessaire au modélisateur [25] de compléter celui-ci en considérant les charges associées au drain et à la source du composant. Si on prend en compte le fait que chaque accès est en influence électrostatique avec les trois autres, le fonctionnement du transistor MOS peut être décrit à partir des quatre courants capacitifs

$$\begin{aligned}
 ig &= \frac{dQg}{dt} = \frac{\partial Qg}{\partial Vg} \frac{dVg}{dt} + \frac{\partial Qg}{\partial Vd} \frac{dVd}{dt} + \frac{\partial Qg}{\partial Vs} \frac{dVs}{dt} + \frac{\partial Qg}{\partial Vb} \frac{dVb}{dt} \\
 ib &= \frac{dQb}{dt} = \frac{\partial Qb}{\partial Vg} \frac{dVg}{dt} + \frac{\partial Qb}{\partial Vd} \frac{dVd}{dt} + \frac{\partial Qb}{\partial Vs} \frac{dVs}{dt} + \frac{\partial Qb}{\partial Vb} \frac{dVb}{dt} \\
 id &= \frac{dQd}{dt} = \frac{\partial Qd}{\partial Vg} \frac{dVg}{dt} + \frac{\partial Qd}{\partial Vd} \frac{dVd}{dt} + \frac{\partial Qd}{\partial Vs} \frac{dVs}{dt} + \frac{\partial Qd}{\partial Vb} \frac{dVb}{dt} \\
 is &= \frac{dQs}{dt} = \frac{\partial Qs}{\partial Vg} \frac{dVg}{dt} + \frac{\partial Qs}{\partial Vd} \frac{dVd}{dt} + \frac{\partial Qs}{\partial Vs} \frac{dVs}{dt} + \frac{\partial Qs}{\partial Vb} \frac{dVb}{dt}.
 \end{aligned}$$

Les courants capacitifs étant liés par la loi de Kirchhoff :

$$ig + ib + id + is = 0$$

avec

$$c_{ll} = \frac{\partial Ql}{\partial Vl} \text{ et } c_{lm} = -\frac{\partial Ql}{\partial Vm} \text{ si } m \neq l$$

on obtient

$$\begin{aligned}
 c_{dd} &= c_{dg} + c_{db} + c_{ds} = c_{gd} + c_{bd} + c_{sd} \\
 c_{gg} &= c_{gd} + c_{gb} + c_{gs} = c_{dg} + c_{bg} + c_{sg} \\
 c_{bb} &= c_{bd} + c_{bg} + c_{bs} = c_{db} + c_{gb} + c_{sb} \\
 c_{ss} &= c_{sd} + c_{sg} + c_{sb} = c_{ds} + c_{gs} + c_{bs}.
 \end{aligned}$$

Il y a ainsi neuf termes capacitifs indépendants. Si d'autre part on veut pouvoir considérer le modèle capacitif complet comme une extension du modèle de la *figure 20*, avec

$$V_{ds} = V_d - V_s, \quad V_{gs} = V_g - V_s \text{ et } V_{bs} = V_b - V_s,$$

il suffit d'effectuer les recombinaisons nécessaires [22] pour écrire :

$$\begin{aligned}
ig &= cgb \frac{dV_{gb}}{dt} + cgd \frac{dV_{gd}}{dt} + cgs \frac{dV_{gs}}{dt} \\
ib &= cgb \frac{dV_{bg}}{dt} + cbd \frac{dV_{bd}}{dt} + cbs \frac{dV_{bs}}{dt} - cmx \frac{dV_{gb}}{dt} \\
id &= cgd \frac{dV_{dg}}{dt} + cbd \frac{dV_{db}}{dt} + csd \frac{dV_{ds}}{dt} - cm \frac{dV_{gs}}{dt} - cmb \frac{dV_{bs}}{dt}
\end{aligned}$$

en posant

$$cm = cdg - cgd \quad cmb = cdb - cbd \quad \text{et} \quad cmx = cbg - cgb.$$

On arrive ainsi au schéma électrique équivalent de la *figure 21*. La variable multiplicative p représente l'opérateur dérivation et les trois termes capacitifs additionnels cm , cmb et cmx sont des transcaptacités (coefficients d'influence électrostatique).

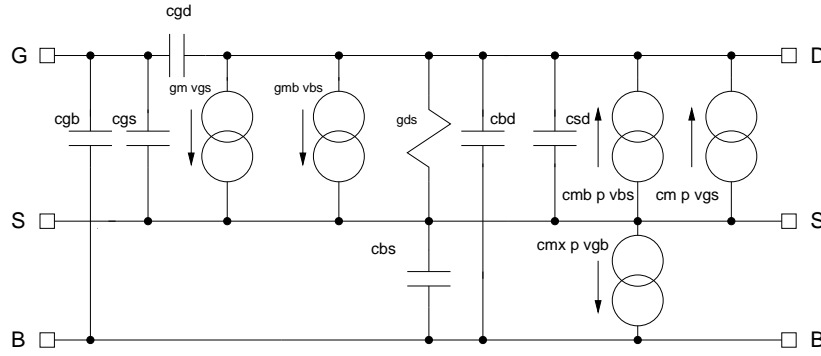


FIGURE 21 –

Schéma équivalent petit signal du modèle capacitif complet du MOS

6.4 Domaines de validité en fréquences des modèles

Pour que les modèles basses et moyennes fréquences soient une bonne approximation de la réalité, il faut que la période des signaux traités soient beaucoup plus grandes que le temps de transit des électrons dans le canal du MOS. Sinon le transistor doit être considéré comme un dispositif à constantes réparties (modèle non quasi-statique) et non plus à constantes localisées (modèle quasi-statique). Généralement, on considère que le modèle quasi-statique est une approximation suffisante [22] dans une gamme de fréquence inférieure à $Fmax \ll \frac{\mu V_{ds}}{L^2}$ en forte inversion et zone ohmique, à $Fmax \ll \frac{\mu(V_{gs}-V_{TH})}{L^2}$ en forte inversion et zone saturé, et à $Fmax \ll \frac{2\mu V_t}{L^2}$ en faible inversion et régime saturé. Quant au choix entre modèle capacitif complet ou incomplet, il dépend du niveau de précision désiré pour la réponse en fréquence du dispositif considéré. Une différence entre les deux modèles peut être établie à partir de l'amplificateur basique de la *figure 22*. La capacité cs représentant la somme de toutes les capacités sur le nœud de sortie, l'expression analytique du gain en tension en forte inversion et régime saturé :

$$\frac{vs}{ve} = -\frac{gm}{gds} \frac{1 - \frac{cgd+cm}{gm} p}{1 + \frac{cs+cgd}{gds} p}$$

montre que la capacité cm ($\approx 0,4cgs$) introduite par le modèle capacitif complet peut diminuer notablement la valeur du zéro de la fonction de transfert et en conséquence modifier la réponse en fréquence (principalement la phase), et ce d'autant plus que la

transconductance de grille est faible.

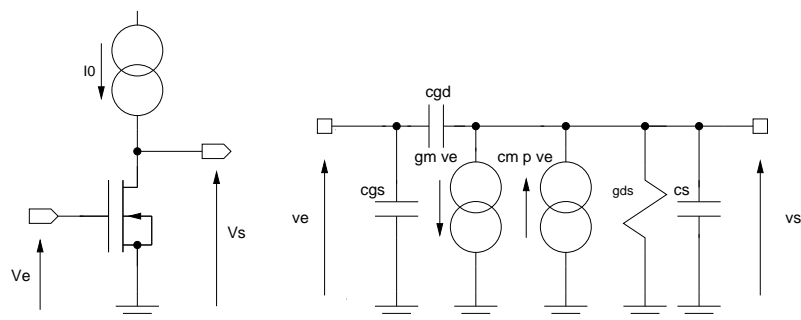


FIGURE 22 –

Amplificateur de tension basique et son schéma équivalent

7 Un modèle analytique de conception

Si les modèles standards sont bien adaptés pour réaliser les simulations numériques finales nécessaires à la vérification des performances d'un dispositif actif, ils sont trop compliqués pour la mise au point ou la création de nouveaux dispositifs. Pour ce faire, on a besoin d'un modèle analytiquement simple, ne prenant en compte qu'un nombre réduit de paramètres physiques et construit hiérarchiquement pour pouvoir facilement mettre en évidence l'influence d'un paramètre particulier sur les performances du dispositif conçu. Ce modèle, purement formel, permet l'établissement d'un jeu d'équations de synthèse spécifiquement utilisé pour dimensionner effectivement un dispositif à partir d'un modèle standard. Il sert de lien entre les spécifications électriques que doit réaliser le dispositif et le modèle standard fourni par le fondeur.

7.1 Un modèle banalisé

Comme pour tous les autres modèles le point de départ est le niveau 1 SPICE précédemment explicité, en prenant en compte éventuellement :

1. un fonctionnement de type bipolaire sous le seuil [17]
2. la réduction de la mobilité par l'action du champ électrique vertical, du champ électrique longitudinal et de l'effet de substrat
3. la modification de la tension de seuil par les effets combinés de L, W et Vds
4. la modification de Vdsat par l'effet de substrat
5. la modulation de longueur de canal en saturation

7.1.1 Modèle grand signal

- en faible inversion : $V_{gs} \leq V_{TH}$

$$I_{ds} = \frac{W}{L} I_{DX} \exp\left(\frac{V_{gs} - V_{TH}}{\eta V_t}\right) \exp\left(\frac{(\eta - 1)V_{bs}}{\eta V_t}\right) (1 - \exp\left(-\frac{V_{ds}}{V_t}\right))$$

avec

$$\eta = 1 + \frac{\gamma_{eff}}{2\sqrt{1,5\phi - Vbs}}$$

- en forte inversion et régime ohmique : $Vgs > VTH$ et $0 \leq Vds < Vdsat$

$$Ids = \mu_{eff} \text{cox} \frac{W}{L} ((Vgs - VTH) Vds - \frac{1+\delta}{2} Vds^2)$$

- en forte inversion et régime saturé : $Vgs > VTH$ et $Vds \geq Vdsat$

$$Ids = \mu_{eff} \text{cox} \frac{W}{L} \frac{(Vgs - VTH)^2}{2(1+\delta)} \left(1 + \frac{Vds - Vdsat}{LVE}\right)$$

à partir des paramètres électriques intermédiaires :

- tension de seuil : $VTH = VTH_0 + \gamma_{eff}(\sqrt{\phi - Vbs} - \sqrt{\phi}) + \eta_v Vds$
- coefficient d'effet de substrat : $\gamma_{eff} = \gamma + \frac{\eta L}{L} + \frac{\eta W}{W}$
- tension de saturation : $Vdsat = \frac{Vgs - VTH}{1+\delta}$ avec $\delta = \frac{\gamma_{eff}}{2\sqrt{\phi - Vbs}}$
- mobilité effective : $\mu_{eff} = \frac{\mu_0}{(1+\theta_a(Vgs - VTH) + \theta_b Vbs) (1 + \frac{Vds}{L\epsilon_c})}$.

Pour le fonctionnement en faible inversion, régit par une équation unique dans laquelle

$$IDX = \mu_{eff} \text{cox} \frac{\eta}{m} Vt^2$$

est un courant constant et η est le facteur de pente et m est un paramètre technologique compris entre 1 et 3, on distingue la zone linéaire de la zone saturée à partir de $Vds \approx 3Vt$.

7.1.2 Modèle petit signal

En termes de modélisation petit signal selon les différentes zones de fonctionnement on peut déterminer les paramètres :

- en faible inversion :

$$gm = \frac{1}{\eta} \frac{Ids}{Vt} \quad gmb = \frac{\eta-1}{\eta} \frac{Ids}{Vt} \quad gds = \frac{\exp(-\frac{Vds}{Vt})}{1 - \exp(-\frac{Vds}{Vt})} \frac{Ids}{Vt}$$

- en forte inversion et régime ohmique :

$$gm = \mu_{eff} \text{cox} \frac{W}{L} Vds - \theta_a \frac{\mu_{eff}}{\mu_0} Ids \left(1 + \frac{Vds}{L\epsilon_c}\right)$$

$$gmb = \frac{\partial Ids}{\partial Vgs} \frac{\partial Vgs}{\partial Vbs} \approx gm \left(\frac{\partial VTH}{\partial Vbs} + \frac{Vds}{2} \frac{\partial \delta}{\partial Vbs} \right) = gm \frac{\gamma_{eff}}{2\sqrt{\phi + Vsb}} \left(1 - \frac{\alpha Vds}{2(\phi + Vsb)}\right)$$

$$gds \approx \mu_{eff} \text{cox} \frac{W}{L} (Vgs - VTH - (1 + \delta)Vds)$$

- en forte inversion et régime saturé :

$$gm = Ids \left(\frac{2}{V_{gs} - V_{TH}} - \theta_a \frac{\mu_{eff}}{\mu_0} \left(1 + \frac{V_{ds}}{L_{ec}} \right) \right)$$

$$gmb \approx gm \frac{\gamma_{eff}}{2\sqrt{\phi + V_{sb}}} \left(1 - \alpha \frac{V_{gs} - V_{TH}}{4(\phi + V_{sb})(1 + \delta)} \right)$$

$$gds \approx \frac{Ids}{LVE} \frac{1}{1 + \frac{V_{ds} - V_{dsat}}{LVE}}$$

L'équation de gds en faible inversion tend très rapidement vers une valeur nulle en fonction de Vds. Cette valeur nulle ne correspond pas à la pratique où on observe une loi de type $Ids/(LVE)$.

En version simplifiée, on peut modéliser le transistor MOS par les expressions :

- en faible inversion :

$$gm = \frac{1}{\eta} \frac{Ids}{V_t} \quad gmb = gm(\eta - 1) \quad gds = \frac{Ids}{LVE}$$

- en forte inversion et régime ohmique :

$$gm = \mu_0 \text{cox} \frac{W}{L} V_{ds} \quad gmb = gm \frac{\gamma_{eff}}{2\sqrt{\phi + V_{sb}}} \quad gds = \mu_{eff} \text{cox} \frac{W}{L} (V_{gs} - V_{TH} - V_{ds})$$

- en forte inversion et régime saturé :

$$gm = \frac{2 Ids}{V_{gs} - V_{TH}} = \mu_0 \text{cox} \frac{W}{L} (V_{gs} - V_{TH}) = \sqrt{2\mu_0 \text{cox} \frac{W}{L} Ids}$$

$$gmb = gm \frac{\gamma_{eff}}{2\sqrt{\phi + V_{sb}}} \quad gds = \frac{Ids}{LVE}$$

Ce modèle de synthèse est à utiliser avec beaucoup de précautions puisqu'il présente des discontinuités entre les différentes zones de fonctionnement. Ainsi, en forte inversion gm tend vers une valeur infinie avec V_{gs} tendant vers V_{TH} , ce qui est impossible puisque physiquement gm est limité par sa valeur en faible inversion à $gm_{max} = \frac{1}{\eta} \frac{Ids}{V_t}$.

Du point de vue capacitif, le MOS est modélisable formellement par le jeu d'expressions [22] :

- en faible inversion :

$$cgs = cgd = cbd = cbs = csd = cm = cmb = cmx = 0$$

$$cgb = \text{cox} \frac{\gamma_{eff}}{2\sqrt{\gamma_{eff}^2/4 + V_{gb} - V_{TH0} + \phi + \gamma_{eff}\sqrt{\phi}}}$$

- en forte inversion et régime ohmique :

$$cm = cmb = cmx = cgb = 0$$

$$cgs = cgd = \frac{\text{cox}}{2} \quad cbd = cbs = \delta \frac{\text{cox}}{2} \quad csd = -(1 + \delta) \frac{\text{cox}}{6}$$

- en forte inversion et régime saturé :

$$cgs = \frac{2}{3} \text{cox} \quad cgb = \frac{\delta}{3(1 + \delta)} \text{cox} \quad cbs = \delta \frac{2}{3} \text{cox} \quad cm = \frac{4}{15} \text{cox} \quad cmb = \delta cm$$

$$cgd = csd = cbd = cmx = 0$$

7.2 Un modèle spécifique pour le "MOS résistif"

7.2.1 Le MOS résistif

Si nous considérons le modèle analytique simple du transistor MOS en zone ohmique, avec

$$I_{ds} = K(V_{gs} - V_{TH} - \frac{V_{ds}}{2})V_{ds} = K(V_{gs} - V_{TH})V_{ds} - K\frac{V_{ds}^2}{2} = I_l - I_{nl} = I$$

il est modélisable par le schéma de la *figure 23*, I_l et I_{nl} étant respectivement la composante linéaire et non linéaire du courant, et la résistance R ayant pour valeur

$$R = \frac{1}{K(V_{gs} - V_{TH})}.$$

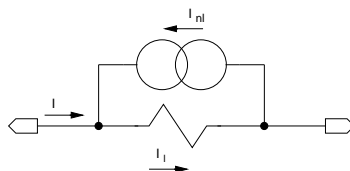


FIGURE 23 –

Schéma équivalent grand signal du MOS résistif

La résistance étant contrôlable par la tension V_{gs} , le MOS résistif peut être utilisé avec profit [en filtrage actif](#) en lieu et place des résistances.

7.2.2 Modèle analytique grand signal

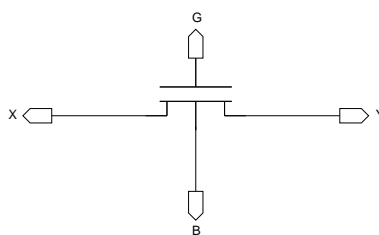


FIGURE 24 –

Configuration du MOS résistif

Le modèle simple précédent n'étant pas suffisant pour prendre en compte les non-idéalités du dispositif (principalement les distorsions harmoniques impaires), un modèle spécifique du MOS résistif [20] est généralement utilisé. La tension V_{MC} étant une tension continue, avec (*figure 24*)

$$V_X = V_{MC} + v_x$$

et

$$VY = VMC + vy$$

ce modèle dit "en puissance 3/2", s'écrit

$$I = \frac{W}{L} \mu \text{cox} \left((V_G - V_B - V_{FB} - \phi_B)(vx - vy) - \frac{1}{2}((VX - V_B)^2 - (VY - V_B)^2) - \frac{2}{3}\gamma((VX - V_B - \phi_B)^{3/2} - (VY - V_B - \phi_B)^{3/2}) \right).$$

La tension V_{FB} est la **tension de bande plate**

(tension grille-substrat neutralisant les charge du semiconducteur) et le potentiel ϕ_B est de l'ordre de deux fois le potentiel de Fermi ϕ_F . En développant les termes en puissance 3/2 en série de Taylor au voisinage de vx et vy [1], l'équation précédente s'écrit

$$I = \frac{1}{2} \frac{W}{L} \mu \text{cox} \left(a_1(vx - vy) + a_2(vx^2 - vy^2) + a_3(vx^3 - vy^3) + \dots \right)$$

avec

$$\begin{aligned} a_1 &= 2(V_G - VMC - VTH) \\ a_2 &= -(1 + \frac{1}{2}\gamma(VMC - V_B + \phi_B))^{-1/2} \\ a_3 &= -\frac{1}{12}(VMC - V_B + \phi_B)^{-3/2} \\ a_4 &= +\frac{1}{32}(VMC - V_B + \phi_B)^{-5/2} \\ a_5 &= -\frac{1}{64}(VMC - V_B + \phi_B)^{-7/2}. \\ &\dots \end{aligned}$$

Le formalisme ainsi obtenu permet une prise en compte directe des nonlinéarités du MOS résistif de valeur

$$R = \frac{1}{\mu \text{cox}(V_G - VMC - VTH)} \frac{L}{W}$$

avec

$$VTH = V_{FB} + \phi_B + \gamma(VMC - V_B + \phi_B)^{1/2}.$$

7.2.3 Modèle petit signal

Structurellement le MOS résistif peut être vu comme une résistance présentant une capacité répartie par rapport au substrat. Pour le petit signal, la grille étant reliée à la masse, il est représentable par le schéma équivalent de la *figure 25*. Les capacités extrinsèques localisées $Cdx \approx Csx$ prennent en compte les capacités de jonction et les capacités de recouvrement grille-source et grille-drain, la capacité CT est une capacité distribuée prenant en compte les capacités grille-source ($cgs \approx \text{cox}/2$), grille-drain ($cgd \approx \text{cox}/2$), substrat-source ($cbs \approx \delta \text{cox}/2$) et substrat-drain ($cbd \approx \delta \text{cox}/2$). On notera que la capacité active source-drain csd est négative ($\approx -(1 + \delta)\text{cox}/6$). Les effets capacitifs distribués peuvent être considérés de manière approximative en considérant directement le schéma de la *figure 25* et en répartissant localement la capacité CT ($CT/2$ à droite et $CT/2$ à gauche) ou en modélisant le circuit par une cascade de cellule RC en PI (**cascade d'éléments de ligne RC distribuée**).

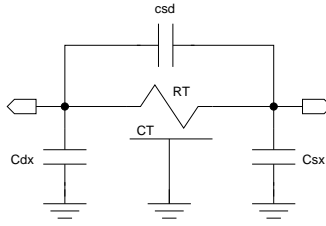


FIGURE 25 –

Schéma équivalent petit signal du MOS résistif

8 Modélisation extrinsèque

Les paramètres correspondant à la partie extrinsèque du transistor MOS génèrent normalement des effets parasites de deuxième ordre ou intervenant en hautes fréquences. On notera que la modélisation extrinsèque peut dépendre du simulateur électrique.

8.1 Modélisation des capacités de jonction

Les jonctions substrat-source et substrat-drain normalement polarisées en mode inversé sont à l'origine de deux capacités extrinsèques. La concentration de dopage étant différente selon la zone de diffusion considérée, chacune de ces capacités est décomposable en une "capacité surfacique" c_{ja} et une "capacité périmétrique" $c_{jp}+c_{jpg}$ formée par le côté de la diffusion sous la grille (c_{jpg}) et par les trois autres côtés (c_{jp}) (*figure 26*).

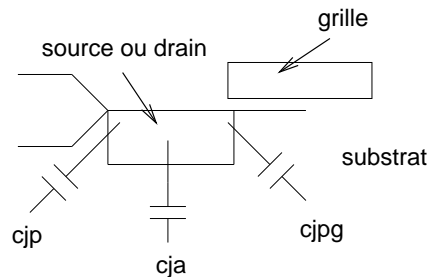


FIGURE 26 –

Capacités de jonction associées au drain ou à la source du MOS

C_{j0} étant la capacité de jonction pour une tension inverse V_i nulle, m_j étant un coefficient prenant en compte le profil de dopage (égal à 0,5 pour un profil de jonction abrupte) et Φ_0 étant le potentiel de contact diffusion-substrat, [capacité de jonction](#) est modélisée analytiquement par l'expression générique

$$C_j = \frac{C_{j0}}{\left(1 + \frac{V_i}{\Phi_0}\right)^{m_j}}$$

8.1.1 Modélisation analytique

Compte tenu des différentes zones de dopage, la modélisation des capacités de jonction C_{jbs} et C_{jbd} avec $V_{bs} \leq 0$ et $V_{bd} \leq 0$ est donnée formellement par :

$$C_{jbs} = \frac{Cbs_0}{\left(1 - \frac{Vbs}{PB}\right)^{MJ}} + \frac{Cbssw_0}{\left(1 - \frac{Vbs}{PBSW}\right)^{MJSW}} + \frac{Cbsswg_0}{\left(1 - \frac{Vbs}{PBSWG}\right)^{MJSWG}}$$

et

$$C_{jbd} = \frac{Cbd_0}{\left(1 - \frac{Vbd}{PB}\right)^{MJ}} + \frac{Cbds_0}{\left(1 - \frac{Vbd}{PBSW}\right)^{MJSW}} + \frac{Cbds_0}{\left(1 - \frac{Vbd}{PBSWG}\right)^{MJSWG}}$$

avec

$$Cbs_0 = \mathbf{CJ} As_{eff}$$

$$Cbd_0 = \mathbf{CJ} Ad_{eff}$$

$$Cbssw_0 = \mathbf{CJSW} (P_{seff} - W_{phy} (NS_{ex} + 2NS_{in}))$$

$$Cbds_0 = \mathbf{CJSW} (P_{deff} - W_{phy} (ND_{ex} + 2ND_{in}))$$

$$Cbsswg_0 = \mathbf{CJSWG} W_{phy} (NS_{ex} + 2NS_{in})$$

$$Cbds_0 = \mathbf{CJSWG} W_{phy} (ND_{ex} + 2ND_{in})$$

le nombre de sources et de drains internes et externes (NS_{in} , ND_{in} , NS_{ex} , NS_{ex}) et les aires et périmètres effectifs, sont des paramètres fixés par le style de dessin du transistor. Ces derniers sont déterminés explicitement à partir des [règles de dessin](#) ou implicitement à partir du paramètre de modèle **HDIF** (*figure 27*).

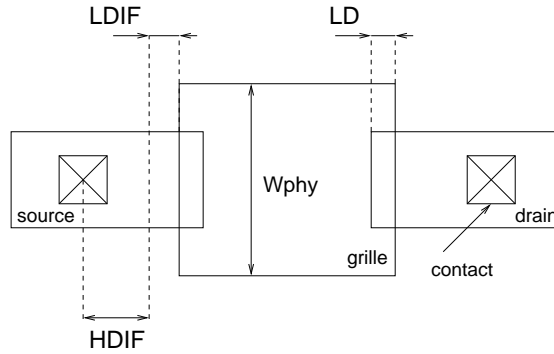


FIGURE 27 –

Paramètres géométriques de modèle pour le calcul des capacités de jonction

Si le transistor MOS est à l'intérieur d'un caisson, il est nécessaire de considérer une troisième capacité de jonction constituée par l'aire Aw et la périphérie Pw du caisson :

$$C_{jbb'} = \frac{\mathbf{CJB} Aw}{\left(1 - \frac{Vbb'}{PBB}\right)^{MJb}} + \frac{\mathbf{CJSWB} Pw}{\left(1 - \frac{Vbb'}{PBB}\right)^{MJSWB}}$$

8.1.2 Prise en compte des effets de la température

Pour la variation des capacités de jonction en fonction de la température, on peut utiliser un formalisme similaire à celui utilisé par le simulateur électrique SPICE standard qui considère une température de caractérisation T_{ref} et une température de simulation T_{nom} avec

$$CJ(T_{nom}) = CJ(T_{ref})(1 + \mathbf{TCJ}(T_{nom} - T_{ref}))$$

$$PB(T_{nom}) = PB(T_{ref}) - \mathbf{TPB}(T_{nom} - T_{ref})$$

$$\begin{aligned}
CSJW(T_{nom}) &= CJSW(T_{ref})(1 + \mathbf{TCJSW}(T_{nom} - T_{ref})) \\
PBSW(T_{nom}) &= PBSW(T_{ref}) - \mathbf{TPBSW}(T_{nom} - T_{ref}) \\
CSJWG(T_{nom}) &= CJSWG(T_{ref})(1 + \mathbf{TCJSWG}(T_{nom} - T_{ref})) \\
PBSWG(T_{nom}) &= PBSWG(T_{ref}) - \mathbf{TPBSWG}(T_{nom} - T_{ref})
\end{aligned}$$

8.2 Modélisation des résistances d'accès

Les résistances d'accès Rd et Rs associées respectivement au drain et la source du transistor sont à l'origine d'une chute de tension telle que

$$Vds_{intrinsic} = Vds - (Rd + Rs)Ids.$$

L'influence de cette chute de tension étant surtout sensible en régime ohmique et pour des faibles valeurs de Vds , en tenant compte de la réduction de la mobilité par l'effet du champ électrique transverse, on peut écrire

$$Ids \approx \mu_0 \coth \frac{W}{L} \frac{(Vgs - VTH)}{1 + \theta_a(Vgs - VTH)} Vds_{intrinsic}$$

soit

$$Ids \approx \mu_0 \coth \frac{W}{L} \frac{(Vgs - VTH)}{1 + (\theta_a + \mu_0 \coth \frac{W}{L} (Rd + Rs))(Vgs - VTH)} Vds.$$

Ainsi, une prise en compte des résistance d'accès peut être simplement (et approximativement) réalisée par une modification éventuelle du paramètre de modélisation de l'effet du champ électrique normal. Les valeurs de Rd et de Rs peuvent être calculées à partir des deux expressions (*figure 27*) :

$$Rs = \frac{\mathbf{RS}(\mathbf{LD} + \mathbf{LDIF})}{W_{phy}} + \frac{\mathbf{RSH} nrs + \mathbf{RSC}}{M}$$

et

$$Rd = \frac{\mathbf{RD}(\mathbf{LD} + \mathbf{LDIF})}{W_{phy}} + \frac{\mathbf{RSH} nrd + \mathbf{RDC}}{M}$$

Les paramètres en caractères gras sont des paramètres de modèle (*figure 27*) et M est le nombre de repliements pour un transistor à grille multiple. Les nombres de carrés élémentaires de drain et de source (nrd et nrs) sont déterminés à partir du paramètre de modèle **HDIF** avec

$$nrs = nrd = \frac{\mathbf{HDIF}}{W_{phy}}$$

ou directement à partir des [règles de dessin](#) avec la distance grille-contact :

$$nrs = nrd = \frac{\mathbf{dgc}}{W_{phy}}.$$

8.3 Modélisation des courants de jonction

Les courants de jonction Ibs et Ibd associés aux jonctions substrat-source et substrat-drain peuvent être simplement modélisés à partir du [modèle de Shockley](#)

, N étant le coefficient d'émission et Vt la tension thermique :

$$Ibs = isbs(e^{\frac{Vbs}{N Vt}} - 1)$$

et

$$Ibd = isbd(e^{\frac{Vbd}{N Vt}} - 1)$$

Les courants de saturation des diodes sont calculés à partir des densités de courant surfacique **JS** et périmétrique **JSW** :

$$\begin{aligned} Ibs &= \mathbf{JS} A_{seff} + \mathbf{JSW} P_{seff} \\ Ibd &= \mathbf{JS} A_{deff} + \mathbf{JSW} P_{deff} \end{aligned}$$

Une prise en compte des effets de la température peut être réalisé à partir d'un formalisme similaire à celui utilisé par le simulateur électrique SPICE standard et calculés à partir d'une température de caractérisation T_{ref} et d'une température de simulation T_{nom} avec

$$JS(T_{nom}) = JS(T_{ref}) \left(\frac{T_{nom}}{T_{ref}}\right)^{\mathbf{XTI}/N} \exp\left(\frac{EG(T_{nom})}{NK_B T_{nom}} - \frac{EG(T_{ref})}{NK_B T_{ref}}\right)$$

K_T est la constante de Boltzmann, et l'énergie de seuil du silicium fonction de la température en degré Kelvin telle que

$$EG = 1,16 - \frac{7,0210^{-4}TK_{nom}^2}{TK_{nom}+1108}$$

D'autre part, partant des expressions de Ibs et Ibd , on peut définir les conductances dynamiques

$$gbs = \left| \frac{\partial Ibs}{\partial Vbs} \right| = \left| isbs \frac{e^{\frac{Vbs}{N Vt}}}{N Vt} \right|$$

et

$$gbd = \left| \frac{\partial Ibd}{\partial Vbd} \right| = \left| isbd \frac{e^{\frac{Vbd}{N Vt}}}{N Vt} \right|.$$

Eventuellement, ces deux conductances sont prises en compte au niveau des schémas équivalents petit signal par deux résistances connectées entre la source et le substrat pour gbs , et entre le drain et le substrat pour gbd (*figure 28*). On peut noter que cette dernière s'ajoute à la résistance $1/gdbi$ issue du courant d'ionisation par impact.

8.4 Modélisation du bruit

Deux sources de **bruit**

sont généralement considérées pour le transistor MOS [5]. La première est une source de bruit thermique ayant pour origine la nature résistive (non linéaire) du canal. La seconde est une source de bruit de scintillation (bruit en 1/f) dominant en basses fréquences et ayant comme principale origine les défauts d'interface entre la grille et le canal. Ces deux sources n'étant pas corrélées, la densité spectrale correspondante est la somme des deux composantes respectives :

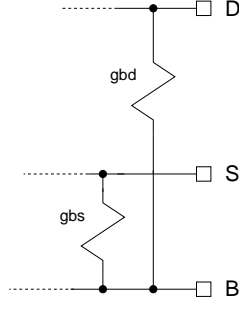


FIGURE 28 –

Conductances de courant de jonction associées au substrat du transistor MOS

$$S_{br} = S_{th} + S_{1/f}.$$

Bien que faisant partie des caractéristiques intrinsèques du composant, la formulation analytique de ces deux composantes de bruit peut dépendre du simulateur et dans ce cas être considérée comme extrinsèque. Ainsi, pour toutes les générations de modèle, éventuellement en plus du modèle intrinsèque spécifique au modèle, on peut proposer une modélisation unique à partir de l'expression de la densité spectrale monolatérale

$$S_{br} = \frac{8}{3} K_B T_K (gm + gmb + gds) \frac{1 + \alpha + \alpha^2}{1 + \alpha} + \frac{\mathbf{KF} Ids^{\mathbf{AF}}}{Cox L_{eff}^2 f^{\mathbf{EF}}}.$$

On peut noter que avec :

$$\alpha = 1 - \frac{V_{ds}}{V_{dsat}} \text{ en zone ohmique}$$

et

$$\alpha = 0 \text{ en zone saturée,}$$

l'expression du bruit thermique est valable quelque soit la zone de fonctionnement et le mode d'inversion [22]. Les coefficients \mathbf{KF} , \mathbf{AF} et \mathbf{EF} de la densité spectrale du bruit en 1/f sont déterminés empiriquement. On notera que pour les modèles de troisième génération, le modèle spécifique est basé sur le calcul de la charge d'inversion ou sur des considérations physiques [6]. En terme de schéma équivalent petit signal, il existe deux modes de représentation (*figure 29*). Dans le premier mode, un générateur de courant sans direction de densité spectrale S_{br} est placé en sortie du transistor entre le drain et la source. Le second mode consiste à représenter cette même densité spectrale à partir d'un générateur de courant de bruit et d'un générateur tension de bruit équivalents ramenés sur l'entrée. En ne considérant que cgs comme terme capacitif d'entrée, ces générateurs de bruit ont respectivement pour valeur :

$$S_v = \frac{S_{br}}{gm^2} \text{ et } S_i = \left(\frac{\omega cgs}{gm}\right)^2 S_{br}$$

8.5 Modélisation des effets du courant d'ionisation par impact

La diminution des dimensions du transistor MOS à des des valeurs largement sub-microniques induit même à faible tension d'alimentation des champs électriques intenses générant dans le canal des porteurs à très haute vitesse produisant par collision avec

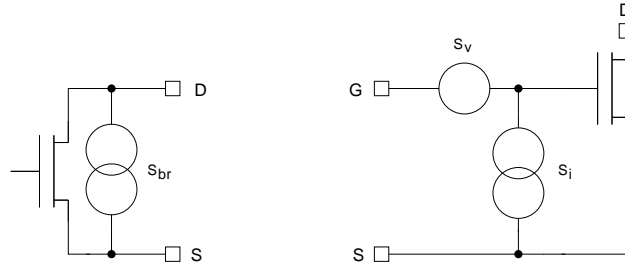


FIGURE 29 –

Représentations du bruit du transistor MOS

les atomes du silicium des paires électron-trou. Celles ci sont à l'origine d'un courant de substrat I_{dbi} appelé courant d'ionisation par impact. Ce courant de drain additionnel fait partie du modèle intrinsèque pour les modèles de troisième génération mais n'est pas considéré pour les modèles de première génération pour lesquels il peut être considéré comme extrinsèque. Comme le courant I_{ds} , il est fonction des tensions appliquées aux différents accès du composant, et son influence peut ainsi être modélisé au niveau du schéma équivalent petit signal par une conductance g_{dbi} entre le drain et le substrat (*figure 30*) telle que

$$g_{dbi} = g_{dbi_{vgs}} + g_{dbi_{vds}} + g_{dbi_{vbs}}$$

avec

$$g_{dbi_{vgs}} = \frac{\partial I_{dbi}}{\partial V_{gs}} \quad g_{dbi_{vds}} = \frac{\partial I_{dbi}}{\partial V_{ds}} \quad g_{dbi_{vbs}} = \frac{\partial I_{dbi}}{\partial V_{bs}}$$

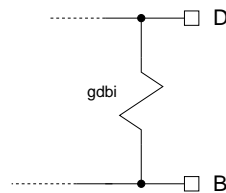


FIGURE 30 –

Conductance de modélisation du courant d'ionisation par impact du MOS

9 Modélisation statistique

Lors de la conception d'un circuit intégré analogique, il est nécessaire non seulement de dimensionner les transistors MOS pour satisfaire aux spécifications électriques nominales demandées à partir d'un modèle (déterministe), mais il faut également garantir que ces spécifications soient satisfaites compte tenu des dispersions technologiques susceptibles de modifier statistiquement certains paramètres du modèle.

Comme tous les composants intégrés, un transistor MOS peut être affecté par une erreur globale qui modifie identiquement toutes les caractéristiques électriques des transistors d'un même circuit et d'une erreur locale ou erreur **d'appariement**

qui modifie différemment les caractéristiques électriques de chaque transistor du circuit. Cette seconde source d'erreur, irréductible par réglage, est à l'origine de tous les

défauts de symétrie, et ainsi génératrice de tensions de décalage, de courants de décalage, de distorsion harmonique, d'erreur sur les gains, En conception, la prise en compte des erreurs globales est souvent simplement et grossièrement réalisée en faisant varier identiquement un nombre limité de paramètres du modèle statistiquement significatifs, et autant que faire ce peut décorrélés, c'est l'analyse classique du [pire-cas](#)

. Quant aux erreurs d'appariement, elles ne peuvent être prises en compte qu'à partir d'une modélisation de l'erreur d'appariement au niveau de chaque transistor.

9.1 Modélisation statistique de l'erreur d'appariement en forte inversion

9.1.1 Un modèle pour le courant

Pour pouvoir être facilement caractérisable et surtout pour pouvoir être utilisable analytiquement au moment de la détermination des indices de performance des dispositifs actifs, la modélisation statistique de l'erreur d'appariement est effectuée sur le courant de drain et ne comporte que quelques paramètres. Si ce petit nombre de paramètres est notoirement insuffisant pour modéliser avec précision les caractéristiques électriques nominales du transistor, il s'avère adéquat pour décrire les principales caractéristiques statistiques du courant. L'équation du courant de drain généralement considérée correspond au modèle analytique simplifié avec

$$\text{en régime ohmique : } I_{ds} = \beta(V_{gs} - V_{TH} - \frac{1}{2}V_{ds})V_{ds}$$

$$\text{en régime saturé : } I_{ds} = \frac{\beta}{2}(V_{gs} - V_{TH})^2$$

avec

$$V_{TH} = V_{TH0} + \gamma(\sqrt{\phi - V_{bs}} - \sqrt{\phi}).$$

Ce modèle permet de prendre en compte les erreurs sur le coefficient de transconductance par β , sur la tension de seuil par V_{TH0} et le coefficient d'effet de substrat γ . Pratiquement, l'erreur sur V_{TH0} est prépondérante devant l'erreur générée par γ , et avec

$$\frac{dI_{ds}}{I_{ds}} = \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial \beta} d\beta + \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial V_{TH0}} dV_{TH0}$$

on détermine l'erreur relative sur le courant de drain

$$\text{en régime ohmique : } \frac{dI_{ds}}{I_{ds}} = \frac{d\beta}{\beta} - \frac{dV_{TH0}}{V_{gs} - V_{TH} - 0,5V_{ds}}$$

$$\text{en régime saturé : } \frac{dI_{ds}}{I_{ds}} = \frac{d\beta}{\beta} - 2 \frac{dV_{TH0}}{V_{gs} - V_{TH}}.$$

En tenant compte de la nature aléatoire de l'erreur relative, en terme de paramètres statistiques et en négligeant les termes de corrélation, on peut écrire par la formule des transmissions de moments, le modèle statistique à deux paramètres de l'erreur d'appariement :

– en régime ohmique

$$\sigma^2\left(\frac{dI_{ds}}{I_{ds}}\right) = \sigma^2\left(\frac{d\beta}{\beta}\right) + \frac{1}{(V_{gs} - V_{TH} - \frac{V_{ds}}{2})^2} \sigma^2(dV_{TH0})$$

– en régime saturé

$$\sigma^2\left(\frac{dIds}{Ids}\right) = \sigma^2\left(\frac{d\beta}{\beta}\right) + \frac{4}{(V_{gs} - V_{TH})^2} \sigma^2(dV_{TH0}).$$

L'absence de corrélation entre β et V_{TH} a été clairement établie [2], et on notera qu'il existe des modèles plus compliqués (cinq paramètres statistiques) prenant en compte le facteur de réduction de la mobilité θ [18], mais ils sont plus délicats à manipuler, puisqu'il exige la prise en compte de multiples coefficients de corrélation qui ne sont que très rarement fournis par les fondeurs de circuits. En effet, la plupart du temps ceux-ci ne fournissent que le modèle à deux paramètres, correspondant à une caractérisation de l'erreur d'appariement entre deux transistors très proches, en régime saturé, en forte inversion et à tension source-substrat nulle.

9.1.2 Modélisation des paramètres statistiques intermédiaires

Comme tout composant intégré, en considérant les **fluctuations** périphériques et spatiales décorrélées, l'erreur d'appariement sur le courant de drain peut être modélisée formellement à partir de l'erreur d'appariement $M_{\mathcal{P}}$ sur chaque paramètre statistique \mathcal{P} par l'intermédiaire de trois constantes technologiques M_a , M_w et M_l avec [9]

$$M = \sigma\left(\frac{\partial \mathcal{P}}{\mathcal{P}}\right) = \sqrt{\frac{M_a^2}{WL} + \frac{M_w^2}{W^2} + \frac{M_l^2}{L^2}}.$$

Pratiquement, la modélisation utilisée ne prend en compte que les fluctuations spatiales et considère les deux paramètres statistiques intermédiaires sous la forme :

$$\sigma^2\left(\frac{d\beta}{\beta}\right) = \frac{1}{2} \frac{A_\beta^2}{W L}$$

et

$$\sigma^2(dV_{TH0}) = \frac{1}{2} \frac{A_{V_{TH}}^2}{W L}.$$

Le facteur 1/2 devant les paramètres provient du fait que l'erreur d'appariement sur un paramètre $\Delta \mathcal{P}$ est définie par la différence

$$d\mathcal{P} = d\mathcal{P}_1 - d\mathcal{P}_2$$

telle que

$$\sigma^2(d\mathcal{P}) = \sigma^2(d\mathcal{P}_1) + \sigma^2(d\mathcal{P}_2) = 2\sigma^2(d\mathcal{P}_1).$$

9.2 Modélisation statistique de l'erreur d'appariement en faible inversion

De part la nature exponentielle du courant en faible inversion, l'erreur d'appariement ne dépend pas de la tension de grille, alors qu'en forte inversion elle tend vers l'infini lorsque la tension effective de grille tend vers zéro. Ce problème évident de continuité de modèle provient de la simplicité des équations en forte inversion, qui ne peuvent être valides que pour des tensions effectives de grille strictement positive. Empiriquement, par continuité on peut déduire l'erreur d'appariement en faible inversion à partir de la valeur extrapolée à $V_{GS_{FI}} = V_{ON} = V_{TH} + V_{eg_{FI}}$ séparant la forte inversion de la faible

inversion. On notera que les modèles de première génération de niveau 2 et 3 définissent explicitement cette tension. Bien entendu, on devra être conscient que cette valeur doit être considérée comme une approximation, et que pratiquement elle peut être obtenue par exemple, à partir de la caractéristique $Gm = f(V_{gs})$ du transistor et qu'une valeur $V_{eg_{FI}} \approx 0,05V$ est un bon ordre de grandeur (*figure 31*).

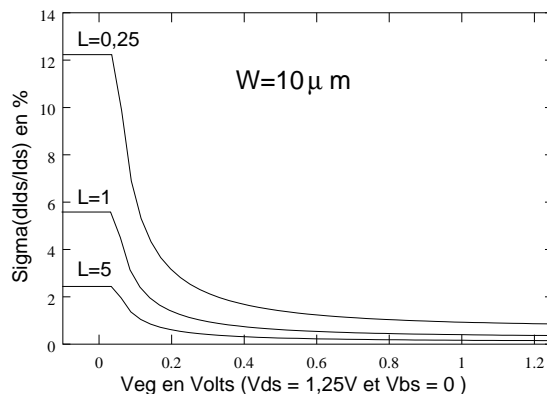


FIGURE 31 –

Erreur statistique d'appariement avec
 $W = 10\mu m$, $A_\beta = 1,4 \cdot 10^{-8}m$ et $A_{VTH} = 0.61 \cdot 10^{-8}V.m$

9.3 Implantation du modèle statistique sur un simulateur électrique conventionnel

Même si le modèle de l'erreur d'appariement est formellement simple, il ne peut être utilisé analytiquement que dans des montages basiques ne comportant au plus que quelques transistors (paire différentielle, miroir de courant, ...). De ce fait, pour analyser l'influence des erreurs d'appariement sur les performances de circuit plus complexes, on utilise un simulateur électrique. Or, sur les simulateurs électriques conventionnels tel que [SPICE](#)

, il n'existe pas de modèle interne susceptible de prendre en compte directement la modélisation statistique des erreurs d'appariement, et pour ce faire on doit utiliser des méthodes indirectes.

9.3.1 Implantation à partir des paramètres du modèle déterministe

La méthode d'implantation la plus simple consiste à modifier certains paramètres du modèle déterministe de simulation à partir d'un générateur de nombres aléatoires gaussiens. Pour ce faire, il faut bien entendu que le modèle déterministe utilise explicitement ou implicitement les mêmes paramètres que le modèle statistique c'est à dire β et V_{TH_0} . Ainsi, les niveaux 1, 2 et 3 de SPICE utilise explicitement ces deux paramètres ($\beta \equiv \mathbf{KP}$) alors que pour BSIM3v3 on doit accéder au coefficient de transconductance par l'intermédiaire de la mobilité $\mathbf{U0}$. Si cette méthode d'implantation est simple, elle ne peut être qu'approximative pour les niveaux différents du niveau 1, puisque les trois paramètres statistiques sont déterminés expérimentalement à partir d'une caractérisation réalisée selon une loi en courant de niveau 1 simplifiée et non pas le modèle de simulation.

10.1 Caractérisation au passage ohmique/saturé

Les courbes de la *figure 33* montrent la mauvaise modélisation de la conductance de sortie du niveau 3 qui présente un point anguleux à la limite du régime ohmique et saturé .

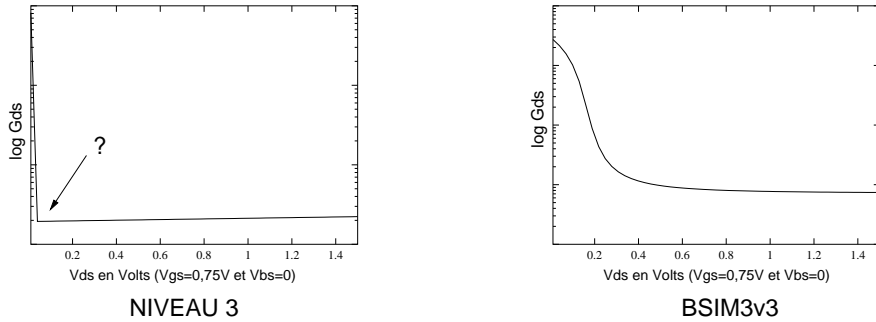


FIGURE 33 –

Log Gds en fonction de Vds

10.2 Caractérisation au passage faible inversion/forte inversion

Les courbes de la *figure 34* montrent manifestement un défaut de raccordement entre la faible et forte inversion du niveau 2. Ce défaut accentué sur la *figure 35* en considérant l'indice Gm/Ids faisant intervenir la dérivée, conduit au problème du point de "polarisation magique" pour lequel certains indices de performances des dispositifs actifs conçus sont artificiellement élevés. La manifestation du défaut de raccordement peut être plus incidieuse. Ainsi alors que BSIM3v3 semble être cohérent en Gm et Gds , l'examen du gain intrinsèque gm/gds , qui est un indice important de l'électronique analogique montre un artefact de modélisation autour d'une valeur de VGS très courante, pouvant mettre sérieusement en question la valeur des indices de distorsion harmonique simulés en ce point.

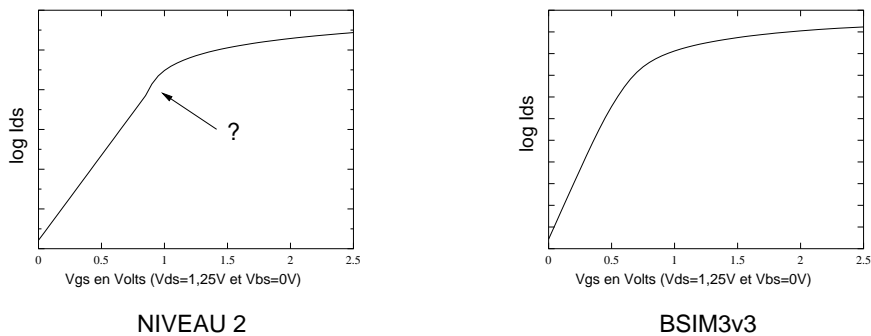


FIGURE 34 –

Log Ids en fonction de Vgs

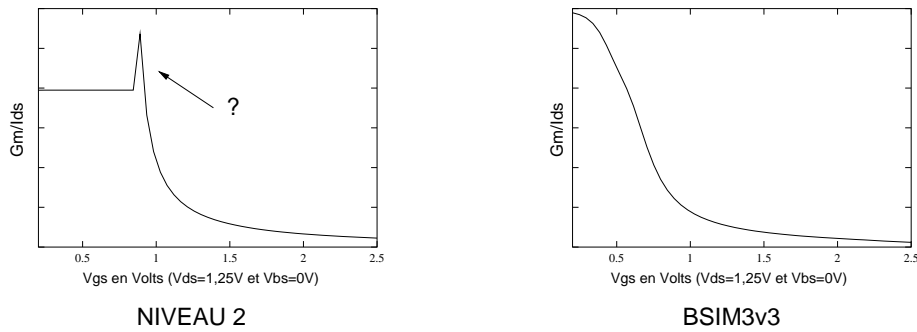


FIGURE 35 –

Gm/Ids en fonction de Vgs

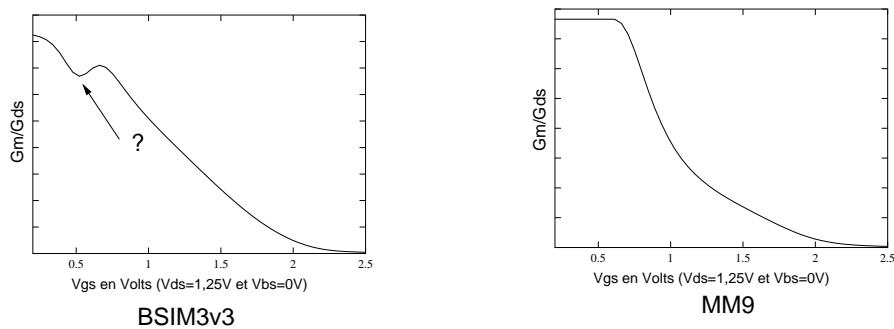


FIGURE 36 –

Gain intrinsèque Gm/Gds en fonction de Vgs

Références

- [1] M. BANU and Y. TSIVIDIS. "Detailed analysis of nonidealities in MOS fully integrated active RC filters based on balanced networks". *IEE Proceedings Pt G*, vol. 131(No. 5) :pp. 190–196, October 1984.
- [2] J. BASTOS, M. STEYAERT, A. PERGOOT, and W. SANSEN. "Mismatch characterization of submicron MOS transistors ". *Analog Integrated Circuits and Signal Processing*, vol. 12 :pp. 95–106, 1997.
- [3] Y. CHENG, M. CHAN, K. HUI, M. JENG, Z. LIU, J. HUANG, K. CHEN, J. CHEN, R. TU, P.K. KO, and C. HU. "Bsim3v3 manual". Technical Report CA 94720, University of California, Berkeley, 1995, 1996.
- [4] D.P. FOTY. "*MOSFET modeling with SPICE. Principles and practice*". Prentice Hall, 1997.
- [5] P.R. GRAY and R.G. MEYER. "*Analysis and design of analog integrated circuits*". John Wiley and sons, 1977.
- [6] K.K. HUNG, P.K.KO, and C. HU. "A physics based MOSFET noise model for circuit simulators". *IEEE Transactions on Electron Devices*, vol. 37(No. 5) :pp. 1323–1333, May 1990.
- [7] S.H. JEN, B.J. SHEU, and Y. OSHIMA. "A unified approach to submicron DC MOS transistor modeling for low voltage ICs ". *Analog Integrated Circuits and Signal Processing*, vol. 12 :pp. 107–118, 1997.

- [8] K. JOARDAR, K. K. GULLAPALLI, C.C. McANDREW, M.E. BURNHAM, and A. WILD. "An improved MOSFET model for circuit simulation". *IEEE Transactions on Electron Devices*, vol. 45(No. 1) :pp. 134–148, January 1998.
- [9] K.R. LAKSHMIKUMAR, R.A. HADAWAY, and M.A. COPELAND. "Characterization and modeling of mismatch in MOS transistors for precision analog design ". *IEEE Journal of Solid-State Circuit*, vol. 21(No. 6) :pp. 1057–1066, December 1986.
- [10] W. LIU. "*Mosfet models for SPICE simulation including BSIM3v3 an BSIM3v4*". John Wiley and sons, 2001.
- [11] W. LIU, X. JIN, J. CHEN, M.C. JENG, and ... "*BSIM3v3.2.2 MOSFET model :users' Manual*". University of California Berkeley CA 94720, 1999.
- [12] C.C. McANDREW. "Practical modeling for circuit simulation". *IEEE Journal of Solid-State Circuit*, vol. 33(No. 3) :pp. 439–448, March 1998.
- [13] J.E. MEYER. "MOS models and circuit simulation". *RCA revue*, vol. 32 :pp. 42–63, 1971.
- [14] P.ANTOGNETTI and G. MASSOBRIO. "*Semiconductor device modeling with SPICE*". McGraw-Hill Book Company, 1988.
- [15] M.J.M. PELGROM, A.C J. DUINMAIJER, and A.P.G. WELBERS. "Matching properties of MOS transistors". *IEEE Journal of Solid-State Circuit*, vol. 24(No. 5) :pp. 1433–1440, Oct. 1989.
- [16] K.A. SAKALLAH, Y. YEN, and S.S. GREENBERG. "A first-order charge conserving MOS capacitance model". *IEEE Transactions on Computer-Aided Design*, vol. 9(No. 1) :pp. 99–108, Jan. 1990.
- [17] R. SASPESHKAR, R.F. LYON, and C. MEAD. "A low power wide linear range transconductance amplifier". *Analog Integrated Circuits and Signal Processing*, vol. 13 :pp. 123–151, 1997.
- [18] T. SERRANO-GOTARREDONA and B. LINARES-BARRANCO. "Systematic width and length dependant CMOS transistor mismatch characterization and simulation ". *Analog Integrated Circuits and Signal Processing*, vol. 21 :pp. 271–296, 1999.
- [19] C.T. SHA. "Characteristics of the Metal-Oxyde-Semiconductor transistors". *IEEE Transactions on Electron Devices*, vol. 11(No. 7) :pp. 324–344, July 1964.
- [20] Y. TSIVIDIS, M. BANU, and J. KHOURY. "Continuous-time MOSFET-C in VLSI". *IEEE Transactions on Circuits and Systems*, vol. 33(No. 2) :pp. 125–139, February 1986.
- [21] Y. TSIVIDIS, K. SUYAMA, and K.VAVELIDIS. "Simple reconciliation MOSFET model valid in all regions". *IEEE Electron Device Letters*, vol. 31(No. 6) :pp. 506–508, March 1995.
- [22] Y.P. TSIVIDIS. "*Operation and modeling of the MOS transistor*". McGraw-Hill Book Company, 1987.
- [23] Y.P. TSIVIDIS and P. ANTOGNETTI. "*Design of MOS VLSI circuits for telecommunications*". McGraw-Hill Book Company, 1985.
- [24] R.M.D.A VELGHE, D.B.M. KLAASSEN, and F.M. KLAASSEN. "MOS MODEL 9". unclassified report NL-UR 003/94, Philips research laboratories Prof. Holstlaan 4 5656 AA Eindhoven, the Netherlands, 1995.

- [25] P. YANG, B.D. EPLER, and P.K. CHATTERJEE. "An investigation of the charge conservation problem for MOSFET circuit simulation". *IEEE Journal of Solid-State Circuit*, vol. 18(No. 1) :pp. 128–138, Feb. 1983.