

# Circuiterie numérique élémentaire CMOS

## Table des matières

<b>1</b>	<b>L'inverseur CMOS</b>	<b>2</b>
1.1	Concepts de base	2
1.1.1	Symbole et table de vérité	2
1.1.2	Caractérisation statique	2
1.1.3	Caractérisation dynamique	3
1.2	Caractérisation de l'inverseur CMOS	4
1.2.1	Analyse statique	4
1.2.2	Analyse dynamique	6
1.2.3	Validité des analyses	10
1.3	Stratégies de dimensionnement de l'inverseur CMOS	10
1.3.1	Fixation des rapports d'aspect	10
1.3.2	Fixation de la taille des inverseurs	12
1.4	Puissance consommée par l'inverseur	14
1.4.1	Puissance dynamique	14
1.4.2	Puissance de court-circuit	15
1.4.3	Puissance statique	15
1.4.4	Dimensionnement de l'inverseur à partir de la puissance consommée	16
1.4.5	Mesure par simulation de la puissance	16
<b>2</b>	<b>Les circuits combinatoires CMOS</b>	<b>17</b>
2.1	Concepts de base	17
2.2	La porte logique NAND	18
2.2.1	Symbole, table de vérité et synthèse	18
2.2.2	Caractérisation statique et dynamique	18
2.2.3	Dimensionnement	18
2.3	La porte logique NOR	19
2.3.1	Dimensionnement	19
2.4	Synthèse des portes logiques complexes	20
2.4.1	Restructuration des portes logiques	20
2.4.2	Structures AOI	21
<b>3</b>	<b>Les circuits séquentiels CMOS</b>	<b>22</b>
3.1	Concepts de base	22
3.2	Le principe de bistabilité	23
3.3	Les bistables RS asynchrones	24
3.3.1	Les bistables RS à Inverseurs	24
3.3.2	Le bistable RS à NOR	26
3.3.3	Le bistable RS à NAND	27
3.4	Les bistables RS synchrones	28
3.5	Les bascules D	28
3.5.1	Les bascules D à déclenchement sur niveau	29
3.5.2	Les bascules D à déclenchement sur front	30



# 1 L'inverseur CMOS

## 1.1 Concepts de base

### 1.1.1 Symbole et table de vérité

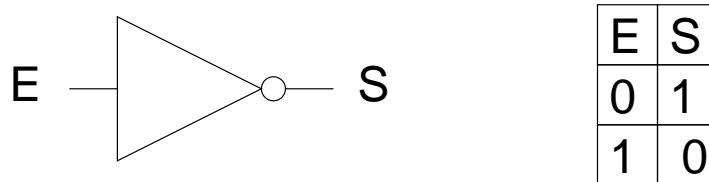


FIGURE 1 –

*Symbole et table de vérité de l'inverseur*

L'inverseur (*figure 1*) est l'opérateur de base le plus simple de l'électronique numérique. Il est principalement utilisé pour la régénération des signaux électriques et pour la réalisation des fonctions logiques complexes.

### 1.1.2 Caractérisation statique

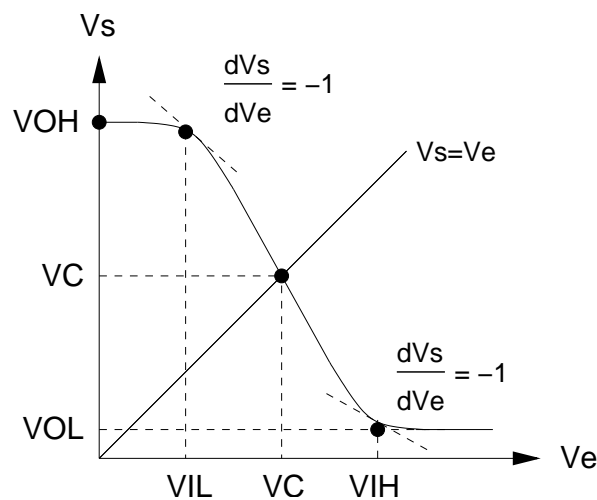


FIGURE 2 –

*Courbe de transfert statique de l'inverseur*

La caractéristique de transfert statique en tension de l'inverseur représentée sur la *figure 2* permet de définir cinq niveaux de tension de référence :

- $V_{OH}$  : tension de sortie haute correspondant au 1 logique
- $V_{OL}$  : tension de sortie basse correspondant au 0 logique
- $V_{IH}$  : tension d'entrée haute pour laquelle la pente (gain) est égale à -1
- $V_{IL}$  : tension d'entrée basse pour laquelle la pente (gain) est égale à -1

- $V_C$  : tension de commutation pour laquelle  $V_s=V_e$ .

A partir de ces niveaux de référence, on peut définir le jeu d'indices de performance statiques de l'inverseur (*figure 3*) :

- $NMH=V_{OH}-V_{IH}$  : marge de bruit pour l'état haut
- $NML=V_{IL}-V_{OL}$  : marge de bruit pour l'état bas
- $VL=V_{OH}-V_{OL}$  : excursion logique en sortie
- $TW=V_{IH}-V_{IL}$  : plage d'indétermination logique en entrée (largeur de transition)
- $NSH=V_{OH}-V_C$  : sensibilité au bruit pour l'état haut
- $NSL=V_C-V_{OL}$  : sensibilité au bruit pour l'état bas
- $NIH=NSH/VL$  : réjection du bruit pour l'état haut
- $NIL=NSL/VL$  : réjection du bruit pour l'état bas.

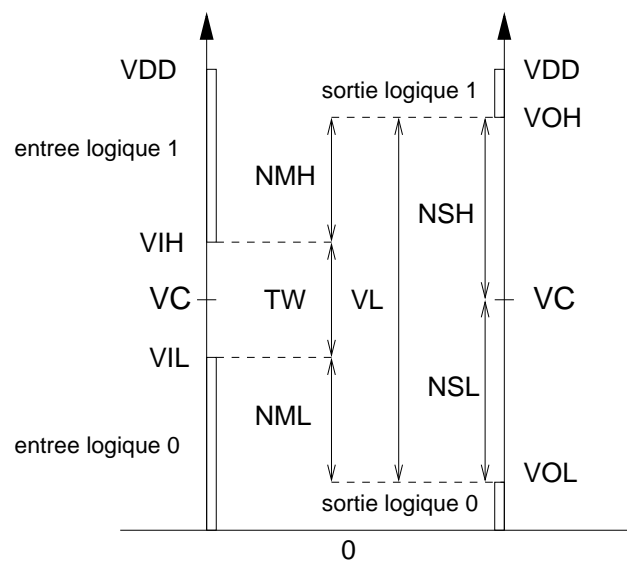


FIGURE 3 –

*Diagramme des performances statiques*

### 1.1.3 Caractérisation dynamique

Si on considère la réponse temporelle type de l'inverseur de la *figure 4*, de part les différentes capacités intrinsèques et extrinsèques inévitablement présentes sur la sortie, on peut définir quatre indices temporels principaux :

- $THL$  : interval de temps requis pour une excursion de la sortie entre 90% à 10% de sa valeur
- $TLH$  = interval de temps requis pour une excursion de la sortie entre 10% à 90% de sa valeur
- $TPHL$  = interval de temps requis pour la propagation du front montant du signal d'entrée, la mesure étant effectuée à 50% des amplitudes
- $TPLH$  = interval de temps requis pour la propagation du front descendant du signal d'entrée, la mesure étant effectuée à 50% des amplitudes.

On notera que la détermination des deux temps de propagation impliquent la connaissance de la forme du signal d'entrée, et que la moyenne de ces deux indices conduit à la définition du temps de propagation

$$TP = \frac{TPLH + TPHL}{2}$$

établissant la fréquence maximum d'utilisation du circuit.

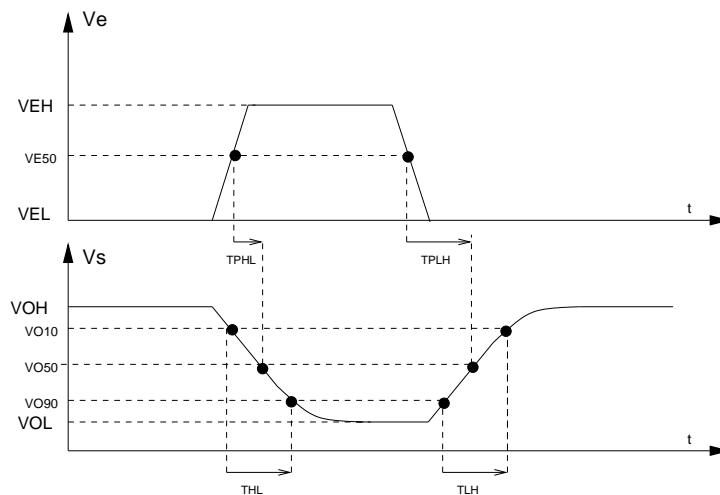


FIGURE 4 –

*Caractérisation dynamique*

## 1.2 Caractérisation de l'inverseur CMOS

L'inverseur CMOS est simplement réalisé par l'empilage d'un transistor de type N et de type P reliés par leur grille (*figure 5*).

### 1.2.1 Analyse statique

#### - Fonctionnement qualitatif

En utilisant le formalisme simplifié du [transistor MOS](#), avec

$$Vgs_n = Ve \text{ et } Vds_n = Vs$$

et

$$Vsg_p = VDD - Ve \text{ et } Vsd_p = VDD - Vs$$

selon les différents régimes des transistors N et P, on peut distinguer cinq zones de fonctionnement pour l'inverseur, en supposant (*figure 6*) que  $VTH_n \approx -VTH_p$  et que  $VDD > VTH_n - VTH_p$

#### - zone 1 : $Ve < VTH_n$

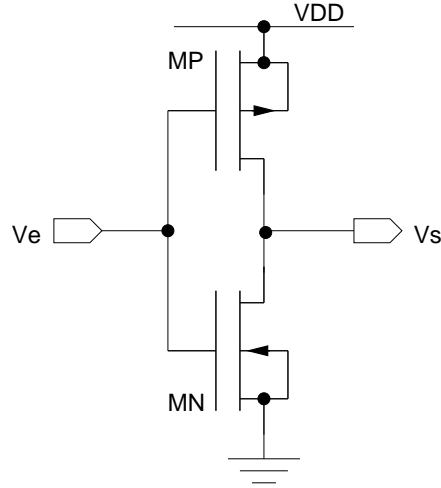


FIGURE 5 –

*Inverseur CMOS*

le transistor MN est bloqué, aucun courant ne circule dans l'inverseur, avec  $V_s = V_{DD} = V_{OH}$ , MP est en régime ohmique

- **zone 2** :  $V_e > V_{TH_n}$  et  $V_{DD} > V_s > V_e - V_{TH_n}$   
le transistor MN est saturé et MP est toujours en ohmique

- **zone 3** :  $V_e - V_{TH_n} < V_s < V_e - V_{TH_p}$   
le transistor MN et le transistor MP sont saturés

- **zone 4** :  $V_e < V_{DD} + V_{TH_p}$  et  $V_s < V_e - V_{TH_n}$   
le transistor MN est en ohmique et MP est saturé

- **zone 5** :  $V_e > V_{DD} + V_{TH_p}$   
le transistor MP est bloqué, aucun courant ne circule dans l'inverseur, avec  $V_s = 0 = V_{OL}$ , MN est en régime ohmique

#### - Calcul du point de commutation

Le point de commutation  $VC$  se trouvant normalement en zone 3 de la caractéristique de transfert, en égalisant le courant des transistors MN et MP en régime saturé avec  $V_e = V_{gs_n} = VC$ , on écrit

$$K_n(VC - V_{TH_n})^2 = K_p(V_{DD} - VC + V_{TH_p})^2$$

et on calcule

$$VC = \frac{V_{TH_n} + \sqrt{\frac{K_p}{K_n}}(V_{DD} + V_{TH_p})}{1 + \sqrt{\frac{K_p}{K_n}}}$$

Ainsi, le rapport d'aire requis pour fixer le point de commutation s'écrivant

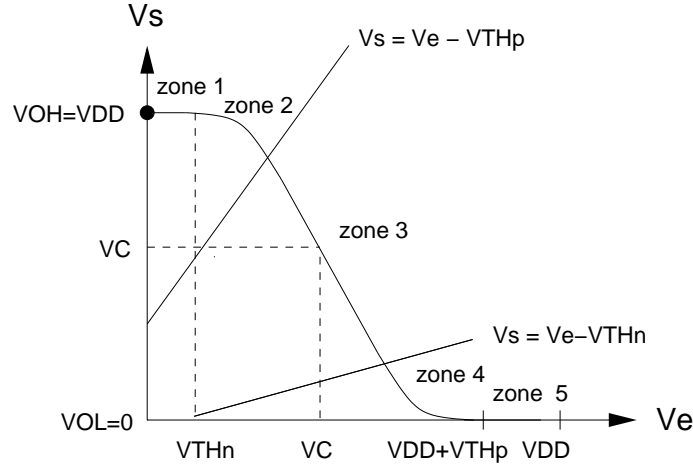


FIGURE 6 –

*Les cinq zones de fonctionnement de l'inverseur CMOS*

$$\alpha_{pn} = \frac{(W/L)_p}{(W/L)_n} = \frac{\mu_n}{\mu_p} \left( \frac{VC - V_{THn}}{VDD - |V_{THp}| - VC} \right)^2$$

l'inverseur CMOS est dit équilibré si  $VC$  est placé à  $VDD/2$ . L'inverseur est électriquement symétrique par rapport à la demi tension d'alimentation. On notera qu'avec  $V_{THn} \approx |V_{THp}|$

$$\alpha_{pn}^{equ} \approx \frac{\mu_n}{\mu_p} \approx 2 \dots 3.$$

### 1.2.2 Analyse dynamique

#### - Calcul du temps de descente et de montée

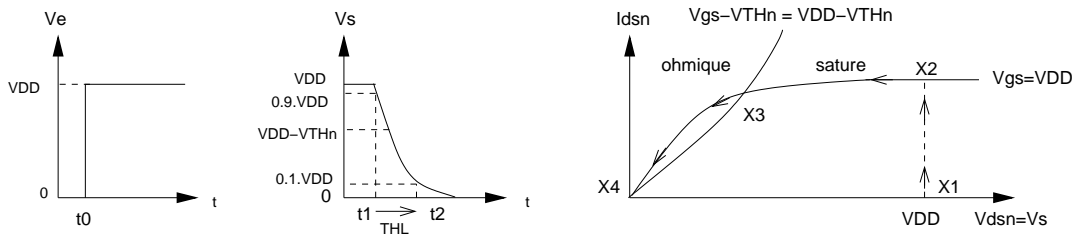


FIGURE 7 –

*Lieu du point de fonctionnement de MN*

La vitesse de commutation de l'inverseur CMOS est limitée par le temps nécessaire à la charge et à la décharge de la capacité de sortie  $C_s$  correspondant à la capacité intrinsèque et extrinsèque du dispositif. Cette dernière ayant essentiellement pour origine le routage et la capacité d'entrée des différentes portes logiques connectées sur l'inverseur. Si on considère un front d'attaque positif (échelon de tension idéal d'amplitude  $VDD$ ), pour  $t < t_0$  le transistor MN étant bloqué ( $V_{sgn} = 0$ ) et MP étant ohmique ( $V_{sdp} = 0$  et  $V_{sgp} = VDD$ ), la capacité  $C_s$  est initialement chargée à  $VDD$  (point de fonctionnement  $X1$  de la figure 7). L'application de la tension  $V_{gsn} = VDD$  sur l'entrée de

l'inverseur provoque le déplacement du point de fonctionnement en  $X2$  correspondant à MN saturé ( $Vds_n > Vgs_n - VTH_n$ ) et MP bloqué ( $Vsg_p = 0$ ) puis la décharge du condensateur  $Cs$  déplace ce point de fonctionnement en  $X3$  (MN ohmique et MP bloqué) jusqu'en  $X4$  où le condensateur est déchargé ( $Vs = Vds_n \approx 0$ ). Ainsi, le calcul du temps de descente de l'inverseur peut être effectué à partir du modèle de la *figure 8*. Avec

$$ICs = Ids_n = -Cs \frac{dVs}{dt}$$

on détermine

$$THL = \int_{t1}^{t2} dt = -Cs \int_{0.1VDD}^{0.9VDD} \frac{dVds_n}{Ids_n} = ta + tb$$

avec

$$ta = +Cs \int_{0.1VDD}^{VDD-VTH_n} \frac{dVds_n}{Ids_{n_{ohm}}} = +Cs \int_{0.1VDD}^{VDD-VTH_n} \frac{dVds_n}{2K_n(VDD-VTH_n-0.5Vds_n)Vds_n}$$

et

$$tb = +Cs \int_{VDD-VTH_n}^{0.9VDD} \frac{dVds_n}{Ids_{n_{sat}}} = +\frac{Cs(VTH_n-0.1VDD)}{K_n(VDD-VTH_n)^2}.$$

Si le calcul de la seconde intégrale est trivial en prenant un modèle de courant  $Ids_n$  ne dépendant pas de la tension de drain, le calcul de la première, fonction de  $Vds_n$ , peut être réalisé à partir de l'expression de l'intégrale générique

$$\int \frac{dx}{x(a+bx^n)} = \frac{1}{an} \text{Log}\left(\frac{x^n}{a+bx^n}\right)$$

qui nous permet de calculer

$$ta = \frac{Cs}{2K_n(VDD-VTH_n)} \text{Log}\frac{19VDD-20VTH_n}{VDD}$$

et

$$THL = \frac{Cs}{2K_n(VDD-VTH_n)} \left( 2\frac{VTH_n-0.1VDD}{VDD-VTH_n} + \text{Log}\frac{19VDD-20VTH_n}{VDD} \right)$$

Par symétrie, le temps de montée de l'inverseur CMOS peut directement s'écrire

$$TLH = \frac{Cs}{2K_p(VDD-VTH_p)} \left( 2\frac{VTH_p-0.1VDD}{VDD-VTH_p} + \text{Log}\frac{19VDD-20VTH_p}{VDD} \right)$$

Par analogie avec un circuit RC passif du premier ordre ayant un temps de monté  $Tm = \text{Log}(9).RC$ , on peut définir les résistances équivalentes  $R_{Tp}$  et  $R_{Tn}$  telles que

$$THL = \text{Log}(9).R_{Tn} Cs$$

et

$$TLH = \text{Log}(9).R_{Tp} Cs.$$

Ces deux résistances équivalentes sont inversement proportionnelles à la largeur  $W$  des transistors. On notera que l'inverseur équilibré est symétrique en terme de temps de descente et de montée (avec  $VTH_n = |VTH_p|$ ).

## - Calcul des temps de propagation



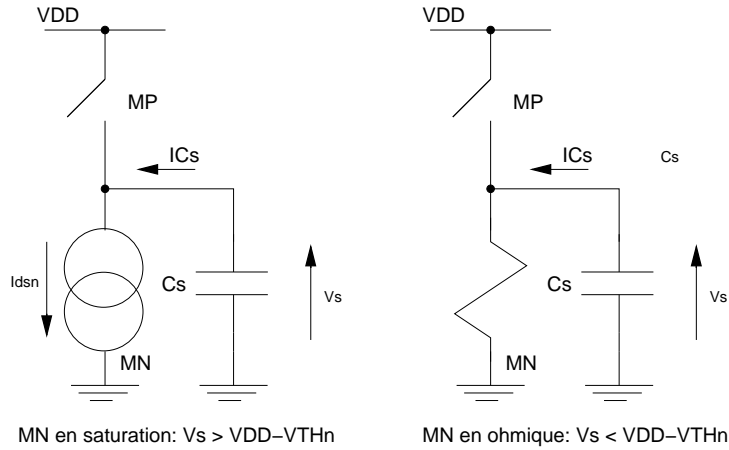


FIGURE 8 –

*Modèle de calcul sur le front descendant de l'inverseur CMOS*

L'entrée de l'inverseur CMOS étant un échelon de tension idéal d'amplitude VDD, on peut écrire

$$TPHL = -C_s \int_{0.5V_{DD}}^{V_{DD}} \frac{dV_{dsn}}{I_{dsn}} = ta + tb.$$

Par rapport au calcul du temps de descente, en modifiant les bornes d'intégration on calcule

$$TPHL = \frac{C_s}{2K_n(V_{DD} - V_{THn})} \left( 2 \frac{V_{THn}}{V_{DD} - V_{THn}} + \text{Log} \frac{3V_{DD} - 4V_{THn}}{V_{DD}} \right)$$

et on détermine

$$TPLH = \frac{C_s}{2K_p(V_{DD} - V_{THp})} \left( 2 \frac{V_{THp}}{V_{DD} - V_{THp}} + \text{Log} \frac{3V_{DD} - 4V_{THp}}{V_{DD}} \right)$$

ainsi que

$$TP = \frac{TPHL + TPLH}{2}.$$

En termes de circuit équivalent du premier ordre, on peut écrire

$$TPHL = \text{Log}(2) \cdot R_{TPn} C_s, \quad TPLH = \text{Log}(2) \cdot R_{TPp} C_s \quad \text{et} \quad TP = \text{Log}(2) R_{TP} C_s.$$

On notera qu'à longueur identique, la résistance équivalente moyenne de propagation est inversement proportionnelle à la largeur W des transistors N et P.

### - Calcul des capacités intrinsèques

Différentes capacités peuvent être associées à l'inverseur CMOS. Ormises les éventuelles capacités de routage (extrinsèques) issues du dessin des masques d'intégration du dispositif (essentiellement pour le routage de l'entrée et de la sortie), et les différentes capacités de recouvrement, elles ont pour origine les capacités actives des transistors MOS. Les cinq condensateurs de la *figure 9*

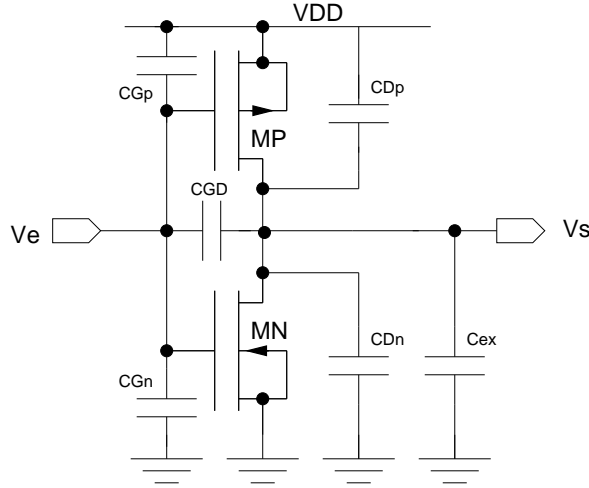


FIGURE 9 –

*Capacités parasites de l'inverseur CMOS*

$$CGn = Cgs_n + Cgb_n$$

$$CGp = Cgs_p + Cgb_p$$

$$CGD = Cgd_n + Cgd_p$$

$$CDn = Csd_n + Cdb_n$$

et

$$CDp = Csd_p + Cdb_p.$$

sont donc non linéaires puisque fonction de la position du point de fonctionnement de l'inverseur CMOS. Si on veut obtenir une estimation de la capacité de sortie  $C_s$  et de la capacité d'entrée  $C_e$  on doit fournir une valeur "moyenne" des différentes composantes. Ainsi, si on considère l'expression générique des [capacités de jonction](#) intervenant dans le calcul de  $CDn$  et  $CDp$

$$Cj(Vi) = \frac{Cj_0}{(1 + \frac{Vi}{\Phi_0})^{mj}},$$

on peut lui substituer une valeur moyenne pour l'intervalle de tension  $V2 - V1$

$$Cj_{moy} = \frac{1}{V2-V1} \int_{V1}^{V2} Cj(Vi) dVi = Kj.Cj_0$$

avec

$$Kj = \frac{\Phi_0}{(V2-V1)(1-mj)} \left[ \left(1 + \frac{V2}{\Phi_0}\right)^{1-mj} - \left(1 + \frac{V1}{\Phi_0}\right)^{1-mj} \right].$$

La somme des capacités  $Cgs$  et  $Cgb$  variant entre  $\frac{2}{3}Cox$  pour un transistor en régime saturé et  $Cox$  pour un transistor en faible inversion, on peut utiliser l'approximation par excès

$$CG = COX L_{eff} W_{eff}.$$

La capacité  $C_{gd}$  étant nulle pour le régime saturé et  $\approx C_{ox}/2$  pour l'ohmique on peut utiliser la valeur

$$C_{gd} = K_{cgd} COX L_{eff} W_{eff}.$$

On notera que selon les auteurs la constante multiplicative  $K_{cgd}$  peut être nulle [8] (on ne prend en compte que les capacités de recouvrement) ou égale à 0,5 [12]. Une estimation de la capacité de sortie  $C_s$  est souvent donnée par l'expression

$$C_s \approx C_{db_n} + C_{db_p} + 2(C_{gd_n} + C_{gd_p}).$$

Cette capacité étant proportionnelle à la largeur  $W$  des transistors N et P, on constate que les caractéristiques temporelles intrinsèques ( $TPHL$ ,  $TPLH$  et  $TP$ ) sont au premier ordre indépendantes du dimensionnement de l'inverseur (à  $\alpha_{pn}$  donné). Quant à la capacité d'entrée  $C_e$  une estimation est donnée par l'expression

$$C_e \approx CG_n + CG_p.$$

On notera le facteur multiplicatif 2 pour les capacités de couplage grille-drain permet de prendre en compte le fait que pour un balayage de la tension d'entrée d'une amplitude  $+VC$  correspond un balayage de la tension de sortie d'une amplitude  $-VC$  (pseudo effet Miller

:le courant dans  $C_{gd}$  "voit" une tension  $2VC$ ).

### 1.2.3 Validité des analyses

Les calculs analytiques des indices de performances ayant été effectués à partir d'une modélisation de premier niveau des transistors MOS, ils ne peuvent être que très approximatifs. D'autre part, les calculs temporels, effectués pour une attaque en échelon de tension idéal ne prend pas en compte la redistribution de charge réalisée par le diviseur capacitif de la *figure 9*, formé par la capacité de couplage  $CGD$  et la capacité de sortie  $C_s$  pouvant provoquer une surtension non négligeable [7]. Ces calculs correspondent à ce que l'on peut trouver dans la littérature ([3], [12]), [14]), [8]), et par rapport à une simulation électrique avec un modèle de troisième génération on doit attendre une précision de l'ordre de la dizaine de pourcent. Ils permettent toutefois une évaluation rapide des performances pour des applications non critiques. On trouvera dans [5] et [2] des calculs normalement plus précis à partir d'un modèle analytique prenant partiellement en compte des phénomènes électriques associés aux transistors submicroniques.

## 1.3 Stratégies de dimensionnement de l'inverseur CMOS

Pour dimensionner l'inverseur CMOS, on dispose de deux degrés de liberté : le rapport des géométries intrinsèque  $\alpha_{pn}$  des transistors P et N et la taille relative des inverseurs fixée par le rapport d'homothétie  $h$  entre les transistors N de deux inverseurs.

### 1.3.1 Fixation des rapports d'aspect

La fixation des rapports d'aspect des transistors N et P est souvent effectuée sur des critères purement intrinsèques. L'inverseur est considéré isolé, c'est à dire sans interaction avec les autres portes logiques.

### - Inverseur minimum

Si on veut minimiser l'aire active de l'inverseur on peut choisir le dimensionnement minimum autorisé par la technologie pour les transistors N et P. L'inverseur est dit minimum avec

$$\alpha_{pn}^{min} = \frac{(W_{min}/L_{min})_p}{(W_{min}/L_{min})_n}$$

### - Inverseur équilibré

Comme noté lors du calcul de la tension de commutation de l'inverseur, une optimisation des performances statiques peut être réalisée en équilibrant les deux transistors pour obtenir une tension de commutation à la moitié de la tension d'alimentation. Dans ce cas, l'inverseur est dit équilibré avec

$$\alpha_{pn}^{equ} = \frac{(W/L)_p}{(W/L)_n} \approx \frac{\mu_n}{\mu_p}$$

Les marges de bruit sont optimales et les temps de montée et de descente sont approximativement égaux. Pratiquement, cette valeur est souvent prise comme étant égale à trois ou quatre le transistor P étant replié pour minimiser les capacités de jonction.

### - Inverseur à temps de propagation minimum

Le dimensionnement des transistors N et P de l'inverseur étant dans le rapport

$$\alpha_{pn} = \frac{(W/L)_p}{(W/L)_n}$$

il est caractérisé par une capacité de sortie

$$Cs \approx CDn + CDp \approx CDn(1 + \alpha_{pn}).$$

et avec

$$\alpha_{pn}^{equ} = \frac{\mu_n}{\mu_p}$$

un temps de propagation

$$TP \propto (1 + \frac{\alpha_{pn}^{equ}}{\alpha_{pn}})(1 + \alpha_{pn})$$

qui est minimum avec

$$\frac{dTP}{d\alpha_{pn}} = 0$$

soit

$$\alpha_{pn}^{opt} = \sqrt{\alpha_{pn}^{equ}}.$$

Pratiquement, cette valeur est souvent prise comme étant égale à deux et le transistor P est simplement replié deux fois pour minimiser les capacités de jonction.

### 1.3.2 Fixation de la taille des inverseurs

Le rapport d'homothétie  $h$  entre les transistors  $N$  de deux inverseurs est optimisé sur des critères extrinsèques. Pratiquement, les longueurs des transistors étant fixes (souvent la longueur minimum), la taille des inverseurs est directement fixée par la largeur  $W$ . On notera que des valeurs  $h$  entières peuvent être simplement réalisées par une mise en parallèle d'inverseurs identiques.

#### - Dimensionnement d'un inverseur chargé

Considérons un inverseur de référence de rapport d'aspect quelconque  $\alpha_{pn}^{ref}$  chargé. En négligeant les capacités de connexion, il est caractérisé par un temps de propagation

$$TP = \text{Log}(2) R_{TP_{ref}} (C_{s_{ref}} + C_{ext})$$

soit

$$TP = \text{Log}(2) R_{TP_{ref}} C_{s_{ref}} \left(1 + \frac{C_{ext}}{C_{s_{ref}}}\right) = R_{TP0} \left(1 + \frac{C_{ext}}{C_{s_{ref}}}\right).$$

Le facteur  $TP0$  étant le temps de propagation intrinsèque de l'inverseur de référence, si on multiplie par  $h$  la taille de cet inverseur, on peut écrire

$$TP_h = \text{Log}(2) \frac{R_{TP_{ref}}}{h} h.C_{s_{ref}} \left(1 + \frac{C_{ext}}{h.C_{s_{ref}}}\right) = TP0 \left(1 + \frac{C_{ext}}{h.C_{s_{ref}}}\right).$$

Ainsi, on constate d'une part que  $R_{TP0}$  étant inversement proportionnelle à la largeur  $W$  des transistors alors que  $C_{s_{TP0}}$  est proportionnelle à  $W$ , en l'absence de charge, le temps de propagation de l'inverseur est au premier ordre uniquement fixé par les paramètres physiques de la technologie utilisée. D'autre part, en prenant la facteur d'homothétie  $h$  suffisamment grand (pratiquement 5 à 10), il est toujours possible de s'affranchir de l'effet de charge.

#### - Dimensionnement à temps de propagation constant

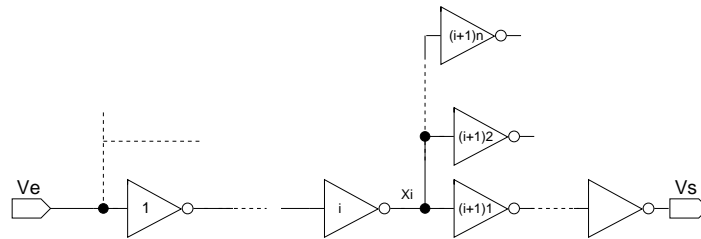


FIGURE 10 –

*Modélisation d'une suite d'opérateurs numériques*

Considérons une suite d'opérateurs numériques modélisé par le bloc d'inverseurs de la *figure 10*. Partant d'un objectif de temps de propagation total  $TP_{tot}$ , on peut fixer la taille  $h$  des inverseurs pour qu'ils aient tous le même temps de propagation. La fraction de capacité au nœud  $X_i$  correspondant au  $n$  capacités d'entrée des  $n$  opérateurs logiques en parallèle ayant pour valeur  $m_i.C_{e_{ref}}$ , pour l'inverseur  $i$ , on peut écrire

$$TP_i = TP_0 \left(1 + \frac{m_i \cdot C_{e_{ref}}}{h_i \cdot C_{s_{ref}}}\right).$$

Ainsi, avec

$$h_i = m_i$$

on obtient un temps de propagation identique pour chaque opérateur. Cette méthode de dimensionnement assure un bon compromis vitesse-consommation. Bien entendu la fixation des facteurs d'homothétie devra toujours commencer à partir du dernier inverseur de la chaîne. En terme de définition, la sortance  $F_s$  étant définie comme le nombre d'inverseurs attaqués identiques à l'inverseur attaquant (rapport de géométrie de l'inverseur attaqué à l'inverseur attaquant), un temps de propagation unitaire pour tous les opérateurs d'un bloc numérique est assuré si leur sortance est unitaire.

### - Dimensionnement d'une cascade d'inverseurs homothétiques sur forte charge capacitive

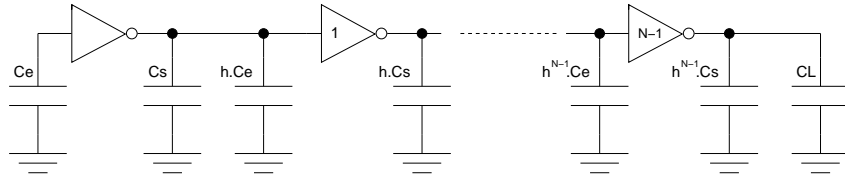


FIGURE 11 –

*Cascade d'inverseurs tampons*

Lors de la remise en forme, la [génération](#)

ou la distribution de signaux d'horloge à partir d'inverseurs, la capacité de charge peut être assez grande (qqz pF si la fréquence d'horloge est élevée). Afin d'éviter l'utilisation d'inverseurs "démésurés" pour limiter le temps de propagation (la capacité de charge est indépendante du dimensionnement du dispositif), on peut adapter cette charge par une cascade d'inverseurs tampons. Le plan de dimensionnement généralement utilisé [5] consiste dans ce cas à distribuer uniformément le temps de propagation total. Ainsi, si on considère le schéma de la *figure 11*, constitué d'une cascade de  $N$  inverseurs, chaque dispositif étant plus large que le précédent d'un facteur  $h$  (à longueur fixe la largeur des transistors MOS est multipliée par  $h$ ). Chaque capacité d'entrée et de sortie est  $h$  fois plus grande que la capacité d'entrée et de sortie de l'étage précédent, et si le dernier inverseur est dimensionné pour que la capacité de charge  $CL$  soit  $h$  fois sa capacité d'entrée, on peut écrire

$$CL = h^N C_e$$

soit

$$h = \left(\frac{CL}{C_e}\right)^{1/N}.$$

En terme de temps de propagation avec pour le premier inverseur

$$TP_0 \propto R_{TP0}(C_s + hC_e)$$

on calcule le temps de propagation totale par la succession

$$TP_{TOT} \propto \sum_{i=0}^{N-1} R_{TPi} (h^i C_s + h^{i+1} C_e).$$

$$TP_{TOT} \propto \sum_{i=0}^{N-1} \frac{R_{TP0}}{h^i} (h^i C_s + h^{i+1} C_e).$$

$$TP_{TOT} \propto N R_{TP0} (C_s + h C_e)$$

soit

$$TP_{TOT} \propto N R_{TP0} (C_s + (\frac{CL}{C_e})^{1/N} C_e)$$

Pour trouver le nombre d'inverseur N minimisant le temps de propagation totale, il suffit d'annuler la dérivée

$$\frac{dTP_{TOT}}{dN} \propto R_{TP0} C_s + R_{TP0} C_e (\frac{CL}{C_e})^{1/N} - (1 - \frac{\text{Log}(CL/C_e)}{N}).$$

Ainsi, en négligeant le temps de propagation intrinsèque  $R_{TP0} C_s$ , on calcule

$$N \approx \text{Log} \frac{CL}{C_e}.$$

Le rapport d'homothétie correspondant a pour valeur

$$h \approx e \approx 2,7.$$

On notera qu'en surdimensionnant le premier étage pour augmenter  $C_e$ , on diminue le nombre d'inverseurs. Par ce biais, une minimisation de l'aire active de la cascade peut donc être réalisée.

## 1.4 Puissance consommée par l'inverseur

Il est possible de répertorier trois sources majeures de consommation, ainsi, la puissance consommée par un inverseur est exprimable par la relation

$$Pd = P_{dyn} + P_{cct} + P_{sta}.$$

### 1.4.1 Puissance dynamique

La puissance dynamique consommée est due à la charge et à la décharge de la capacité de sortie de l'inverseur. Lors de la charge de la capacité  $C_s$  par le transistor P, l'énergie prélevée sur l'alimentation  $VDD$  a pour valeur

$$E_{VDD} = VDD \int_0^\infty i_{VDD}(t) dt = VDD \int_0^\infty C_s \frac{dV_s}{dt} dt = C_s VDD \int_0^{VDD} dV_s$$

soit

$$E_{VDD} = C_s VDD^2.$$

Une partie de cette énergie est dissipée par le transistor P et une partie est stockée sur  $C_s$ , cette dernière ayant pour valeur

$$E_{C_s} = \int_0^\infty i_{VDD}(t) V_s dt = \int_0^\infty C_s \frac{dV_s}{dt} V_s dt = C_s \int_0^{VDD} V_s dV_s$$

soit

$$E_{C_s} = \frac{C_s V_{DD}^2}{2}.$$

Lors de la décharge de  $C_s$  par le transistor N l'énergie stockée est dissipée par le transistor N, ainsi sur un cycle d'horloge de fréquence  $Fh$  (succession d'une transition montante puis d'une transition descendante), l'inverseur CMOS dissipe une énergie totale

$$E_d = C_s V_{DD}^2$$

correspondant à une puissance dynamique consommée

$$P_{dyn} = C_s V_{DD}^2 Fh.$$

En générale, dans un bloc logique, sauf par exemple pour un tampon d'horloge, les inverseurs ne commutent pas à chaque transition d'horloge et on exprime la puissance dynamique consommée par la relation

$$P_{dyn} = T_{ac} C_s V_{DD}^2 Fh.$$

Le taux d'activité  $T_{ac}$ , de nature statistique [4], dépend de la fonction logique réalisée. On notera que cette puissance est indépendante de la forme des signaux d'horloge et correspond normalement à composante principale de la puissance dynamique consommée par l'inverseur CMOS.

#### 1.4.2 Puissance de court-circuit

Au moment de la commutation de l'inverseur, il existe généralement un faible laps de temps où le transistor N et le transistor P conduisent. Cette conduction simultanée se produisant au voisinage de la tension de commutation, c'est à dire au moment où les deux transistors sont en régime saturé et pour une durée  $T_{cct}$ , dépendante de la pente des signaux d'horloge, elle correspond une puissance consommée

$$P_{cct} = 2 T_{ac} T_{cct} I_{sat} V_{DD} Fh.$$

En supposant une pente constante de valeur  $V_{DD}/\tau$  pour le signal d'horloge le temps de court-circuit peut être exprimé par la relation

$$T_{cct} \approx \tau \frac{V_{DD} - V_{THn} - |V_{THp}|}{V_{DD}}.$$

Le courant de court-circuit, proportionnel au dimensionnement des transistors P et N, peut théoriquement être réduit en limitant la tension d'alimentation au voisinage de la valeur  $V_{DD} = V_{THn} + |V_{THp}|$ . Ceci bien entendu au détriment de la marge de bruit. Typiquement la puissance de court-circuit est de l'ordre de la dizaine de pourcent de la puissance dynamique.

#### 1.4.3 Puissance statique

Durant l'absence de commutation, un courant statique, nécessaire au maintien l'information sur les nœuds d'entrée et de sortie, circule dans l'inverseur. Ce courant a principalement pour origine, le courant de faible inversion du transistors MOS bloqué et les courants inverses de jonction de source et de drain [transistor MOS](#)



. A ces deux courants, pour les technologies fortement submicroniques ( $L_{min} < 0,1\mu m$ ), il convient d'ajouter le courant parasite de grille des transistors MOS. La puissance statique consommée, normalement très faible, est également très sensible à la température puisque les courants inverses de jonction double approximativement tous les  $10^{\circ}C$ .

#### 1.4.4 Dimensionnement de l'inverseur à partir de la puissance consommée

Si on néglige les capacités d'interconnexion, un dimensionnement à inverseur minimum minimisant la capacité de sortie, minimise la puissance dynamique consommée. Par contre si les capacités d'interconnexion doivent être prise en compte le dimensionnement des inverseurs peut avoir un rôle non négligeable sur la puissance électrique consommée et des techniques de dimensionnement optimales peuvent être utilisées ([8], [4], [11]).

#### 1.4.5 Mesure par simulation de la puissance

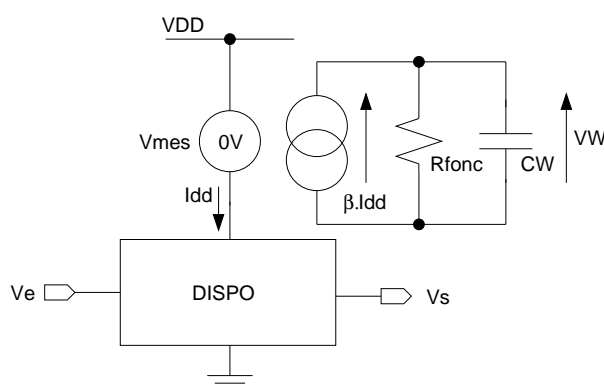


FIGURE 12 –

*Montage de mesure directe de la puissance consommée*

Partant de l'expression du courant consommé

$$Pd = P_{moy} = \frac{1}{T_h} \int_0^{T_h} p(t) dt = \frac{V_{DD}}{T_h} \int_0^{T_h} i_{dd}(t) dt,$$

avec un simulateur [électrique](#)

standard, on peut mesurer avec une sonde (source de tension indépendante de valeur nulle), le courant  $i_{dd}$  traversant l'alimentation et intégrer sur une période d'horloge les valeurs obtenue, soit par une technique indirecte en effectuant un calcul numérique sur les résultats simulés, ou par une technique directe utilisant une macromodélisation d'un wattmètre ([13],[9]). Pour ce faire, on peut considérer le montage de la *figure 12*. La résistance  $R_{fonc}$  étant une résistance fonctionnelle de très forte valeur assurant la convergence de l'analyse statique précédant l'analyse transitoire permettant la mesure du courant  $I_{dd}$ , on peut écrire

$$\frac{dVW}{dt} = \frac{\beta}{CW} I_{dd}$$

soit

$$VW = \frac{\beta}{CW} \int_0^t I_{dd}(\tau) d\tau.$$

Par identification avec l'expression de la puissance moyenne, sur une période d'horloge, on obtient l'équivalence

$$P_{moy} = \frac{VDD}{Th} \frac{CW}{\beta} VW.$$

Il suffit donc de fixer

$$CW = \beta \frac{Th}{VDD}$$

pour évaluer directement par simulation la puissance moyenne consommée par l'inverseur (ou d'un circuit numérique). D'autre part, si on considère la série de graphes de la *figure 13*, en mesurant le courant  $I_{ss}$  circulant dans le nœud commun de source du circuit, on peut séparer par mesure ou par calcul les trois composantes  $P_{sta}$ ,  $P_{dyn}$  et  $P_{cct}$ .

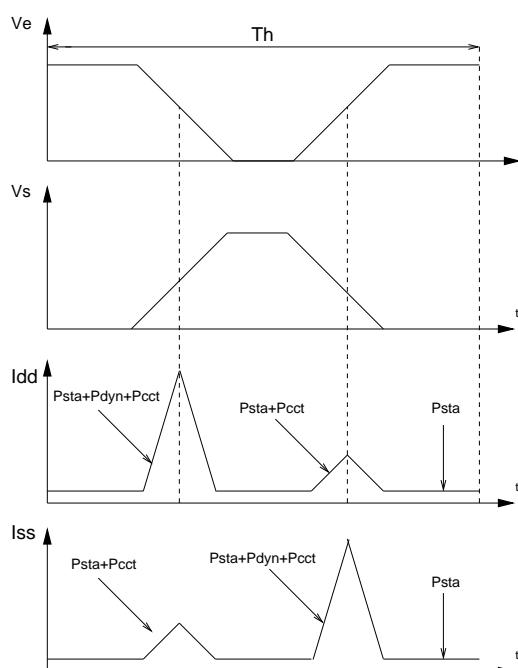


FIGURE 13 –

*Graphes stylisés correspondant à la mesure de la puissance consommée*

## 2 Les circuits combinatoires CMOS

### 2.1 Concepts de base

Par définition, un circuit combinatoire est un circuit logique dont les sorties ne dépendent que de l'état des entrées. Bien que ce type d'opérateur puisse être réalisé par différentes familles logiques (styles), nous nous limiterons aux opérateurs CMOS standards constitués d'un réseau de transistors N et d'un réseau dual de transistors P comme indiqué sur la *figure 14*. Ce type de logique, dite statique complémentaire CMOS est caractérisé par une sortie faible impédance quelque soit l'état de son entrée. Elle présente également un bon comportement vis à vis du bruit de commutation (sensibilité et génération), une assez faible consommation et un bon comportement aux tensions

d'alimentations réduites [1]. Les deux réseaux étant commandés par les mêmes signaux d'entrées, à chaque somme de produit du réseau N correspond un produit de somme du réseau P (et inversement). Cette dualité assure l'absence de consommation statique. Tout circuit combinatoire CMOS statique standard étant par construction inverseur, la réalisation d'une fonction Booléenne non inverseuse est impossible en un seul étage, elle impliquera l'utilisation d'un étage supplémentaire d'inversion. Ainsi, un circuit combinatoire CMOS peut être considéré comme une extension de l'inverseur et ses performances en terme de surface, vitesse et consommation peuvent se déduire d'un inverseur "équivalent".

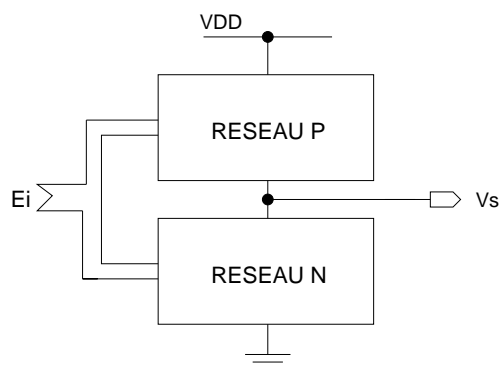


FIGURE 14 –

*Structure d'un circuit logique CMOS sans consommation statique*

## 2.2 La porte logique NAND

### 2.2.1 Symbole, table de vérité et synthèse

La porte logique NAND (non et) à deux entrées représentée sur la [figure 15](#) est simplement réalisée par la mise en série de deux transistors de type N. Un NAND à entrées multiples peut être synthétisé de la même façon, mais pratiquement, de part l'utilisation de tension d'alimentation de plus en plus réduite, le nombre maximum d'entrée est limité à trois pour diminuer l'empilage de transistor et l'influence de l'effet de substrat sur la tension de seuil des transistors séries.

### 2.2.2 Caractérisation statique et dynamique

Les caractéristiques statiques et dynamiques du NAND dépendent évidemment de l'état logique de ses différentes entrées. Ainsi, généralement, les spécifications électriques de la porte peuvent être données soit à partir de l'inverseur équivalent obtenu en reliant physiquement toutes les entrées ou en ne considérant qu'une seule entrée active, les autres étant reliées à la tension d'alimentation VDD (un logique).

### 2.2.3 Dimensionnement

Le dimensionnement du NAND peut être effectué directement sur un inverseur équivalent. Ainsi, avec

$$K_n^{eq} = 0.5\mu_n \frac{W}{2L} \text{ et } K_p^{eq} = 0.5\mu_p \frac{2W}{L}$$

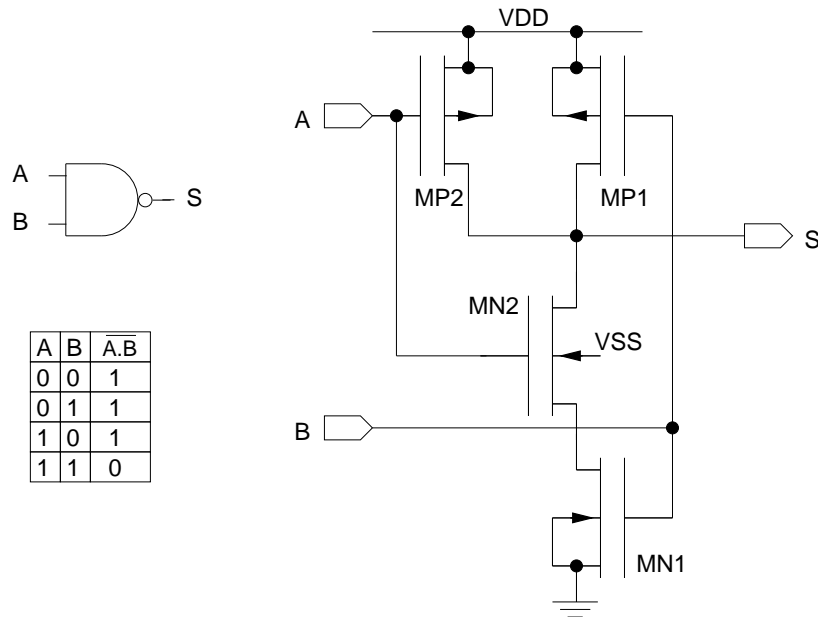


FIGURE 15 –

*NAND CMOS : symbole, table de vérité et schéma physique*

un NAND équilibré pour les deux entrées actives en même temps, est obtenu avec

$$\alpha_{pn} = \frac{(W/L)_p}{(W/L)_n} \approx \frac{1}{4} \frac{\mu_n}{\mu_p}.$$

On notera que ce dimensionnement suppose que la mise en série de deux transistors MOS correspond à un transistor unique de longueur  $2L$ , que l'effet de substrat est ignoré, que  $V_{TH_p} = V_{TH_n}, \dots$ . On notera également que le rapport  $\mu_n/\mu_p$  étant normalement inférieur à 4, l'équilibrage électrique exact du NAND implique soit une longueur  $L$  du transistor P supérieure à celle N ou une largeur  $W$  du N supérieure à celle du P. Dans ce dernier cas, usuellement, on fixe simplement un facteur de repliement du N égale à 2 pour limiter l'influence des capacités de jonction.

## 2.3 La porte logique NOR

La porte logique NOR (non ou) est la porte duale du NAND. Le NOR à deux entrées représenté sur la *figure 16* est simplement réalisé par la mise en parallèle de deux transistors de type N. Comme pour le NAND, le nombre maximum d'entrée est généralement limité à trois, et les spécifications électriques de la porte sont données à partir d'un inverseur équivalent.

### 2.3.1 Dimensionnement

Un dimensionnement du NOR peut être effectué directement sur un inverseur équivalent. Ainsi, avec

$$K_n^{eq} = 0.5\mu_n \frac{2W}{L} \text{ et } K_p^{eq} = 0.5\mu_p \frac{W}{2L}$$

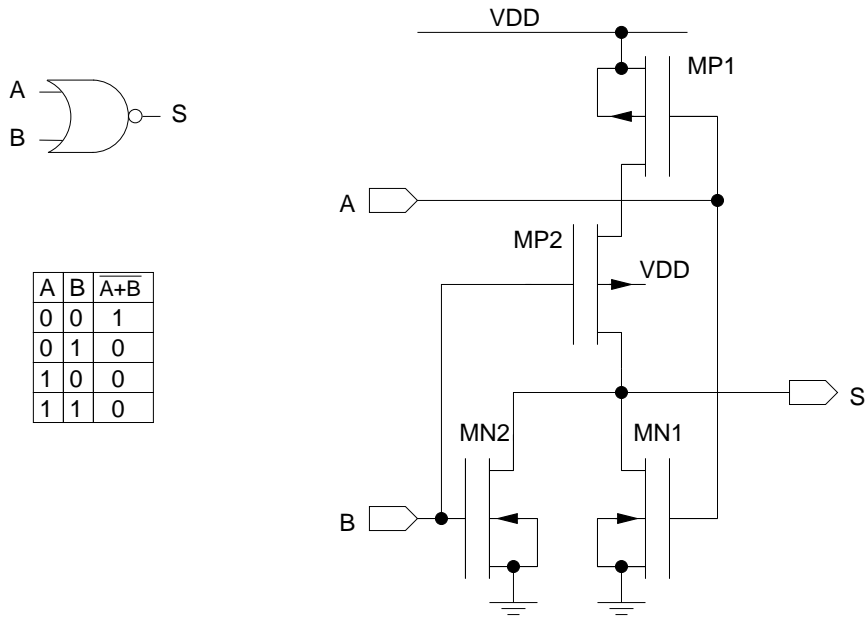


FIGURE 16 –

*Nor CMOS : symbole, table de vérité et schéma physique*

un NOR équilibré (pour les deux entrées actives en même temps) est obtenu avec

$$\alpha_{pn} = \frac{(W/L)_p}{(W/L)_n} \approx 4 \frac{\mu_n}{\mu_p}$$

Avec rapport  $\mu_n/\mu_p$  de l'ordre de 3, l'équilibrage électrique du NOR conduit à une largeur W du P douze fois supérieure à celle du N. En terme de surface, pour la réalisation de circuits logiques combinatoires complexes, l'utilisation de portes NAND s'avère souvent plus efficace que l'utilisation de portes NOR. On notera qu'un dimensionnement partant d'une équivalence à une seule entrée active (les autres entrées étant connectées au zéro logique) serait nettement moins défavorable pour la porte NOR.

## 2.4 Synthèse des portes logiques complexes

### 2.4.1 Restructuration des portes logiques

L'entrance des portes logiques élémentaires étant physiquement limitée à trois, si nécessaire, il est toujours possible de restructurer un circuit à N entrées en circuits à deux entrées. A titre d'exemple, on peut considérer la restructuration d'un NAND à quatre entrées en circuits à deux entrées. Pour ce faire, il suffit d'effectuer la double complémentation

$$\overline{\overline{A.B.C.D}} = \overline{\overline{\overline{\overline{A.B.C.D}}}}$$

et d'utiliser le théorème de de Morgan pour arriver à

$$\overline{\overline{A.B.C.D}} = \overline{\overline{\overline{\overline{A.B + C.D}}}}$$

synthétisable directement par le circuit de la *figure 17*. On notera que le temps de prop-

agation étant quadratiquement dépendant de l'entrée, la restructuration peut réduire le temps de propagation de la porte logique.

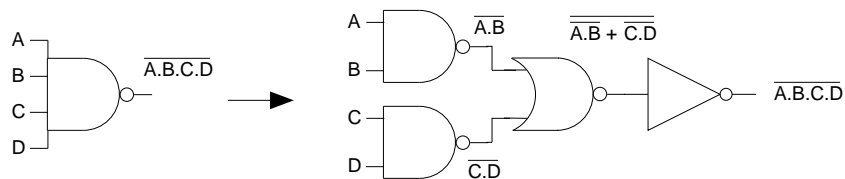


FIGURE 17 -

*Restructuration d'un NAND à quatre entrées*

### 2.4.2 Structures AOI

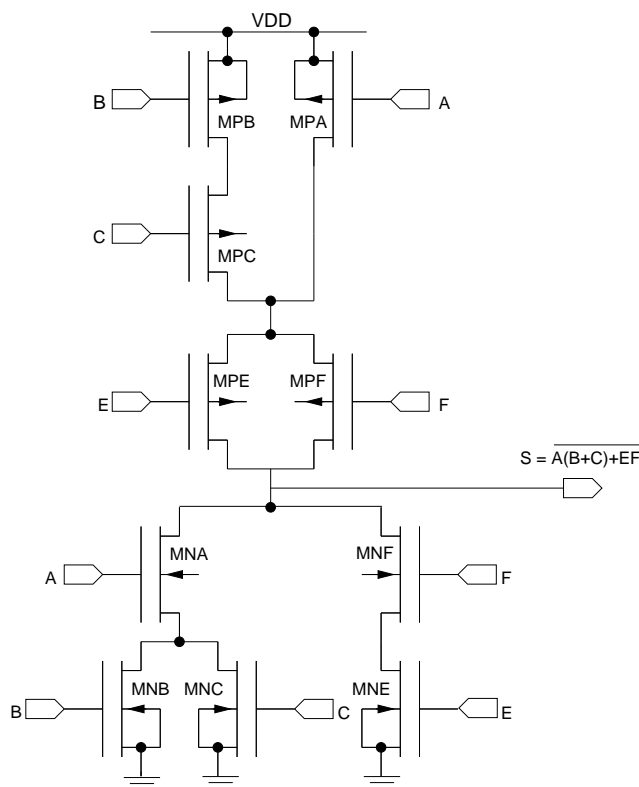


FIGURE 18 -

*Structure AOI réalisant la fonction  $S = \overline{A(B+C)} + EF$*

Bien que l'ensemble des fonctions logiques élémentaires NAND, NOR et INV (inversion ou complément) soit suffisant pour la réalisation de n'importe quelle fonction logique combinatoire complexe, en terme de densité d'intégration et de consommation, il peut être avantageux de synthétiser directement la fonction à partir de structure AOI (And,Ou,Inversion) en utilisant le fait que deux transistors en série réalise la fonction ET et que deux transistors en parallèle réalise la fonction OU. Ainsi, la fonction combinatoire  $S = \overline{A.(B + C)} + E.F$  est directement synthétisable à partir de la structure AOI

de la *figure 18*. On notera toutefois, que la réalisation de fonction combinatoire complexe à partir de structures AOI peut rapidement conduire à des circuits physiquement non réalisables de part le grand nombre d'empilage de transistors.

Une réalisation avec des portes standard est donné par le bloc numérique de la *figure 19*. Pour ce faire on écrit successivement

$$S = \overline{A.(B + C) + E.F}$$

$$S = \overline{A.(B + C)}.E.F$$

$$S = \overline{\overline{\overline{A.(B + C)}}.E.F}$$

$$S = A.(\overline{\overline{B.C}}).E.F$$

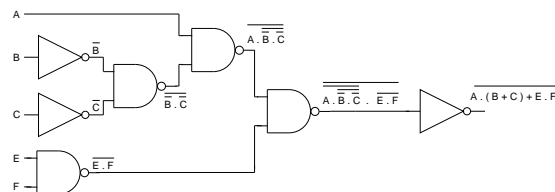


FIGURE 19 –

*Circuit combinatoire standard réalisant la fonction  $S = \overline{A(B + C) + EF}$*

### 3 Les circuits séquentiels CMOS

#### 3.1 Concepts de base

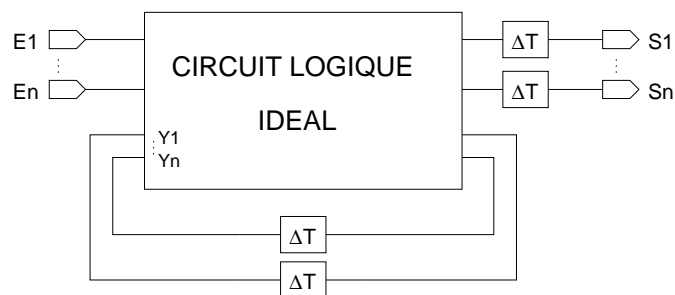


FIGURE 20 –

*Modélisation d'un circuit séquentiel réel*

Un circuit logique séquentiel, est un circuit numérique dont l'état des sorties dépend non seulement de la valeur courante des entrées mais aussi de l'historique des valeurs précédentes. Pour une même combinaison de valeurs en entrée, il présente des sorties différentes à des instants différents, un jeu de variables supplémentaires internes doivent

donc être produites localement. Etant un système logique bouclé, pour conserver un fonctionnement causal, il convient d'introduire des délais de propagation des signaux, ainsi un circuit séquentiel physique peut toujours être décomposé en deux parties, un circuit idéal réalisant la fonction demandée et un circuit apportant un retard (*figure 20*). Pour obtenir une combinaison de sortie déterminée, il est donc nécessaire de présenter les signaux dans un ordre déterminé en respectant un jeu de contraintes temporelles, durée des signaux, écart entre signaux, durée de répétition, . . . .

Deux familles de systèmes séquentiels peuvent être distinguées. La première famille regroupe les systèmes asynchrones, caractérisés par une évolution de l'état de leurs variables internes qui s'effectuent spontanément selon l'évolution de l'état de leurs variables d'entrée. La seconde famille regroupe les systèmes synchrones, caractérisés par une évolution de l'état de leurs variables internes conditionnée par l'évolution d'un signal de synchronisation appelé horloge. Le signal d'horloge permet essentiellement de palier aux problèmes de contrôle et éventuellement d'instabilité inhérent à l'évolution autonome des systèmes asynchrones. Eventuellement associés à un circuit combinatoire, les circuits séquentiels permettent la réalisation de fonctions numériques essentielles telles que la mémorisation, l'ordonnancement de tâches (séquençement), le comptage, . . . .

### 3.2 Le principe de bistabilité

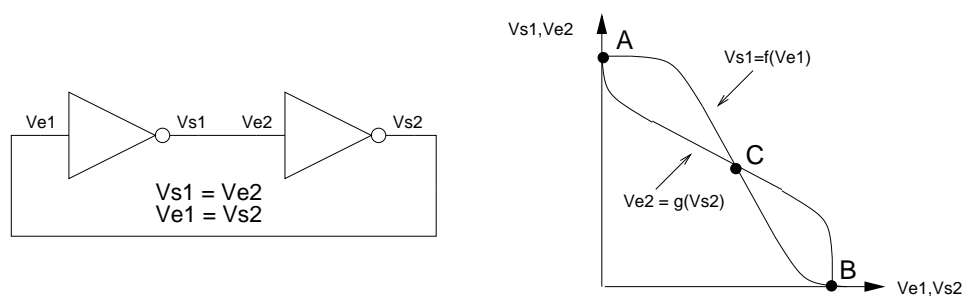


FIGURE 21 –

*Principe de bistabilité*

Le principe de bistabilité est utilisé pour mémoriser (enregistrer) un événement fugitif. Pour ce faire, les cellules mémoires statiques standards CMOS utilisent la réaction positive autour d'un nombre pair d'inverseurs. Ainsi, si on considère le schéma de la *figure 21*, avec deux inverseurs, en imposant les égalités  $Vs1 = Ve2$  et  $Ve1 = Vs2$ , les caractéristiques de transfert statiques  $Vs1 = f(Ve1)$  et  $Ve2 = g(Vs2)$  montrent que le système est caractérisé par trois points de fonctionnement A, B et C. Si les gains des inverseurs dans la zone de transition sont supérieurs à l'unité, les points A et B sont stables et le point C est instable (état métastable). En effet, comme le montre graphiquement la *figure 22*, une faible modification  $\Delta V$  de la position du point C provoque son évolution vers l'état stable A (B avec  $\Delta V$  dans l'autre sens) avec une vitesse de convergence d'autant plus rapide que le gain au voisinage de C est important. En A (B), la stabilité est assurée puisque le gain à l'approche de A (B) est très inférieur à l'unité. On notera que physiquement la modification de position de C peut avoir des origines multiples : bruit thermique, bruit d'alimentation, . . . .

Ainsi, le bouclage de deux inverseurs forme un circuit ayant deux états stables (circuit bistable) pouvant mémoriser deux états logiques, l'état logique 1 correspondant au point



de fonctionnement A et l'état logique 0 correspondant au point de fonctionnement B. Un passage de l'état logique 1 à l'état logique 0 (0 vers 1) peut être provoqué en appliquant une tension de forçage sur l'entrée  $Ve1$  ( $Ve2$ ) suffisante pour placer temporairement le point de fonctionnement dans la zone de la caractéristique assurant la convergence vers le point B (A). En terme de spécifications électriques, l'impulsion doit avoir une amplitude supérieure à  $VC$  (tension de commutation des inverseurs) et une durée au moins égale au temps de propagation dans la boucle (tempd de régénération) qui correspond à la somme des temps de propagation des inverseurs. En logique complémentaire CMOS statique, l'impulsion de basculement est appliquée directement sur l'entrée des inverseurs sans ouverture physique de la boucle.

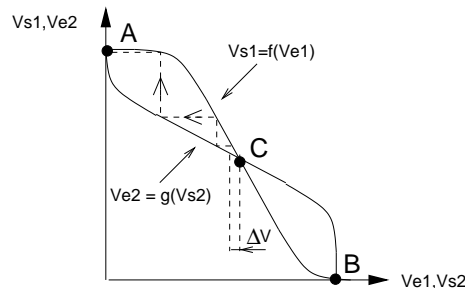


FIGURE 22 –

*Analyse graphique de l'instabilité du point C*

### 3.3 Les bistables RS asynchrones

Un bistable RS asynchrone est un circuit à deux entrées  $R$  et  $S$  et deux sorties  $Q$  et  $\bar{Q}$ . L'entrée  $S$  (Set) force la sortie  $Q$  de la bascule sur l'état logique 1 ( $\bar{Q}$  à 0) et l'entrée  $R$  (Reset) force la sortie  $Q$  sur l'état logique 0 ( $\bar{Q}$  à 1). Son symbole et sa table de vérité sont représentés sur la *figure 23*, la notation NA signifie que la configuration avec les entrées  $S$  et  $R$  simultanément à 1 n'est pas autorisée, le résultat, dépendant de la réalisation physique du bistable serait imprévisible.

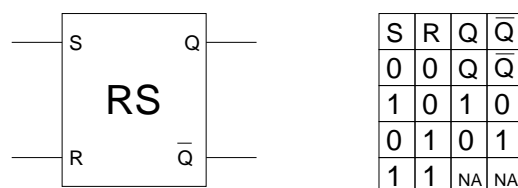


FIGURE 23 –

*Bistable RS :symbole et table de vérité*

#### 3.3.1 Les bistables RS à Inverseurs

##### - Schémas

Partant du principe de bistabilité, on peut directement générer deux schémas fonctionnels possibles (*figure 24*). Le premier (dit de "type N") est actif sur les niveaux hauts

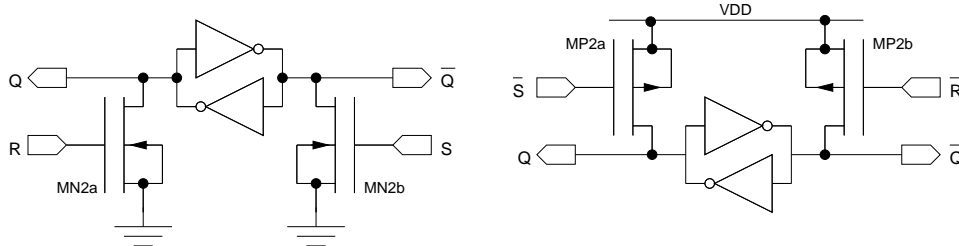


FIGURE 24 –

*Schémas fonctionnels des bistables RS à Inverseurs*

des entrées R et S. Il est dit "à forçage à zéro direct", l'activation de l'entrée R forçant à zéro la sortie Q sans transiter par l'inverseur b. Le second ("type P"), "à forçage à un direct" est actif sur les niveaux bas des entrées  $\bar{R}$  et  $\bar{S}$ . On notera que les entrées sont complémentées par soucis de cohérence avec la table de vérité du bistable RS. Les schémas physiques correspondant sont donnés sur la *figure 25*.

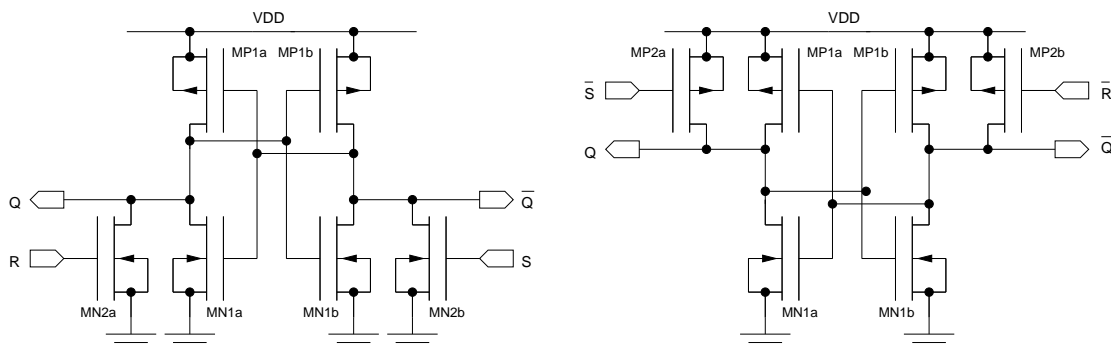


FIGURE 25 –

*Schémas physiques des bistables RS à Inverseurs*

## - Dimensionnement

Un dimensionnement des inverseurs étant préalablement effectué (minimum, optimum, équilibré, ...), on doit dimensionner les transistors de commande. Pour ce faire, si on considère par exemple le transistor MN2a, partant d'un état avant commutation avec  $Q=1$ , on peut observer que le transistor MP1a et MN1a ont leur grille connectée à VSS par  $\bar{Q} = 0$ . Ainsi, on doit égaliser les courants dans MP1a et MN2a (MN1a est bloqué) pour une tension de commutation  $VC$  donnée et placée sur la grille de MN2a. On peut ainsi écrire

$$\left(\frac{W}{L}\right)_{MN2a} = 2 \frac{\mu_p}{\mu_n} \frac{(VDD - |VTH|_p - \frac{VDD-VC}{2})(VDD - VC)}{(VC - VTH_n)^2}.$$

On notera qu'on suppose que le jeu de tension disponible place le transistor MP1 en régime ohmique. Ainsi, on peut facilement vérifier que si on désire un équilibrage des transistors, en référçant le dimensionnement sur MN1a on obtient

$$\left(\frac{W}{L}\right)_{MN2a} = 2 \frac{(\frac{3VDD}{4} - |VTH|_p) \frac{VDD}{2}}{(\frac{VDD}{2} - VTH_n)^2} \left(\frac{W}{L}\right)_{MN1a}.$$

Ainsi, avec  $VDD = 3V$ ,  $VTH_n = VTH_p = 1V$ , on obtient un rapport assez conséquent entre MN2 et MN1 puisque de l'ordre de la dizaine. On notera que sans dimensionnement des transistors de commande, le dispositif peut s'avérer non fonctionnel, notamment le bistable de type P. De ce fait, les bistables RS à inverseurs sont parfois considérés comme non standards.

### 3.3.2 Le bistable RS à NOR

#### - Schémas

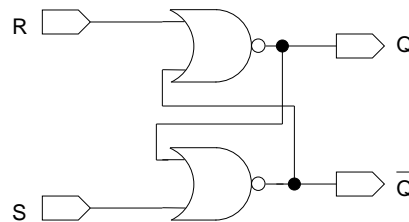


FIGURE 26 –

*Schéma fonctionnel du bistable RS à NOR*

En utilisant la nature inverseuse de la porte NOR, une des deux entrées étant utilisée pour la commande, par bouclage on obtient directement le schéma fonctionnel de la *figure 26* et le schéma physique de la *figure 29*. On notera que nous avons choisi arbitrairement d'effectuer le bouclage des sorties sur les transistors MN1 et MP1 qui ne sont pas sujet à l'effet de substrat. On notera que le bistable RS à NOR est actif sur les niveaux hauts des entrées R et S, il est à forçage à zéro direct.

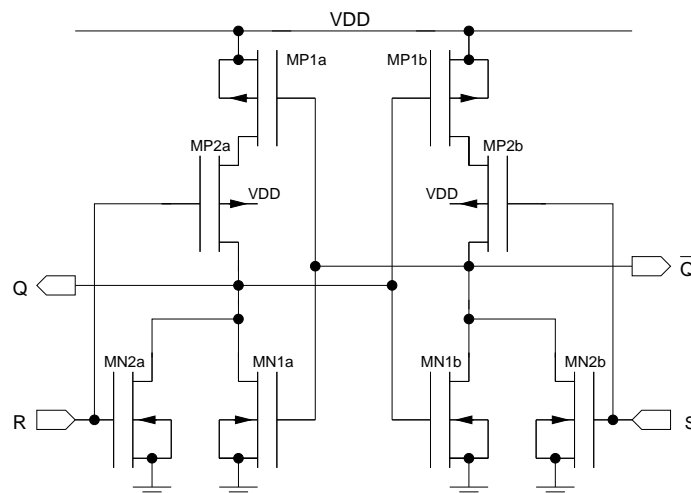


FIGURE 27 –

*Schéma physique du bistable RS à NOR*

#### - Dimensionnement

Un dimensionnement à transistors minimum est possible. Si un dimensionnement à NOR équilibrés est utilisé, il doit être réalisé l'entrée R active et l'entrée des transistors

MN1a et MP1a au 0 logique puisque c'est la configuration du NORa lorsque l'entrée R atteint la tension de commutation.

### 3.3.3 Le bistable RS à NAND

#### - Schémas

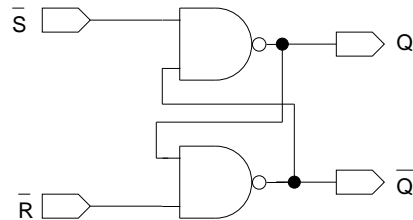


FIGURE 28 –

*Schéma fonctionnel du bistable RS à NAND*

Le bistable RS à NAND et le bistable RS à NOR sont duaux. En utilisant la nature inverseuse de la porte NAND, par bouclage on obtient directement le schéma fonctionnel de la *figure 28*. Le respect de la table de vérité du bistable RS implique l'inversion des signaux R et S. Le bistable RS à NAND est actif sur le niveau bas des signaux de commande et qu'il st à forçage à un direct. Un schéma physique est donné sur la *figure ??*. Le bouclage des sorties est réalisé sur les transistors MN1 et MP1 qui ne sont pas sujet à l'effet de substrat.

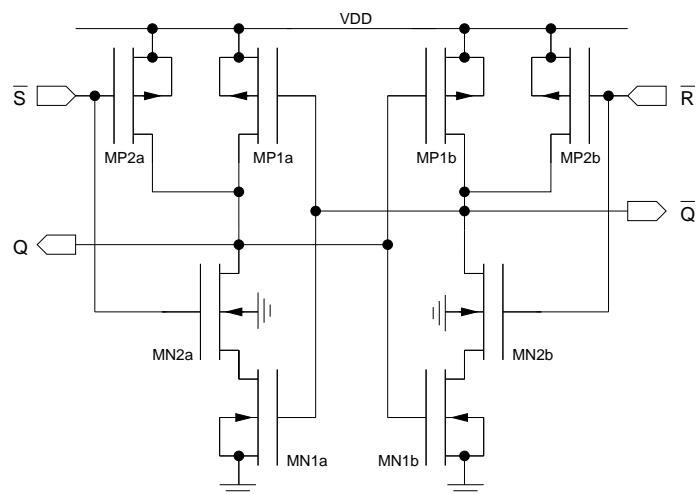


FIGURE 29 –

*Schéma physique du bistable RS à NAND*

#### - Dimensionnement

Un dimensionnement à transistors minimum est possible. Si un dimensionnement à NAND équilibrés est utilisé, il doit être réalisé l'entrée R active et l'entrée des transistors MN1a et MP1a au 1 logique puisque c'est la configuration du NANDa lorsque l'entrée  $\bar{S}$  atteint sa tension de commutation.

### 3.4 Les bistables RS synchrones

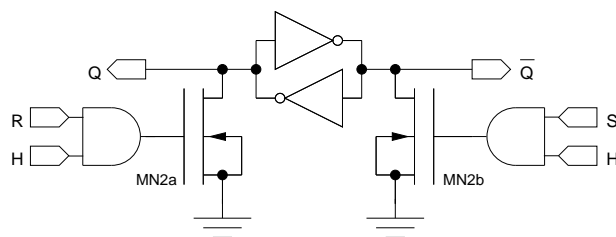


FIGURE 30 –

*Schémas fonctionnels d'un bistable RS synchrone N à inverseurs*

Pour transformer un bistable asynchrone en bistable synchrone (basculer ou latch), il suffit de valider les signaux de commande R et S par un signal d'horloge. Pour le bistable RS synchrone de type N il suffit d'effectuer un ET logique avec l'horloge  $H$  du système (*figure 30*). Pour le bistable de type P, le ET logique est effectué avec  $\overline{H}$ . Comme l'indique le schéma de la *figure 31* le transistor MP3 peut éventuellement être partagé par les deux inverseurs, on diminue ainsi d'un facteur deux la charge capacitive du circuit d'horloge. On devra toutefois impérativement veiller à ce qu'il n'y ait pas de recouvrement entre les signaux R et S (même sur les transitoires) pour éviter tout risque de court-circuit entre les sorties du bistable avant validation par le signal d'horloge [15].

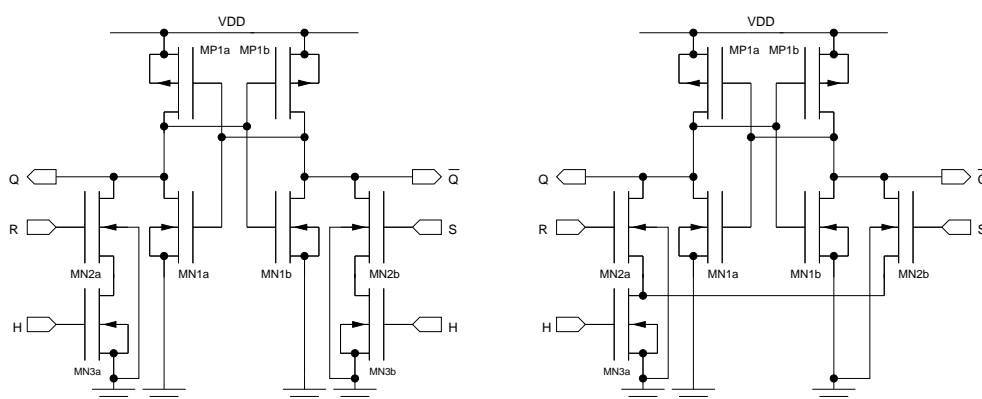


FIGURE 31 –

*Schémas physiques du bistable RS synchrone N à inverseurs*

La transformation des bistables asynchrones à NAND et NOR en bistables synchrones est effectuée selon le schéma de la *figure 32*. Les schémas physiques sont donnés par la *figure 33*. Un partage du transistor d'horloge série peut éventuellement être réalisé.

### 3.5 Les bascules D

La bascule D (Data) recopie l'état de l'entrée D sur sa sortie Q après l'action du signal de synchronisation représenté par l'horloge. Deux type de bascules sont à distinguer, la bascule D à déclenchement sur niveau et la bascule D à déclenchement sur front.

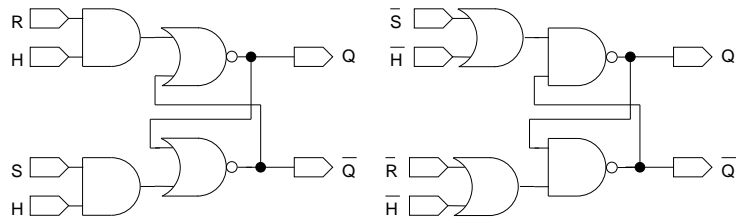


FIGURE 32 –

*Schémas fonctionnels des bistable RS synchrones à NAND et NOR*

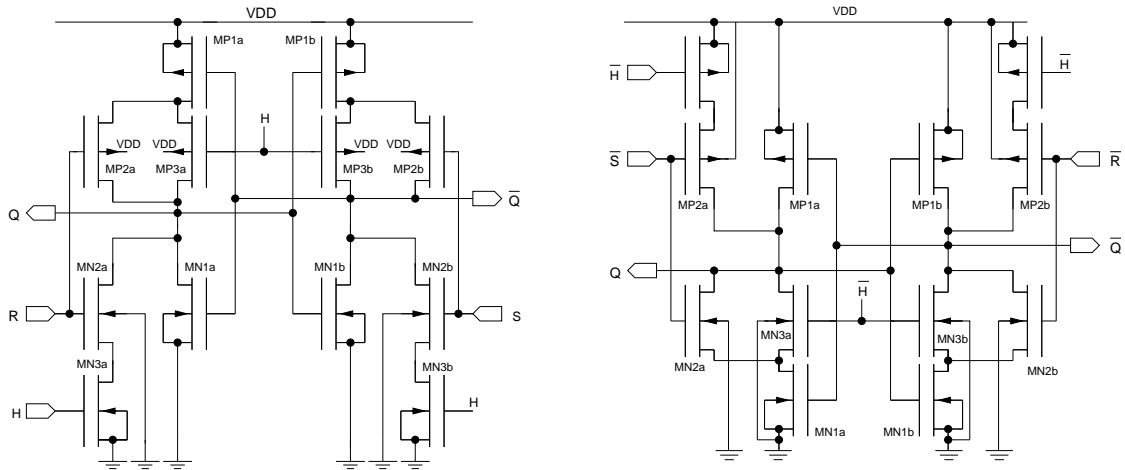


FIGURE 33 –

*Schémas physiques des bistables RS synchrone à NOR et à NAND*

### 3.5.1 Les bascules D à déclenchement sur niveau

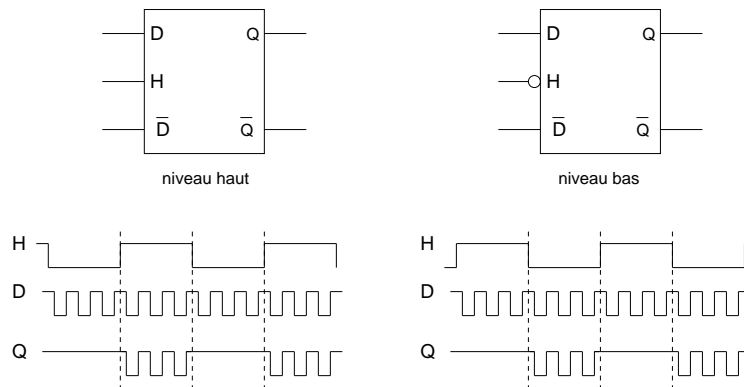


FIGURE 34 –

*Symbolisme et fonctionnement de la bascule D à niveau*

La bascule D à déclenchement sur niveau (bascule D à niveau) transmet sur sa sortie Q toute variation de son entrée D lorsque l'horloge est égale à un pour le déclenchement sur niveau haut et lorsque l'horloge est égale à zéro pour le déclenchement sur niveau bas. Le symbolisme et le fonctionnement correspondant est représenté sur la *figure 34*.

Physiquement une bascule D est simplement synthétisée à partir d'un bistable RS avec  $S = D$  et  $R = \overline{D}$ , la combinaison  $R = S$  étant impossible par construction, il n'y a pas de combinaison interdite des entrées. Les bascules correspondant aux bistables RS à inverseur N et NOR sont à déclenchement sur niveau haut alors que les bascules correspondant aux bistables RS à inverseur P et NAND sont à déclenchement sur niveau bas. On notera que de par son principe même de fonctionnement la bascule D à niveau est "transparente" sur son niveau actif.

### 3.5.2 Les bascules D à déclenchement sur front

#### - Définition et symbolisme

La bascule D à déclenchement sur front recopie l'entrée D sur sa sortie Q sur le front actif montant de l'horloge pour la bascule D à déclenchement sur front montant ou sur le front actif descendant de l'horloge pour la bascule D à déclenchement sur front descendant. Le symbolisme correspondant est représenté sur la *figure 35*. Ce type de bascule, appelée également registre ou flip-flop (FF) est un dispositif essentiel de la logique séquentielle.

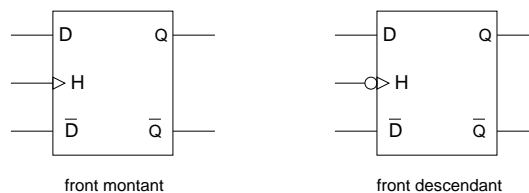


FIGURE 35 –

*Symbolisme de la bascule D à front*

#### - Réalisations

En logique CMOS complémentaire les bascules D à front sont principalement réalisées par une construction dite "maître-esclave" correspondant à une mise en cascade de deux bascules D à niveau identiques commandées par des horloges complémentaires ou à une mise en cascade de deux bascules D à niveau complémentaires commandées par la même horloge. Ainsi la combinaison dual niveau-haut/niveau-bas donne une bascule maître-esclave D à front descendant (*figure 36*), la combinaison dual niveau-bas/niveau-haut donne une bascule D à front montant, la combinaison homogène niveau-haut/niveau-haut donne une bascule D à front descendant et la combinaison homogène niveau-bas/niveau-bas donne une bascule D à front montant.

#### - Spécifications temporelles

Comme tout dispositif séquentiel, la bascule D est soumise à un jeu de contraintes temporelles sur ses signaux d'entrées. Ainsi, l'entrée D ne doit pas évoluer sur le front montant (descendant) de l'horloge, sinon, la bascule peut se placer dans un état métastable durant lequel la sortie Q peut évoluer de manière aléatoire avant de se verrouiller dans un état imprévisible. Ainsi, on doit stabiliser la donnée D au moins pendant un temps TS (Set up Time ou temps d'établissement) avant le front actif de l'horloge, et

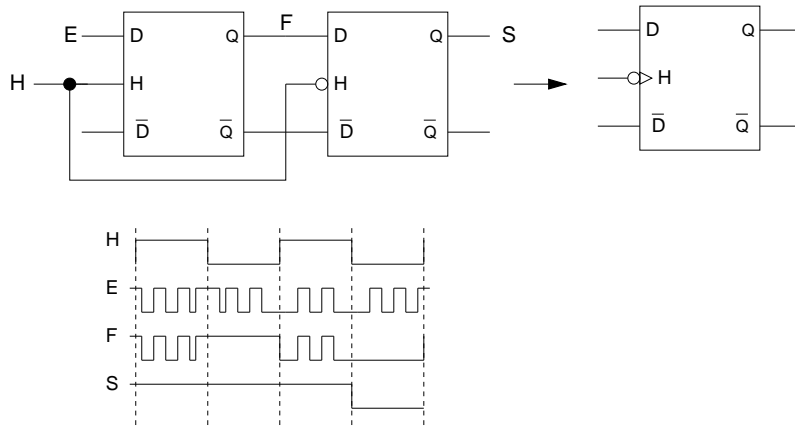


FIGURE 36 –

*Synthèse d'une la bascule D maître-esclave à front descendant*

maintenir cette donnée pendant un temps minimum  $TH$  (Hold Time ou temps de maintien). La donnée peut alors être recopié après un certain temps  $TD$  (Delay Time ou temps de propagation) après le front d'horloge. La contrainte temporelle  $TD > TH$  devra être respectée si on désire cascader plusieurs bascules commandées par le même signal d'horloge. D'autre part, dans toute configuration maître-esclave, lorsque l'horloge passe de son niveau actif à son niveau inactif, il faut que l'esclave soit bloqué avant que le maître soit ouvert afin que lorsque l'horloge redevient active  $Q$  puisse prendre la valeur qu'avait  $D$  lorsque  $H$  était inactif. En logique CMOS complémentaire, si les deux bascules à niveau sont normalement dimensionnées le temps de propagation du maître est normalement suffisant pour éviter le conflit de vitesse.

## 4 Le diviseur par 2

Le diviseur par 2 est un circuit de base de la logique séquentielle puisqu'il est à la base de tous les circuits de comptage. Facile à mettre en œuvre et à tester, il peut être utilisé comme circuit d'évaluation d'une technologie ou d'une technique de conception. Si on considère le circuit de la *figure 37*, constitué d'une bascule D à front montant avec une rétroaction de  $\bar{Q}$  sur  $D$  et  $Q$  sur  $\bar{D}$ , partant de conditions initiales pour lesquelles  $Q$  est égale à 0, l'entrée  $D$  est égale à 1. Au front suivant, la sortie passe à zéro pour reproduire l'entrée  $D$  qui est passée précédemment à 0. La sortie  $Q$  est ainsi un signal de rapport cyclique 1/2 et de période égale au double de la période du signal d'horloge incident.

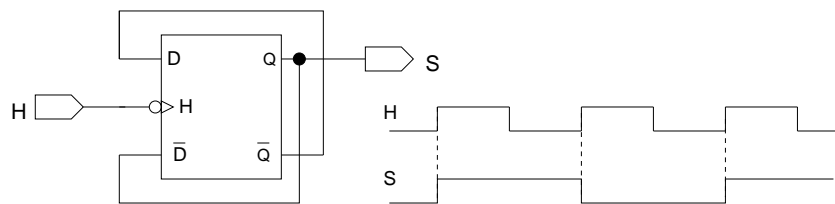


FIGURE 37 –

*Réalisation d'un diviseur par 2*



Partant des différentes combinaisons de bascules D synthétisables, un très grand nombre de topologies de diviseurs par deux est possible. Avec une technologie  $0,25\mu m$  on a observé qu'en terme de fréquence maximum d'utilisation le diviseur obtenu par deux bascules RS à inverseurs de type N donnés les meilleurs résultats ( $FMAX \approx 4GHz$ ) suivi la combinaison de deux bascules à NOR ( $FMAX \approx 3GHz$ ), les combinaisons de bascules conduisent à des fréquences maximum d'utilisation de l'ordre de  $2GHz$ . Ces résultats sont à rapprocher du résultat obtenu en [6] qui obtient une fréquence  $FMAX \approx 10GHz$  avec une bascule "non standard" et une technologie équivalente.

## Références

- [1] M. ANIS, M. ALLAM, and M. ELMASRY. "Impact of technology scaling on CMOS logic styles". *IEEE Transaction on Circuit and System-II :Analog and digital signal processing*, vol. 49(No. 8) :pp. 577–588, August 2002.
- [2] L. BISDOUNIS, S. NIKOLAIDIS, and O. KOUFOPAVLOU. "Analytical transient response and propagation delay evaluation of the CMOS inverter for short-channel devices". *IEEE Journal of Solid-State Circuit*, vol. 33(No. 2) :pp. 302–306, Feb. 1998.
- [3] M. CAND, E. DEMOULIN, J.L. LARDY, and P. SENN. "*Conception des circuits intégrés MOS*". Eyrolles, 1986.
- [4] A. CHANDRAKASAN and R.W. BRODERSEN. "Minimising power consumption in digital CMOS circuits". *Proceedings of the IEEE*, vol. 83(No. 4) :pp. 498–523, April 1995.
- [5] P. COCCHINI, G. PICCININI, and M. ZAMBONI. "A comprehensive submicrometer MOST delay model and its application to CMOS buffers". *IEEE Journal of Solid-State Circuit*, vol. 32(No. 8) :pp. 1254–1262, August 1997.
- [6] C.M. HUNG, B.A. FLOYD, N ; PARK, and K.O. KENNETH. "Fully integrated 5.35ghz CMOS VCOs and prescalers ". *IEEE Transaction on Microwave theory and techniques*, vol. 49(No. 1) :pp. 17–22, Jan. 2001.
- [7] K.O. JEPPSON. "Modeling the influence of the transistor gain ratio and the input to output coupling capacitance on the CMOS inverteur delay ". *IEEE Journal of Solid-State Circuit*, vol. 29(No. 6) :pp. 353–363, June 1994.
- [8] A. CHANDRAKASAN J.M. RABAEY and B. NIKOLIC. "*Digital integrated circuits : a design perspective*". Prentice Hall, 2003.
- [9] S.M. KANG. "Accurate simulation of power dissipation in VLSI circuits". *IEEE Journal of Solid-State Circuit*, vol. 21(No. 5) :pp. 889–891, October 1986.
- [10] B. RAZAVI, K.F. LEE, and R.H. YAN. "Design of high-speed, low-power frequency dividers and phase-locked loops in deep submicro CMOS ". *IEEE Journal of Solid-State Circuit*, vol. 30(No. 2) :pp. 101–109, Feb. 1995.
- [11] R. ROGENMOSER and H. KAESLIN. "The impact of transistor sizing on power efficiency in submicron CMOS circuits". *IEEE Journal of Solid-State Circuit*, vol. 32(No. 7) :pp. 1142–1145, July 1997.
- [12] J.P. UYEMURA. "*Fundamentals of MOS digital integrated circuits*". Addison-wesley publishing compagny, 1988.
- [13] S.R. VEMURU and N. SCHEINBERG. "Short-circuit power dissipation estimation for CMOS logic gates". *IEEE Transaction on Circuit and Systems-1 :fundamental theory and applications*, vol. 41 :pp. 762–765, Nov. 1994.
- [14] N.H.E. WESTE and K. ESHRAGHIAN. "*Principles of CMOS VLSI design :a systems perspective*". Addison-wesley publishing compagny, 1988.
- [15] J. YUAN and C. SVENSON. "New single-clock CMOS latches an flipflops with improved speed and power savings". *IEEE Journal of Solid-State Circuit*, vol. 32(No. 1) :pp. 62–69, Jan. 1997.