

Structure et modélisation des composants passifs

Table des matières

1	Introduction	3
2	Les résistances intégrées	3
2.1	La structure	3
2.2	Les dessins	3
2.3	Les indices de performance	4
2.3.1	Précision absolue ou tolérance globale	4
2.3.2	Précision d'appariement et tolérance locale	5
2.3.3	Coefficient de température	7
2.3.4	L'effet thermoélectrique	7
2.3.5	Coefficient de tension	8
2.3.6	Réponse en fréquence	8
2.4	Les différents types de résistance	8
2.4.1	Les résistances diffusées	8
2.4.2	Les résistances de caisson	9
2.4.3	Les résistances silicium polycristallin	10
2.4.4	Les résistances métalliques	10
2.5	Les résistances composites "booststrapps"	11
2.6	Modèles de calcul	12
2.7	Modèles de simulation	13
3	Les condensateurs intégrés	13
3.1	La structure	13
3.2	Les dessins	15
3.2.1	Contrainte de forme	15
3.2.2	Réalisation de rapports capacitifs entiers	15
3.2.3	Réalisation de rapports capacitifs non entiers	16
3.3	Les indices de performance	19
3.3.1	Capacités parasites structurelles	19
3.3.2	Précision absolue ou tolérance globale	19
3.3.3	Précision d'appariement et tolérance locale	20
3.3.4	Coefficient de température	21
3.3.5	Coefficient de tension	22
3.3.6	Résistances parasites séries	22
3.4	Les différents types de condensateurs	23
3.4.1	Les condensateurs poly-diffusion (condensateur MOS non standard)	23
3.4.2	Les condensateurs poly-poly	23
3.4.3	Les condensateurs métal-poly	24
3.4.4	Les condensateurs métal-métal (condensateurs MIM)	24
3.4.5	Les condensateurs MOS	25
3.5	Modèles de calcul	25

3.6 Modèles de simulation	26
-------------------------------------	----

1 Introduction

Les composants passifs, résistances, condensateurs et éventuellement inductances sont des dispositifs essentiels pour la réalisation des circuits intégrés analogiques, puisque associés à des dispositifs actifs (amplificateurs opérationnels,...), ils permettent la synthèse des différentes fonctions électroniques assurant le traitement des signaux. Etant avant tout, optimisées pour la production de transistors NMOS et PMOS, toutes les filières technologiques CMOS ne disposent pas intrinsèquement de composants passifs hautes performances. Une filière disposant de résistances à basse et à haute résistivité et de condensateurs à haute densité d'intégration parfaitement caractérisés, est normalement labélisée "filière analogique".

2 Les résistances intégrées

2.1 La structure

Une résistance intégrée passive est toujours constituée d'une zone résistive située entre deux contacts *figure 1*.

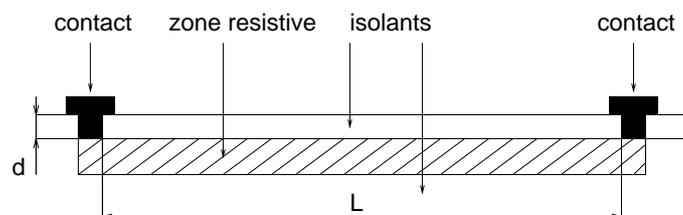


FIGURE 1 –

Structure d'une résistance MOS

Quelque soit le type de matériau, pour une zone résistive de largeur W , de longueur L , de profondeur d et de résistivité moyenne ρ on peut écrire

$$R = \frac{\rho}{d} \frac{L}{W}.$$

Si d'une part, on définit la "résistance carrée" par le rapport R_s en $\Omega/sq = \rho/d$, qui est une caractéristique technologique fonction du matériau utilisé, et si d'autre part on nomme R_{cont} la résistance de contact, qui est également une caractéristique technologique fonction des matériaux en présence et du dimensionnement de la prise assurant les connexions, une résistance intégrée s'exprime formellement par la relation

$$R = 2R_{cont} + R_s \frac{L}{W} = 2R_{cont} + R_s n_s.$$

Le paramètre n_s correspond au nombre de carrés élémentaires nécessaire à la fabrication de la résistance intégrée.

2.2 Les dessins

Le plus souvent, les grandeurs L et W définissant la résistance sont très différentes ($L \gg W$), et pour des raisons évidente d'encombrement, on est conduit à dessiner les

longues résistances sous la forme d'un serpentín (*figure 2*) ou d'un réseau de modules élémentaires (*figure 3*) interconnectés en série et éventuellement partiellement en parallèle. Pour le premier type de dessin, du fait de la présence de coudes, n_c étant le nombre de coudes, il faut modifier le nombre de carrés élémentaires, pratiquement en utilisant la formule empirique [3]

$$R = 2R_{cont} + R_q(n_s - 0.44n_s).$$

Il est à noter que d'autres formes de coudage peuvent être utilisées et que cette technique est réservée à la réalisation de résistances relativement peu précises.

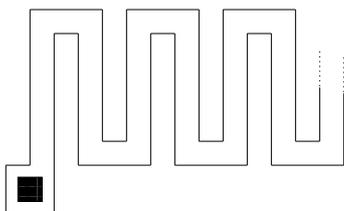


FIGURE 2 –

Dessin d'une résistance en serpentín

Quant au second type de dessin, il est utilisé lorsqu'un [appariement](#) entre plusieurs résistances est recherché. Dans ce cas les techniques de dessin de masque appropriées (modules interdigités à centre géométrique commun) seront mises en œuvre. Pour obtenir des valeurs de rapport non entier, les derniers éléments de l'empilage peuvent ne pas être unitaires.

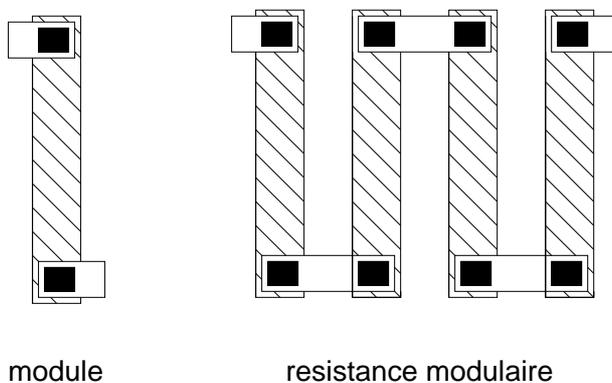


FIGURE 3 –

Dessin d'une résistance modulaire

2.3 Les indices de performance

2.3.1 Précision absolue ou tolérance globale

En différentiant l'expression analytique simplifiée $R = R_s \cdot L/W$ d'une résistance intégrée, on peut écrire

$$dR = \frac{\partial R}{\partial R_s} dR_s + \frac{\partial R}{\partial L} dL - \frac{\partial R}{\partial W} dW$$

soit

$$\frac{dR}{R} = \frac{dR_s}{R_s} + \frac{dL}{L} + \frac{dW}{W}.$$

Toutes les différentielles pouvant être considérées comme des variables aléatoires statistiquement indépendantes, en terme d'écart type, en notant $\sigma_x = \sigma_{dx}$, on obtient

$$\sigma_R = R \sqrt{\left(\frac{\sigma_{R_s}}{R_s}\right)^2 + \left(\frac{\sigma_L}{L}\right)^2 + \left(\frac{\sigma_W}{W}\right)^2}.$$

La précision sur le paramètre technologique R_s dépendant de la résistivité, elle est fonction des matériaux utilisés (dopage, éventuellement dimension des grains de silicium polycristallin, ...) et de la température. Pratiquement, $L \gg W$ et l'erreur issue des paramètres géométriques de conception est essentiellement fixée par l'erreur sur W . Pour des résistance larges ($qqs. \mu m$), la précision absolue sur les résistances dépend principalement de la précision sur R_s .

2.3.2 Précision d'appariement et tolérance locale

Si on considère l'expression de l'écart type σ_R , la résistance carrée R_s étant un paramètre dépendant statistiquement des fluctuations spaciales, l'erreur **d'appariement** entre deux résistances identiques R_a et R_b proches l'une de l'autre est modélisable à partir de l'écart type

$$M_R = \sqrt{\frac{M_a^2}{WL} + \frac{M_w^2}{W^2} + \frac{M_l^2}{L^2}}.$$

Les constantes M_a , M_l et M_w sont des paramètres technologiques déterminés par caractérisation et pouvant être fournis par le fondeur.

Ainsi avec

$$dR = dR_a - dR_b \quad \text{et} \quad \sigma_{dR}^2 = \sigma_{dR_a}^2 + \sigma_{dR_b}^2 = 2 \sigma_{dR_a}^2$$

on peut définir la tolérance locale d'une résistance R par rapport à sa valeur nominale

$$TL_R = \sigma\left(\frac{dR}{R}\right) = \frac{M_R}{\sqrt{2}} = \frac{1}{\sqrt{2}} \sqrt{\frac{M_a^2}{WL} + \frac{M_w^2}{W^2} + \frac{M_l^2}{L^2}}.$$

- Réalisation d'un rapport résistif exprimable par un rapport de deux nombres entiers

Si maintenant on considère la réalisation, sous forme modulaire, d'un rapport de résistances exprimable par un rapport de deux nombres entiers, R_{unit} étant la résistance d'un module, avec

$$K_{ij} = \frac{R_i}{R_j} = \frac{m R_{unit}}{n R_{unit}}$$

$$\frac{dK_{ij}}{K_{ij}} = \frac{dR_i}{R_i} - \frac{dR_j}{R_j}$$

$$\left(\frac{\sigma_{dK_{ij}}}{K_{ij}}\right)^2 = \left(\frac{\sigma_{dR_i}}{R_i}\right)^2 + \left(\frac{\sigma_{dR_j}}{R_j}\right)^2$$

et

$$\sigma_{dR_i}^2 = \sum_1^m \sigma_{dR_{unit}}^2 = m \sigma_{dR_{unit}}^2$$

$$\sigma_{dR_j}^2 = n \sigma_{dR_{unit}}^2$$

en terme d'écart type, on peut écrire

$$\sigma\left(\frac{dK_{ij}}{K_{ij}}\right) = \sigma\left(\frac{dR_{unit}}{R_{unit}}\right) \sqrt{\frac{1}{m} + \frac{1}{n}}.$$

Si on utilise la valeur précédente de TL_R , avec

$$L_{unit} = W_{unit} \frac{R_{unit}}{R_s} \text{ et } n = \frac{R_j}{R_{unit}}$$

on détermine l'expression

$$\sigma\left(\frac{dK_{ij}}{K_{ij}}\right) = \frac{1}{W_{unit}} \sqrt{\frac{1}{2 R_j} \left(1 + \frac{1}{K_{ij}}\right)} \sqrt{M_a^2 R_s + M_w^2 R_{unit} + \frac{M_l^2 R_s^2}{R_{unit}}}$$

Cette expression chiffre directement la précision que l'on peut obtenir sur un rapport de résistances en fonction des trois paramètres "technologiques" d'appariement M_a , M_w et M_l , du paramètre technologique R_s et des trois paramètres de synthèse W_{unit} , R_{unit} et R_j .

D'autre part, par dérivation du second radical, il existe une valeur R_{unit} minimisant l'erreur relative sur K_{ij} telle que

$$R_{unit} = \frac{M_l}{M_w} R_s.$$

Cette dernière expression théorique a un intérêt limité, puisque d'une part sa détermination nécessite la connaissance de M_l et M_w qui ne sont pas toujours fournies par le fondeur et que d'autre part sa valeur (≈ 10 à $20 R_s$) n'est pas toujours compatible avec le facteur de forme désiré pour l'empilage puisque ce dernier dépend du nombre de repliement. Le seul paramètre objectif permettant d'optimiser la précision sur un rapport de résistances est la largeur W_{unit} . Quant à la valeur R_j elle est difficilement utilisable puisqu'elle fixe directement le niveau de **bruit**

du circuit dans lequel elle est utilisée.

- Réalisation d'un rapport résistif non entier :

Si le rapport de résistances n'est pas réalisable par un nombre entier de modules, un des modules devra avoir une longueur supérieure à la longueur unitaire et la règle d'appariement "même forme et même dimension" sera d'autant moins respectée qu'il est plus long que les autres. On peut palier partiellement à ce problème en jouant sur le nombre de modules et/ou sur leur largeur.

- L'erreur de pas de grille :

Le pas de grille non nul des masques (résolution finie de l'ordre de $0,1L_{min}$ des transistors) introduit inévitablement une erreur d'arrondi. Dans le pire cas, la largeur W étant une donnée choisie multiple du pas de grille avec

$$R_{realisee} = R_s \frac{L}{W} (1 + 0,5 \frac{pdg}{L})$$

le pas de grille (pdg) introduit sur une résistance R une erreur relative sur chaque module

$$\epsilon_{pdg} < 0,5 \frac{pdg}{L} (1 + \frac{R_s}{R}) \approx 0,5 \frac{pdg}{L}.$$

Cette erreur est minimisée en prenant des longueurs de dispositif très grandes ($W \approx 100L_{min}$). Il faut toutefois noter que pour la réalisation de rapports de résistances, cette erreur d'arrondi peut facilement être gérée en systématisant les erreurs de pas de grille dans un même sens par défaut ou par excès.

2.3.3 Coefficient de température

La variation en température d'une résistance intégrée provient essentiellement de la dépendance de la mobilité des porteurs en fonction de cette dernière. Le modèle physique pour la température, T_0 étant la température de référence, est donc de la forme

$$R = R(T) = R(T_0) (\frac{T}{T_0})^{-\alpha_R}.$$

A partir de la dérivée de R par rapport à la température T on peut définir le coefficient de température

$$TCR = \frac{1}{R} \frac{dR}{dT} = -\frac{\alpha_R}{T} \text{ avec } \alpha_R \approx [-2 \dots +2]$$

2.3.4 L'effet thermoélectrique

Lors de la prise de contact sur chaque module de la résistance intégrée, il y a création d'un [potentiel de contact](#)

, de valeur différente à chaque extrémité du module du fait du gradient de température. C'est l'effet thermoélectrique qui correspond à une polarisation de chaque module. Ainsi, afin d'annuler cette polarisation on doit interconnecter chaque module comme indiqué sur la *figure 4*. On notera qu'une annulation complète de l'effet thermoélectrique ne peut être réalisée que si la résistance est composée d'un nombre pair de modules.

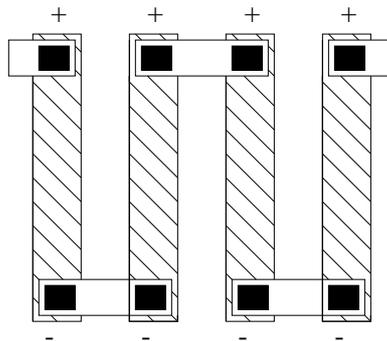


FIGURE 4 –

Annulation de l'effet thermoélectrique

2.3.5 Coefficient de tension

La prise en compte de l'influence électrique des différents matériaux situés à proximité de la zone résistive susceptible de modifier la résistivité est effectuée par le coefficient de tension VCR tel que

$$R = R(V) = R(V_0) (1 + VCR1 \cdot V + VCR2 \cdot V^2).$$

Le paramètre V est la tension moyenne aux bornes du dispositif considéré.

2.3.6 Réponse en fréquence

Indépendamment du matériau utilisé, à toute résistance R , on peut associer une capacité parasite C répartie entre le barreau résistif et le substrat. Symboliquement, surtout pour les hautes fréquences une résistance intégrée est représentable par le circuit [circuit RCD](#)

de la [figure 5](#),

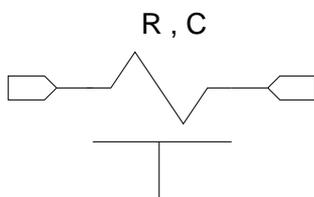


FIGURE 5 –

Modèle RC distribué d'une résistance intégrée

elle peut donc être formellement décrit par la matrice admittance

$$Y = \frac{\sqrt{RCp}}{R \sinh \sqrt{RCp}} \begin{pmatrix} \cosh \sqrt{RCp} & -1 \\ -1 & \cosh \sqrt{RCp} \end{pmatrix}.$$

Ainsi, toute résistance intégrée présente un caractère passe-bas avec une pente asymptotique de l'ordre de 10dB/décade.

2.4 Les différents types de résistance

Dans une technologie MOS standard, selon le matériau utilisé on peut disposer

- de résistances diffusées
- de résistances de caisson
- de résistances silicium polycristallin
- de résistances métalliques

2.4.1 Les résistances diffusées

Une zone résistive peut être créée directement lors de la diffusion de la source ou du drain des transistors MOS. Pratiquement, une résistance diffusée est toujours située à l'intérieur d'un caisson, polarisée par une source de tension "non bruitée", assurant

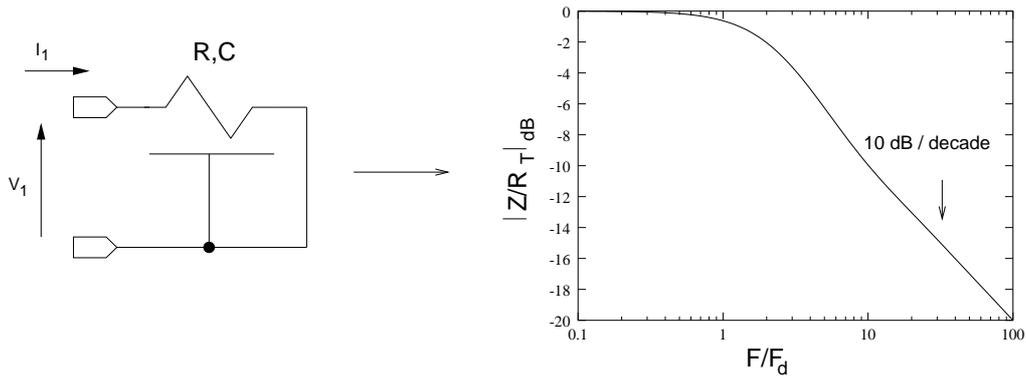


FIGURE 6 –

Réponse en fréquence d'un dipôle RCD normalisée
avec $F_d = \frac{1}{2\pi RC}$

un découplage électrique par rapport au substrat. La *figure 7* représente une résistance diffusée de type P. Si la technologie le permet une résistance diffusée de type N peut être réalisée en inversant le type de tous les semi-conducteurs en présence.

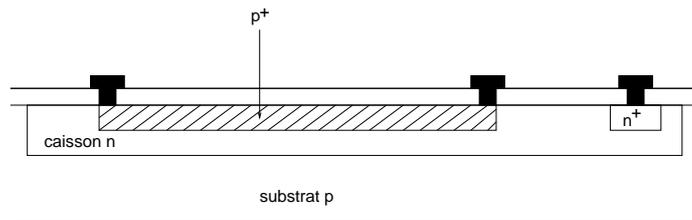


FIGURE 7 –

Structure d'une résistance diffusée

Ce type de dispositif présente une capacité de jonction (polarisée en inverse) répartie entre le barreau résistif et le caisson. La diffusion de la source et du drain étant un processus relativement bien contrôlé, une précision absolue de l'ordre de 10% est réalisable pour des valeurs de R_s de quelques dizaines Ω/sq . Les coefficients de température sont de l'ordre de quelques centaines de $ppm/^\circ C$ et les coefficients de tension de l'ordre de quelques centaines de ppm/V .

2.4.2 Les résistances de caisson

En utilisant la zone faiblement dopée du caisson d'isolation des transistors P ou N, il est possible d'obtenir des résistances de fortes valeurs (*qq.s.* $K\Omega/sq$). La zone résistive étant directement couplée électriquement au substrat (*figure 8*), ce type de résistance est très sensible au bruit de substrat et son utilisation est pratiquement limitée au traitement des signaux électriques statiques. En termes d'indices de performance, par rapport à la résistance diffusée, elle est nettement plus mauvaise avec une précision absolue de l'ordre de 50% un TCR de quelques $1000ppm/^\circ C$ et un VCR de quelques $10000ppm/V$.

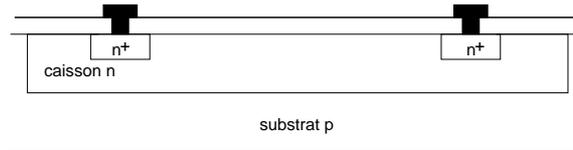


FIGURE 8 –

Structure d'une résistance de caisson

2.4.3 Les résistances silicium polycristallin

Une résistance silicium polycristallin est électriquement isolée du reste du circuit par un champ d'oxyde épais (*figure 9*), la capacité parasite répartie entre le barreau de silicium et le substrat est ainsi très faible. Elle peut être réalisée à partir du matériau de grille des transistors pour les filières technologiques à un seul niveau de silicium polycristallin (poly 1) ou le deuxième niveau d'interconnexion pour les filières à deux niveaux (poly 2). Pour obtenir des valeurs de résistance élevées (*qq.s.* $100\Omega/sq$) la **phase technologique** de silicidation doit être bloquée. Certaines filières technologiques, spécifiquement analogiques, disposent d'un troisième niveau (poly H) permettant la fabrication de résistances à haute résistivité (*qq.s.* $1000\Omega/sq$).

Un renforcement de l'isolation par rapport au substrat peut être obtenue par la formation d'un écran à partir d'un caisson ou de la seconde zone cristalline (*figure 9*). On peut noter que dans ce dernier cas, la structure obtenue est très proche de la ligne *RCD* et que si la résistance utile est la résistance poly 1, un blindage contre les effets extérieurs au circuit est réalisé. Les résistances polysilicium sont caractérisées par une précision absolue de l'ordre de quelques 10%, un coefficient de température de l'ordre de quelques centaines de *ppm/°C* et un coefficient de tension de l'ordre de quelques centaines de *ppm/V*. Les indices de performances de la résistance poly H, technologiquement moins bien contrôlés, sont généralement inférieurs à ceux des résistances poly 1 et poly 2.

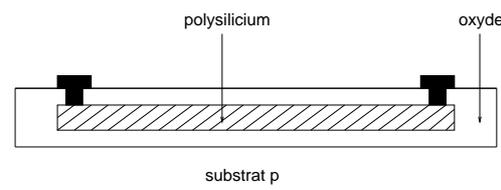


FIGURE 9 –

Structure d'une résistance silicium polycristalline

2.4.4 Les résistances métalliques

Les résistances métalliques sont d'un usage très particulier puisqu'elle sont caractérisées par une résistance carrée très faible ($R_s \approx 50m\Omega/sq$). Ne permettant que la réalisation de très faibles résistances (*qq.s.* Ω) elles sont principalement utilisées pour la génération des diviseurs de tension à partir d'une échelle résistive (*figure 11*), rencontrés en conversion analogique-numérique rapide.

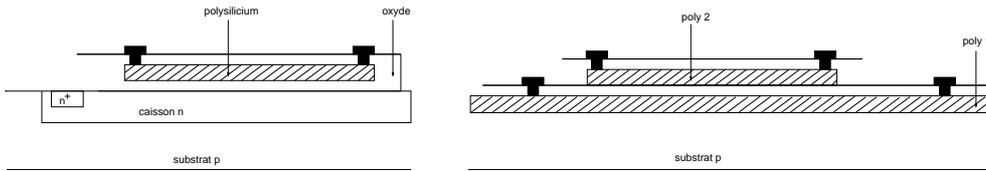


FIGURE 10 –

Structure des résistances silicium polycristallines à isolation de substrat renforcée

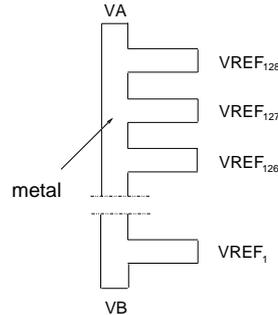


FIGURE 11 –

Structure d'une résistance métallique

2.5 Les résistances composites "bootstrapps"

Si nous considérons le montage de principe de la *figure 12*, les tensions $V1$ et $VEMC$ étant des sources de tension idéales, la résistance diffusée ayant la "même valeur" que la résistance de caisson et l'amplificateur opérationnel étant parfait, on constate que la capacité répartie diffusion-caisson ayant théoriquement ses deux électrodes au même potentiel et que la capacité répartie caisson-substrat étant connectée sur une source de tension, sont sans influence sur le fonctionnement du montage. Cette technique de compensation en fréquence, utilisable également avec les résistances polycristallines à isolation de substrat renforcée, est appelée "bootstrapping" [2]. On notera toutefois que le bootstrapping est assez peu utilisée en pratique, de part sa difficulté de mise en œuvre, et compte tenu du fait que la compensation n'est pas complètement effective puisque les deux matériaux n'ont pas les caractéristiques électriques.

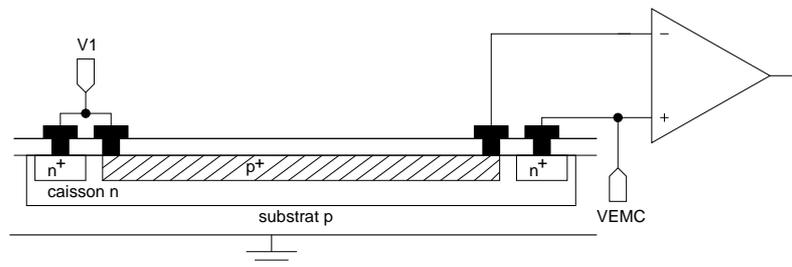


FIGURE 12 –

Principe de la technique du "bootstrapping"

2.6 Modèles de calcul

- Résistance nominale d'un module :

Si on considère le jeu de masques de la *figure 13* correspondant à l'intégration d'un jeu de résistance modulaire, indépendamment de son type, on calcule la résistance nominale d'un module à partir de la relation

$$R_{nom} = R_s \frac{L - dL - 2L_{cext}}{W - dW} + 2R_{cext} \frac{L_{cext}}{W - dW} + 2R_{cont} \left[\frac{W - dW}{L_{cont}} \right] + 2 \frac{R_{add}}{W - dW}$$

R_s est la résistance carrée en Ω/sq

L est la longueur dessinée

dL est l'erreur systématique de conception sur la longueur dessinée

W est la largeur dessinée

dW est l'erreur systématique de conception sur la largeur dessinée

R_{cext} est la résistance carrée extrinsèque de la zone de contact en Ω/sq

L_{cext} est la longueur de la zone de contact extrinsèque

R_{cont} est la résistance de contact en $\Omega/cont$

L_{cont} est la longueur de la zone nécessaire à la mise en place d'un contact

R_{add} est une résistance additionnelle de terminaison en $\Omega.m$.

On notera que de part l'impossibilité de placer un contact directement sur une zone faiblement dopée, la zone de contact extrinsèque n'est généralement présente que pour les résistances fabriquées en silicium polycristallin à haute résistivité (poly h), et que la largeur dessinée doit être suffisante pour permettre la mise en place d'un contact (de l'ordre du μm) et assurer la circulation du courant (de l'ordre de $1\mu m/mA$). La résistance additionnelle R_{add} sans signification électrique précise permet d'obtenir une formule analytique générique indépendante de la nature du dispositif et des techniques de fabrication

Pour être compatible avec les simulateurs électriques standards, la prise en compte des effets de la température s'effectue à partir de la loi quadratique

$$R_{nom}(T) = R_{nom}(T_0) (1 + TCR1(T - T_0) + TCR2(T - T_0)^2).$$

$TCR1$ est le coefficient de température du premier ordre

$TCR2$ est le coefficient de température du second ordre.

Quant à la sensibilité en tension elle est calculée à partir du coefficient de tension avec

$$R_{nom} = R_{nom}(V_0) (1 + VCR1 \cdot V + VCR2 \cdot V^2).$$

V est la tension moyenne aux bornes de la résistance

VCR est le coefficient de tension

- Capacité distribuée associée à un module :

A toute résistance intégrée on peut associer une capacité parasite par rapport au substrat composée d'une composante périmétrique C_P est d'une composante surfacique C_A . Pour les résistances polysilicium

$$C_A = C_{A0} \cdot WL \quad \text{et} \quad C_P = C_{P0} \cdot 2(L + W).$$

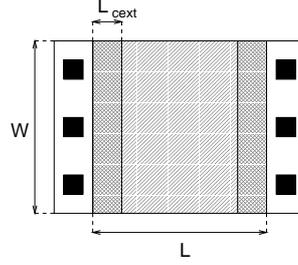


FIGURE 13 –

Schéma de calcul d'une résistance intégrée

Alors que pour les résistances diffusées et les résistances de caisson il faut tenir compte du fait que la capacité parasite a pour origine une jonction polarisée en inverse. Elle s'exprime ainsi à partir de

$$C_A = \frac{C_{A0}}{\left(1 - \frac{V_j}{pha}\right)^{ma}} \cdot WL \quad \text{et} \quad C_P = \frac{C_{P0}}{\left(1 - \frac{V_j}{php}\right)^{mp}} \cdot 2(L + W).$$

C_{A0} est la capacité surfacique en F/m^2

C_{P0} est la capacité périmétrique en F/m

pha est le potentiel surfacique de contact ($\approx 0,8V$)

php est le potentiel périmétrique de contact ($\approx 0,8V$)

ma est l'exposant de variation de la capacité surfacique de jonction ($\approx 0,4$)

mp est l'exposant de variation de la capacité périmétrique de jonction ($\approx 0,35$)

V_j est le potentiel de la jonction d'isolation.

2.7 Modèles de simulation

Les simulateurs électriques standards de type SPICE [9] ne possèdent pas intrinsèquement de modèle de calcul de résistance intégrée, on est tenu d'utiliser un sous-circuit. Pour prendre en compte les effets capacitifs répartis, le macromodèle localisé RC à deux cellules en PI de la figure *figure 14* peut être utilisé. Ce modèle est valable quelque soit le type de résistance, la diode $Dsub$ et la résistance $Rsub$ modélisant les effets de substrat sont optionnelles. Quant aux résistances diffusées et de caisson, une modélisation plus fine, prenant en compte "l'effet jonction" peut être effectuée par le modèle localisé à résistances et diodes de la *figure 15*.

3 Les condensateurs intégrés

3.1 La structure

Un condensateur intégré est toujours constitué de deux zones conductrices (les électrodes ou armatures) séparées par un isolant (le diélectrique en oxyde) (*figure 16*).

Pour des zones conductrices de largeur W , la capacité a pour valeur

$$C = \frac{\epsilon_{ox}}{t_{ox}} W L.$$

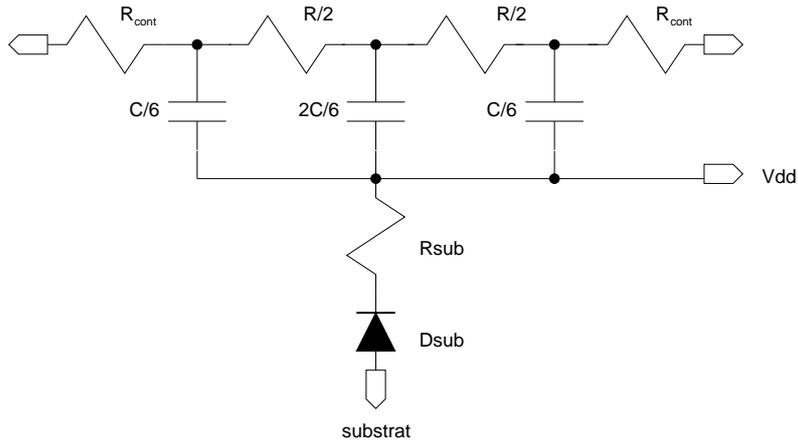


FIGURE 14 –

*Macromodèle de simulation RC localisé (substrat de type P)
 R_{cont} est la valeur de la résistance de contact*

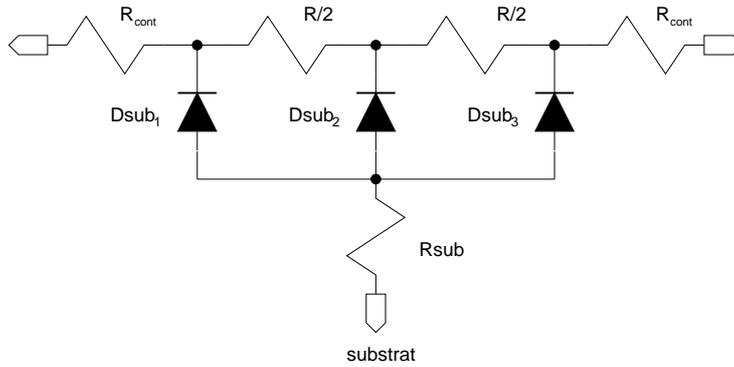


FIGURE 15 –

*Modèle de simulation résistance condensateur (substrat de type P)
 R_{cont} est la valeur de la résistance de contact*

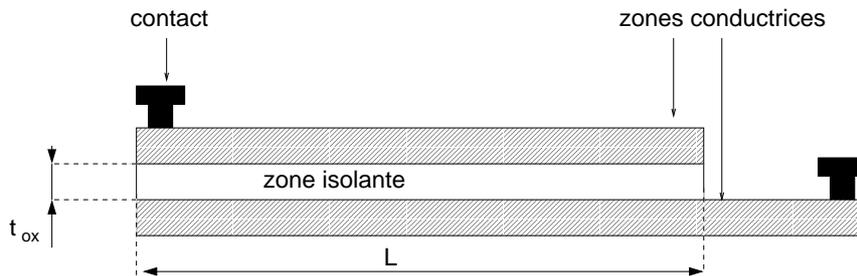


FIGURE 16 –

Structure d'un condensateur intégré

Le rapport ϵ_{ox}/t_{ox} étant un paramètre technologique (ϵ_{ox} : permittivité de l'oxyde $\approx 0,035fF/\mu m$), la valeur de la capacité est directement fixée par le concepteur à partir du dimensionnement de la surface WL .

3.2 Les dessins

3.2.1 Contrainte de forme

Indépendamment de la technique de fabrication, la valeur d'une capacité d'aire donnée $A = WL$ est sensible aux [fluctuations aléatoires périphériques](#), elle est donc entâchée d'une erreur relative telle que

$$\sigma\left(\frac{dC}{C}\right) \propto \frac{1}{\sqrt{WL}} \sqrt{\frac{1}{L} + \frac{1}{W}} = \frac{1}{\sqrt{A}} \sqrt{\frac{W}{A} + \frac{1}{W}}.$$

Par annulation de la dérivée, on constate que cette erreur peut être minimisée avec

$$W = L$$

c'est à dire si le condensateur est un carré.

D'autre part, pour minimiser l'erreur d'appariement les condensateurs intégrés sont constitués de condensateurs unitaires (C_{unit}) interconnectés par aboutement ou par prise de contact sur l'armature supérieure. On arrive ainsi aux quatre dessins types de la [figure 17](#). On notera la présence d'ergots situés sur les cotés des condensateurs pour compenser les éventuelles défauts d'alignement des masques. Il a été montré que la présence d'angles sur le dessin est un facteur aggravant pour l'erreur d'appariement [12] [11], la coupure à 45° des angles de la structure c, non admise dans certaines filières technologiques, améliore légèrement la précision en "arrondissant" les angles de la structure b, alors que la structure d, dite structure "sans coin" pour laquelle les angles ne sont pas définis par lithographie, est susceptible la réduire d'un facteur de l'ordre de deux.

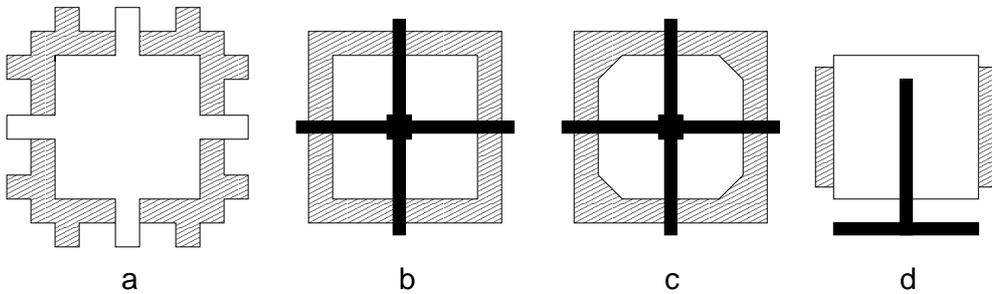


FIGURE 17 –

Dessins d'une capacité unitaire

a : pour connexion par aboutement

b : pour connexion par prise de contact sur le dessus

c : haute précision à coins coupés

d : très haute précision sans coin

3.2.2 Réalisation de rapports capacitifs entiers

Le traitement du signal analogique par la [technique des capacités commutées](#) implique la réalisation de rapports capacitifs très précis. Cette précision ne peut être obtenue que par l'utilisation systématique des techniques de dessin de masques respectant l'[appariement](#)

des capacités unitaires. Ainsi les rapports capacitifs sont réalisés sous la forme d'une matrice de condensateur. La *figure 18* montre un exemple pour la réalisation d'un rapport $C1/C2=7/2$. Beaucoup d'autres styles de dessin sont possibles [7]. Certains sont maintenant inclus dans les outils commerciaux de conception de circuits intégrés.

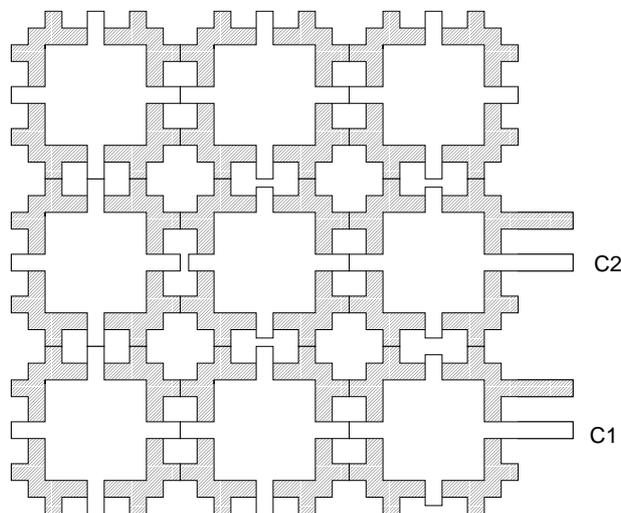


FIGURE 18 –

Dessin d'une matrice de condensateurs : $C1/C2=7/2$

3.2.3 Réalisation de rapports capacitifs non entiers

Les coefficients des fonctions de transfert étant des nombres décimaux, les rapports capacitifs correspondant ne peuvent généralement pas s'exprimer directement comme un rapport de deux nombres entiers. Ainsi, à moins d'utiliser des techniques de discrétisation de ces rapports [8], techniques conduisant toujours à une plus grande aire capacitive que nécessaire, un des condensateurs sera non unitaire et la règle d'appariement

"même forme et même dimension" est de fait transgresser.

Une des principales causes d'erreur systématique affectant un condensateur intégré est l'erreur de gravure par défaut, le long de son périmètre (*figure 19*).

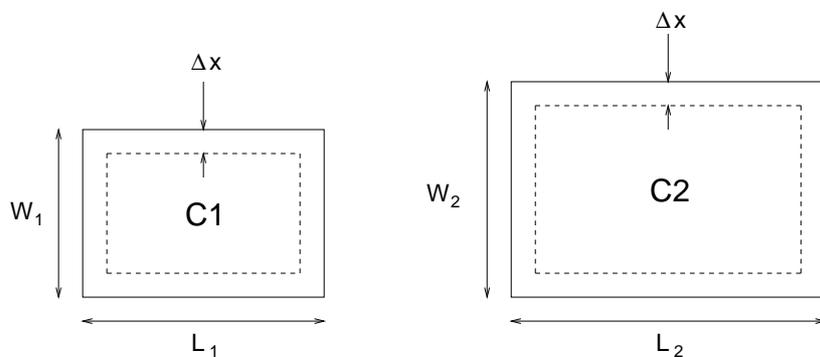


FIGURE 19 –

Erreur de gravure par défaut

Avec

$$r = r_{nom} = \frac{C2}{C1} = \frac{W_2 L_2}{W_1 L_1}$$

et

$$P_1 = 2(W_1 + L_1) \text{ et } P_2 = 2(W_2 + L_2)$$

on écrit

$$r_{realisee} = \frac{W_2 L_2 - 2(W_2 + L_2)\Delta x}{W_1 L_1 - 2(W_1 + L_1)\Delta x} = r_{nom} \frac{1 - \frac{P_2}{S_2}\Delta x}{1 - \frac{P_1}{S_1}\Delta x}$$

l'erreur systématique est complètement éliminée si les périmètres des deux condensateurs sont dans le même rapport que les aires, c'est à dire avec

$$\frac{P_2}{P_1} = \frac{S_2}{S_1}.$$

Il existe de nombreuses méthodes de dessin de condensateurs intégrés présentant cette particularité. Les méthodes les plus courantes sont la méthode du rectangle plein et la méthode de rectangle percée.

- La méthode du rectangle plein :

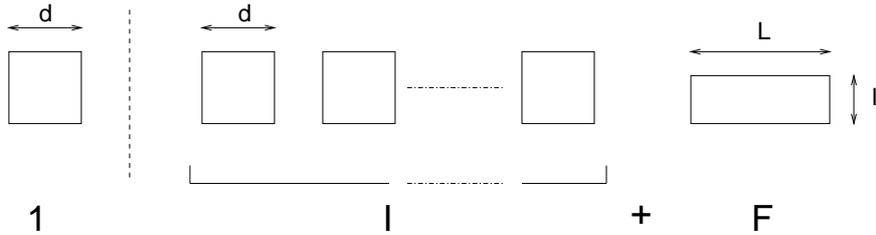


FIGURE 20 –

La méthode du rectangle plein

Considérons la réalisation d'un rapport capacitif non entier

$$\mathcal{R} = \frac{\mathcal{N}}{\mathcal{D}} = \frac{I + F}{1} \text{ avec } I = \lfloor \mathcal{N} - 1 \rfloor \text{ et } F = \mathcal{N} - I.$$

La plus petite valeur du rapport est normalisée à un, I est la partie entière du nombre décimale moins l'unité et F compris entre 1 et 2 est la partie décimale plus l'unité.

On doit réaliser le rapport (*figure 20*)

$$\frac{I d^2 + L l}{d^2} = I + F$$

sous la contrainte du rapport des périmètres égal au rapport des aires :

$$\frac{4d}{4I d + 2(L+l)} = \frac{d^2}{I d^2 + L l}.$$

On doit ainsi avoir

$$L l = F d^2 \text{ et } L + l = 2 F d$$

ce qui nous conduit aux deux valeurs

$$L = Fd\left(1 + \sqrt{1 - \frac{1}{F}}\right) \text{ et } l = \frac{d}{1 + \sqrt{1 - \frac{1}{F}}}.$$

D'après la *figure 21*, on obtient une forme rectangulaire très allongée pour des fortes valeurs de F puisqu'à la limite avec $L = 2$ le facteur de forme est de $3,4d/0,58d = 5,8$. Statistiquement, c'est à dire pour $F = 1,5$ le facteur de forme moyen aura pour valeur $2,366d/0,634d = 3,7$. Quoique gourmande en terme de surface de silicium cette technique est très simple à mettre en œuvre. On notera que de part l'erreur systématique de conception affectant également la longueur et la largeur du rectangle, une erreur de conception est systématiquement générée, cette erreur prévisible analytiquement devra être prise en compte.

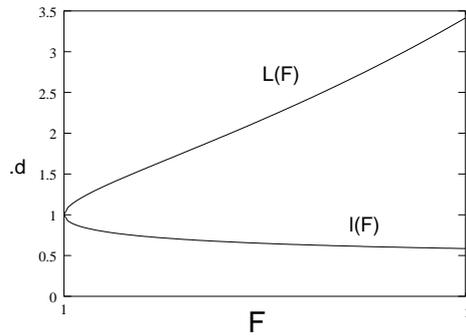


FIGURE 21 –

Facteur de forme de la méthode du rectangle plein

– **La méthode du rectangle percé :**

En aménageant une cavité à l'intérieur du rectangle plein, on se donne un degré de liberté pour régler le périmètre et la surface du dernier condensateur (*figure 22*).

On doit maintenant réaliser le rapport

$$\frac{I d^2 + (L_1 l_1 - L_2 l_2)}{d^2} = I + F$$

sous la contrainte

$$\frac{4d}{4Id + 2(L_1 + l_1) + 2(L_2 + l_2)} = \frac{d^2}{Id^2 + (L_1 l_1 - L_2 l_2)}.$$

On doit ainsi avoir

$$L_2 l_2 = L_1 l_1 - F d^2 \text{ et } L_2 + l_2 = 2 F d - (L_1 + l_1).$$

En réglant numériquement les paramètres L_1 et l_1 on peut répondre aux contraintes de périmètres et d'aires avec un facteur de forme meilleur, puisqu'au maximum de trois, que par la méthode du rectangle plein. Il faut toutefois prévoir la surface nécessaire à la prise de contact et veiller à ce que le rectangle interne soit réalisable, c'est à dire plus grand qu'une valeur minimum fixée par les règles de dessin. D'autre part le rectangle percé comporte un grand nombre d'angles, il est a priori plus sensible à l'erreur d'appariement que le rectangle plein.

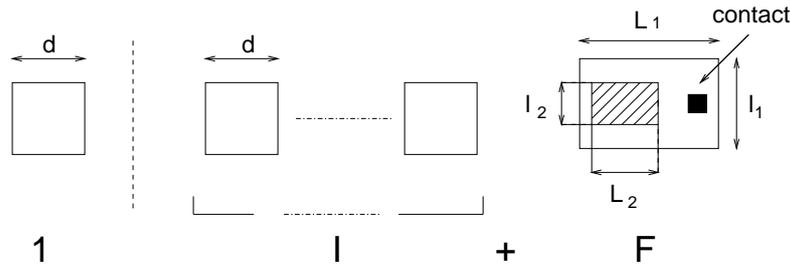


FIGURE 22 –

La méthode du rectangle percé

3.3 Les indices de performance

3.3.1 Capacités parasites structurelles

Indépendamment de la technique de fabrication, comme l'indique le schéma de la *figure 23*, tous les condensateurs intégrés présentent par rapport au substrat un jeu de capacités parasites structurelles. La capacité la plus grande, C_{pb} , est située entre l'armature basse et le substrat. L'électrode basse devant être isolée électriquement du substrat. Typiquement elle est de l'ordre de $C/5$ à $C/20$ selon la technique de fabrication. La seconde capacité C_{ph} a pour origine d'éventuels recouvrement entre l'armature supérieure et le substrat. Elle est typiquement d'un ordre de grandeur plus petite que C_{pb} . A ces capacités structurelles intrinsèques, il convient d'ajouter les capacités parasites extrinsèques dues aux lignes de connexion reliant le condensateur intégré au reste du circuit. Sa valeur, est dépendante de l'application. De part ses capacités parasites structurelles, un condensateur intégré est fortement dissymétrique, il est donc important de veiller à son sens de connexion. Pour ce faire, au niveau du symbolisme, l'usage est de différencier les deux armatures.

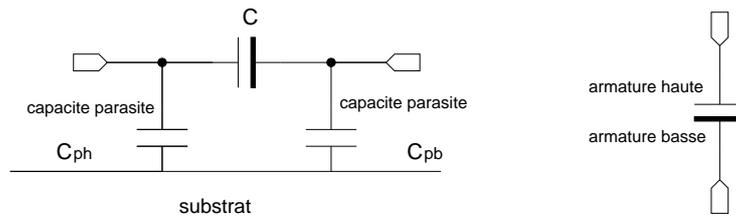


FIGURE 23 –

Capacités parasites structurelles et symbole d'un condensateur intégré

3.3.2 Précision absolue ou tolérance globale

En différenciant l'expression analytique de la capacité d'un condensateur intégré, on obtient

$$dC = \frac{\partial C}{\partial \epsilon_{ox}} d\epsilon_{ox} - \frac{\partial C}{\partial t_{ox}} dt_{ox} + \frac{\partial C}{\partial W} dW + \frac{\partial C}{\partial L} dL$$

soit

$$\frac{dC}{C} = \frac{d\epsilon_{ox}}{\epsilon_{ox}} + \frac{dt_{ox}}{t_{ox}} + \frac{dW}{W} + \frac{dL}{L}$$

Toutes les différentielles étant des variables aléatoires statistiquement indépendantes, en terme d'écart type

$$\sigma_C = C \sqrt{\left(\frac{\sigma_{\epsilon_{ox}}}{\epsilon_{ox}}\right)^2 + \left(\frac{\sigma_{t_{ox}}}{t_{ox}}\right)^2 + \left(\frac{\sigma_W}{W}\right)^2 + \left(\frac{\sigma_L}{L}\right)^2}$$

La précision sur la constante physique ϵ_{ox} dépend principalement des impuretés contenues dans l'oxyde, de la température, La précision sur le paramètre technologique t_{ox} dépend des procédés physiques et chimiques appliqués et éventuellement de la dimension des grains de silicium polycristallin. Quant aux termes dimensionnelles W et L , si ils ont une forte valeur ($> 10\mu m$) leur influence est minimisée.

3.3.3 Précision d'appariement et tolérance locale

Si on considère l'expression de l'écart type σ_C précédente et si on associe aux deux premiers termes, une dépendance statistique correspondant à une [fluctuation spatiale](#) et aux deux autres termes une dépendance statistique correspondant à une fluctuation périphérique [5] [10], entre deux condensateurs identiques proches l'un de l'autre la précision d'appariement est modélisable à partir de l'écart type

$$M_C = \sigma\left(\frac{dC}{C}\right) = \sqrt{\frac{M_a^2}{WL} + \frac{M_w^2}{W^2} + \frac{M_l^2}{L^2}}$$

Les constantes M_a , M_l et M_w sont des paramètres technologiques déterminés par caractérisation et pouvant être fournis par le fondeur.

Partant de l'erreur d'appariement, comme pour les résistances, on peut définir la tolérance locale d'un condensateur C par rapport à sa valeur nominale par l'expression

$$TLC = \sigma\left(\frac{dC}{C}\right) = \frac{M_C}{\sqrt{2}} = \frac{1}{\sqrt{2}} \sqrt{\frac{M_a^2}{WL} + \frac{M_w^2}{W^2} + \frac{M_l^2}{L^2}}$$

- Réalisation d'un rapport capacitif exprimable par un rapport de deux nombres entiers :

Si on considère la réalisation, sous forme matricielle, d'un rapport de capacités exprimable par un rapport de deux nombres entiers, C_{unit} étant la capacité d'un module élémentaire, avec

$$K_{ij} = \frac{C_i}{C_j} = \frac{m C_{unit}}{n C_{unit}}$$

$$\frac{dK_{ij}}{K_{ij}} = \frac{dC_i}{C_i} - \frac{dC_j}{C_j}$$

$$\left(\frac{\sigma_{dK_{ij}}}{K_{ij}}\right)^2 = \left(\frac{\sigma_{dC_i}}{C_i}\right)^2 + \left(\frac{\sigma_{dC_j}}{C_j}\right)^2$$

et

$$\sigma_{dC_i}^2 = \sum_1^m \sigma_{dC_{unit}}^2 = m \sigma_{dC_{unit}}^2$$

$$\sigma_{dC_j}^2 = n \sigma_{dC_{unit}}^2$$

en terme d'écart type, on peut écrire

$$\sigma\left(\frac{dK_{ij}}{K_{ij}}\right) = \sigma\left(\frac{dC_{unit}}{C_{unit}}\right) \sqrt{\frac{1}{m} + \frac{1}{n}}$$

Si on utilise la valeur précédente de TL_C , on détermine l'expression

$$TL_{K_{ij}} = TL_{C_{unit}} \sqrt{\frac{1}{n} \left(1 + \frac{1}{K_{ij}}\right)}.$$

Cette formule est d'un grand intérêt en conception analogique, puisque connaissant la tolérance locale sur la valeur de la capacité unitaire qui est un paramètre technologique, elle permet de déterminer la tolérance locale sur un rapport de capacité qui est un paramètre de conception. Elle montre en outre que pour améliorer la précision on doit augmenter la taille des condensateurs ou le nombre n de condensateurs unitaires constituant la capacité de référence (un doublement entraîne une amélioration de $\sqrt{2}$).

- Réalisation d'un rapport capacitif non entier :

La réalisation d'un rapport non entier implique la mise en œuvre des techniques permettant de fixer les aires des capacités dans le même rapport que les périmètres. Si la capacité non entière est réalisée à partir de I capacités unitaires et d'une capacité non entière C_F correspondant à la partie décimale, en posant

$$M_{C_F} \approx \sigma\left(\frac{dC_{unit}}{C_{unit}}\right) \cdot P_F$$

on peut écrire

$$TL_{K_{ij}} = \frac{TL_{C_{unit}}}{\sqrt{n}} \sqrt{1 + \frac{n}{I + P_F}}.$$

Le facteur de pondération $P_F \geq 1$ tient compte d'une éventuelle perte de précision sur l'appariement. Ce faisant, et en utilisant des matrices de condensateurs où les erreurs systématiques de conception ont été corrigées, il est possible d'obtenir des rapports capacitifs avec des précisions $< 0,1\%$ [6].

- L'erreur de pas de grille :

Le pas de grille non nul des masques (résolution finie de l'ordre de $0,1L_{min}$ des transistors) introduit une erreur d'arrondi. Dans le pire cas, avec

$$C_{realisee} = \frac{\epsilon_{ox}}{t_{ox}} \left(W + \frac{pdg}{2}\right) \left(L + \frac{pdg}{2}\right) \approx C_{nominale} \left(1 + \frac{pdg}{4} \frac{W+L}{WL}\right).$$

le pas de grille (pdg) introduit sur une capacité carrée C une erreur relative

$$\epsilon_{pdg} < 0,5 \frac{pdg}{L}.$$

Cette erreur est minimisée en prenant des dispositifs très grands ($L > 10\mu m$). Pour la réalisation de rapports de capacités, cette erreur d'arrondi peut être minimisée en systématisant les erreurs de pas de grille dans un même sens.

3.3.4 Coefficient de température

Le coefficient de température TCR d'un condensateur intégré a principalement pour origine

- la dilatation de la surface des armatures
- la dépendance de ϵ_{ox} avec la température
- la dépendance des charges d'espace avec la température.

Il est généralement faible puisque de l'ordre de $10ppm\ ^\circ C$ [5] et de ce fait généralement négligé. Formellement, il est pris en compte en écrivant

$$C = C(T) = C(T_0) (1 + TCC \cdot (T - T_0)).$$

3.3.5 Coefficient de tension

Par influence électrique, il peut y avoir une modification des charges aux interfaces du diélectrique. Cette dépendance aux conditions de polarisation peut être prise en compte par le coefficient de tension VCC tel que

$$C = C(V) = C(V_0) (1 + VCC_1 V + VCC_2 V^2).$$

Le paramètre V est la tension moyenne aux bornes du dispositif. Le coefficient de tension du second ordre VCC_2 traduit éventuellement la non-linéarité du phénomène. Dans des applications très hautes performances (en filtrage et en conversion) il est possible de limiter l'influence de cette non-linéarité par une connexion anti-parallèle de deux condensateurs [4], toutefois cette technique à l'inconvénient d'augmenter significativement les capacités parasites structurales (*figure ??*) en les symétrisant. On peut toutefois noter que cette symétrisation à l'avantage d'équilibrer électriquement la structure. Cette potentialité peut être mis à profit lors de la conception des dispositifs analogiques traitant le signal analogique sous forme différentielle

. Une autre technique consiste à effectuer une connexion anti-série(tête bêche) de deux condensateurs [13]. La linéarité du dispositif est nettement améliorée, mais la surface capacitive correspondante est doublée et une perte de précision est introduite par les deux capacités parasites structurales hautes.

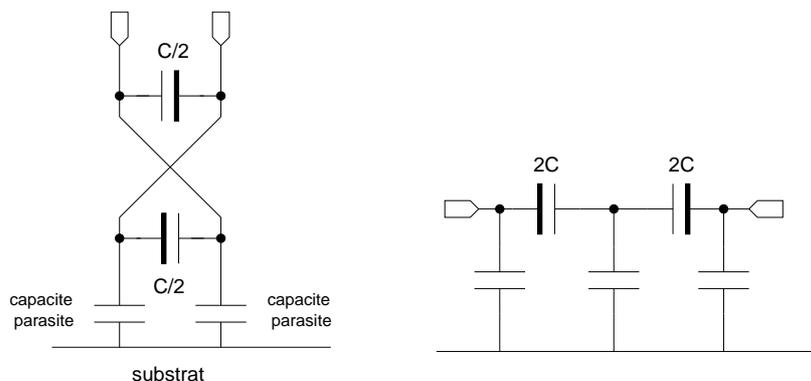


FIGURE 24 –

Connexion anti-parallèle et anti-série de deux condensateurs

3.3.6 Résistances parasites séries

Inévitablement à tout condensateur intégré, on peut associer une résistance parasite en série avec la capacité, dépendante de la technique de réalisation. Cette résistance, généralement faible puisque de l'ordre de $qq\ \Omega/sq$ pour le polysilicium salicidé et $qq\ 10\ \Omega/sq$ pour la diffusion, n'est réellement à considérer que pour la réalisation de certaines fonctions analogiques temps continu hautes fréquences. Il est à noter que du fait de la très bonne qualité des oxydes, on considère que la résistance de fuite est très grande, le coefficient de qualité du condensateur est ainsi infini.

3.4 Les différents types de condensateurs

Dans une technologie CMOS standard modifiée, selon les matériaux utilisés, on peut disposer

- de condensateurs poly-diffusion
- de condensateurs poly-poly
- de condensateurs métal-poly.
- de condensateurs métal-métal.

A ces quatre types on peut adjoindre les condensateurs standards MOS.

3.4.1 Les condensateurs poly-diffusion (condensateur MOS non standard)

Cette structure est obtenue par un dépôt d'oxyde sur une région fortement dopée implantée dans le substrat (*figure ??*). Cette zone à fort dopage, nécessite l'utilisation d'un masque supplémentaire "non standard" puisque son implantation ne peut être réalisée au travers de la couche polycristalline qui sert de masque pour l'implantation des zones faiblement dopées dans une filière autoalignée. D'autre part, la croissance de l'oxyde étant plus rapide sur zone fortement dopée, son épaisseur est supérieure à celle de l'isolant de grille du transistor MOS. Les valeurs de capacités sont de l'ordre de quelques $fF/\mu m^2$ pour des précisions absolues de 10 à 20 %. Fonctionnellement parlant, l'expression formelle de la capacité totale entre les deux électrodes est

$$1/C = 1/C_{ox} + 1/C_{sd} + 1/C_{sp}$$

la capacité C_{sd} étant due à la charge d'espace située à l'interface isolant-diffusion, et la capacité C_{sp} étant due à la charge d'espace située à l'interface isolant-polysilicium. Les deux zones de charge d'espace, modulées en tension, étant physiquement de nature différente, il n'y a pas de compensation [5] (lorsqu'une zone est en accumulation, l'autre est en appauvrissement du fait des polarités opposées sur les deux armatures) Les condensateurs poly-diffusion sont généralement moins linéaires que les autres types de condensateurs. Ils sont caractérisés par des coefficients de tension $VCC_1 \approx qqs\ 100ppm/V$ et $VCC_2 \approx qqs\ 10ppm/V^2$, et un coefficient de température $TCC \approx qqs\ 10ppm/^\circ C$. De part sa simplicité en terme de nombre de masques supplémentaires, cette structure est la plus courante est la moins coûteuse.

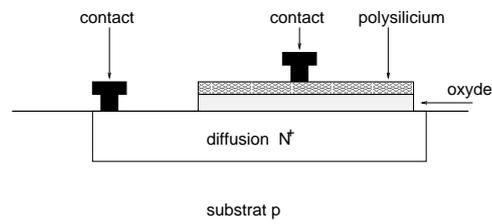


FIGURE 25 –

Structure d'un condensateur poly-diffusion

3.4.2 Les condensateurs poly-poly

Pour les filières à deux niveaux de silicium polycristallin un condensateur peut être à partir d'une croissance d'oxyde sur le poly 1 (*figure 26*). Du fait de ce type de croissance

cet oxyde est de moins bonne qualité que l'oxyde de grille. Typiquement les valeurs de capacités sont de l'ordre de $1fF/\mu m^2$. Les deux zones de charge d'espace situées aux interfaces poly1-isolant et poly2-isolant étant de même nature, ce type de condensateur est généralement plus linéaire que le condensateur poly-diffusion. Quant au coefficient de température, il est du même ordre de grandeur. Toutefois, nécessitant un jeu de masques supplémentaire pour la réalisation du second poly, en terme de coût de production les condensateurs poly-poly sont moins performants que les condensateurs poly-diffusion.

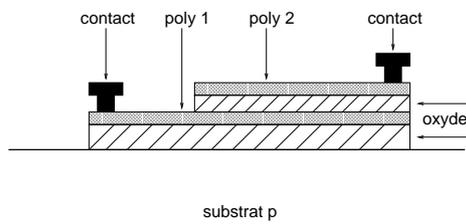


FIGURE 26 –

Structure d'un condensateur poly-poly

3.4.3 Les condensateurs métal-poly

Pour les filières à un niveau de silicium polycristallin, le métal peut être substitué au poly 2 (figure 27). Cette structure est plus linéaire que les précédentes ($VCC_1 \approx qqs ppm/V$) mais plus chère, parcequ'elle nécessite plus de masques et étant moins dense avec des valeurs de capacités de l'ordre de $0.5fF/\mu m^2$.

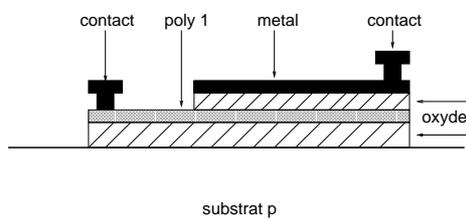


FIGURE 27 –

Structure d'un condensateur métal-poly

3.4.4 Les condensateurs métal-métal (condensateurs MIM)

Toutes les zones conductrices pouvant être utilisées pour la fabrication d'un condensateur, une filière à plusieurs niveaux de métal peut fournir des condensateurs MIM (Métal-Isolant-Métal). Ainsi, si on considère le schéma de la figure 28, à partir de trois niveaux de métal on peut synthétiser différentes structures, avec des densités de capacité et des capacités parasites C_{pb} différentes. Les capacités entre les différents niveaux de métal pour une filière courante sont de l'ordre de $0.04fF/\mu m^2$. Elles peuvent être de l'ordre de $0.4fF/\mu m^2$ pour certaines filières "analogiques". En générale, les condensateurs MIM sont caractérisés par une faible densité d'intégration, une excellente linéarité, un TCR négatif et de faibles capacités parasites structurelles, moins bien contrôlées que les autres condensateurs, elles conduisent à des tolérances absolues $> 20\%$.

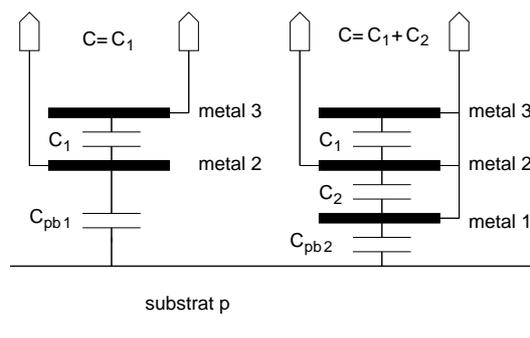


FIGURE 28 –

Structures d'un condensateur MIM

3.4.5 Les condensateurs MOS

La technique la plus simple pour fabriquer un condensateur intégré est d'utiliser directement la capacité de grille d'un transistor MOS (condensateur MOS ou condensateur d'oxyde de grille). Ce faisant on obtient un condensateur réalisable quelque soit la filière technologique, à haute densité d'intégration puisque l'épaisseur d'oxyde est la plus petite offerte par une technologie, et ayant de bonnes performances en termes de précisions puisque cette épaisseur est technologiquement bien contrôlée. Malheureusement ces dispositifs sont caractérisés par de fortes non-linéarités et leur usage est limité ou nécessite des techniques de compensation. Intrinsèquement [1], toutes les filières technologiques permettent la réalisation des quatre structures de condensateur de la *figure 29*. Seules les structures poly-caisson et PMOS permettent la réalisation d'un condensateur flottant. En terme de [régime de fonctionnement](#)

, la polarisation des condensateurs poly-caisson et poly-substrat devra être choisie pour un fonctionnement optimal en accumulation alors que la polarisation des condensateurs PMOS et NMOS la polarisation sera préférablement choisie pour un fonctionnement optimal en forte inversion.

3.5 Modèles de calcul

- Capacité nominale :

Le calcul de la capacité d'un condensateur doit prendre en compte la capacité surfacique C_A et la capacité périphérique C_P . Ainsi, de manière générale la capacité nominale d'un condensateur intégré rectangulaire "natif" s'écrit

$$C_{nom} = C_A (L - dL) (W - dW) + 2 C_P ((L - dL) + (W - dW)).$$

C_A est la capacité surfacique

C_P est la capacité périmétrique

L est la longueur dessinée

dL est l'erreur systématique de conception sur la longueur dessinée

W est la largeur dessinée

dW est l'erreur systématique de conception sur la largeur dessinée

Il est à noter que généralement $dL = dW$.

La prise en compte des effets de la température est réalisée avec

$$C_{nom} = C_{nom}(T_0) (1 + TCC \cdot (T - T_0))$$

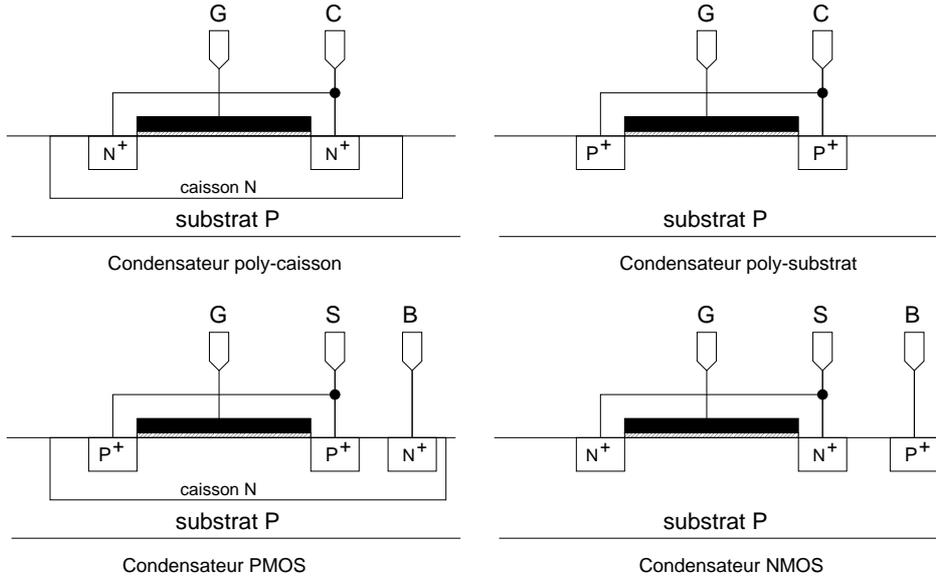


FIGURE 29 –

Structures des quatre condensateurs MOS (substrat de type P)

alors que la prise en compte des effets de la tension V est réalisée avec

$$C_{nom} = C_{nom}(V_0) (1 + VCC_1 V + VCC_2 V^2).$$

- Capacités parasites structurelles intrinsèques :

Comme pour la capacité nominale on doit considérer une composante surfacique et une composante périphérique. Dans le cas particulier des condensateurs MOS, les capacités surfaciques et périmétriques de l'électrode inférieure sont fonctions de la tension de polarisation de la jonction diffusion-substrat avec

$$C_A = \frac{C_{A0}}{\left(1 - \frac{V_j}{pha}\right)^{ma}} \quad \text{et} \quad C_P = \frac{C_{P0}}{\left(1 - \frac{V_j}{php}\right)^{mp}}.$$

C_{A0} est la capacité surfacique en F/m^2

C_{P0} est la capacité périmétrique en F/m

pha est le potentiel surfacique de contact ($\approx 0,8V$)

php est le potentiel périmétrique de contact ($\approx 0,8V$)

ma est l'exposant de variation de la capacité surfacique de jonction ($\approx 0,4$)

mp est l'exposant de variation de la capacité périmétrique de jonction ($\approx 0,35$)

V_j est le potentiel de la jonction d'isolation.

3.6 Modèles de simulation

Les simulateurs électriques standards de type SPICE [9] ne possèdent pas intrinsèquement de modèle de calcul de condensateur intégré, on utilise un sous-circuit. Ce sous circuit devant prendre en compte les capacités parasites structurelles, indépendamment de la technique de fabrication on peut utiliser le macromodèle de la *figure 30*. Les résistances parasites série R_{ph} et R_{pb} des armatures haute et basse normalement répartie, n'est que à considérer qu'en hautes fréquences. De même que les éventuelles effets

inductifs des condensateurs MIM qui peuvent être pris en compte par une inductance série L_p . La diode D_{sub} , remplaçant la capacité parasite basse, n'est éventuellement à considérer que dans le cas des capacités MOS flottantes.

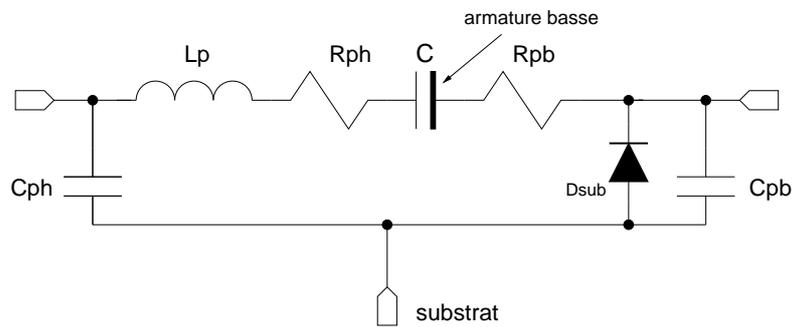


FIGURE 30 –

Macromodèle de simulation (complet) d'un condensateur intégré

Références

- [1] A.T. BEHR, M.C. SCHNEIDER, S. NOCETI, and C.G. MONTORO. "Nonlinearities of capacitors realized by MOSFET gates". *Proc IEEE International Symposium Circuits and System*, pages pp. 1284–1285, 1992.
- [2] A. VAN BEZOOIJEN and J.O. VOORMAN. "Balanced integrator filters at video frequencies". *Proc of the ESSCIRC'91*, pages pp. 1–4, 1991.
- [3] M. CAND, E. DEMOULIN, J.L. LARDY, and P. SENN. "*Conception des circuits intégrés MOS*". Eyrolles, 1986.
- [4] A.M. DURHAM and W. REDMAN-WHITE. "High-linearity continuous-time filter in 5v VLSI CMOS". *IEEE Journal of Solid-State Circuit*, vol. 27(No. 9) :pp. 1270–1276, September 1992.
- [5] J.L. McCREARY. "Matching properties and voltage and temperature dependance of MOS capacitors". *IEEE Journal of Solid-State Circuit*, vol. 16(No. 6) :pp. 608–616, December 1981.
- [6] S. LEMARQUIS M.J. McNUTT and J.L. DNKLEY. "Systematic capacitance matching errors and corrective layout procedures". *IEEE Journal of Solid-State Circuit*, vol. 29(No. 5) :pp. 611–616, May 1994.
- [7] T. PLETERSEK, J. TRONTELJ, L. TRONTELJ, I. JONES, and G. SHENTON. "High performance designs with CMOS analog standard cells". *IEEE Journal of Solid-State Circuit*, vol. 21(No. 2) :pp. 215–222, April 1986.
- [8] J. PORTE. "Une méthode d'optimisation discrète pour les filtres cascades à capacités commutées". *Annales des Télécommunication*, vol. 47(No. 3-4) :pp. 153–158, 1992.
- [9] T. QUARLES, A.R. NEWTON, D.O. PEDERSON, and A. SANGIOVANNI-VINCENELLI. "*SPICE 3 Version 3F5 user's manual*". University of California Berkeley CA 94720, 1996.
- [10] J.B. SHYU, G.C. TEMES, and F. KRUMMENACHER. "Random error effects in matched MOS capacitors and current sources". *IEEE Journal of Solid-State Circuit*, vol. 19(No. 6) :pp. 948–955, December 1984.
- [11] R. SINGH and A.B. BHATTACHARYYA. "Matching properties of linear MOS capacitors". *IEEE Transactions on Circuits and Systems*, vol. 36(No. 3) :pp. 465–467, March. 1989.
- [12] R. SINGH and A.B. BHATTACHARYYA. "Roles of corners in matching of linear MOS capacitors". *IEEE Transactions on Circuits and Systems*, vol. 36(No. 3) :pp. 467–469, March. 1989.
- [13] H. YOSHIZAWA, Y. HUANG, and G.C. TEMES. "MOSFET only switched-capacitor circuits in digital CMOS technology". *Proc IEEE International Symposium Circuits and System*, pages pp. 457–460, 1997.