

Principes de la technique des capacités commutées

Table des matières

1	Le principe	2
2	Les propriétés	2
2.1	L'analyse nominale	2
2.2	Analyse d'un circuit passif	3
3	L'injection de charge d'horloge	4
3.1	Mise en évidence du phénomène	4
3.2	Modélisation de l'ICH	5
3.3	Minimisation de l'ICH non-linéaire par une horloge à quatre phases	5
4	La réjection des bruits d'alimentation	6
5	Les générateurs de phases	7
5.1	Génération de deux phases non recouvrantes	7
5.2	Génération d'un double jeux de phases non recouvrantes avec fronts arrières décalés	8
5.3	Génération d'un double jeux de phases non recouvrantes imbriqués	9

1 Le principe

Le principe de la technique des capacités commutées est illustrée sur la *figure 1*. Les commutateurs contrôlés par les deux horloges non recouvrantes P et I connectent le condensateur C alternativement sur les sources de tension $V1$ et $V2$. La charge emmagasinée étant $C.V1$ sur la phase P et $C.V2$ sur la phase I, une quantité de charge $\Delta Q = C(V1 - V2)$ est transférée. La fréquence d'horloge $Fe = 1/Te$ étant très grande, les tensions $V1$ et $V2$ peuvent être considérées comme constante sur la période Te et la quantité de charge transférée est assimilable à un courant moyen de valeur

$$I = \frac{\Delta Q}{Te} = Fe.(V1 - V2).$$

Ainsi, la capacité commutée C peut être approximativement considérée comme une résistance de valeur

$$R = \frac{V1 - V2}{I} = \frac{1}{C.Fe}.$$

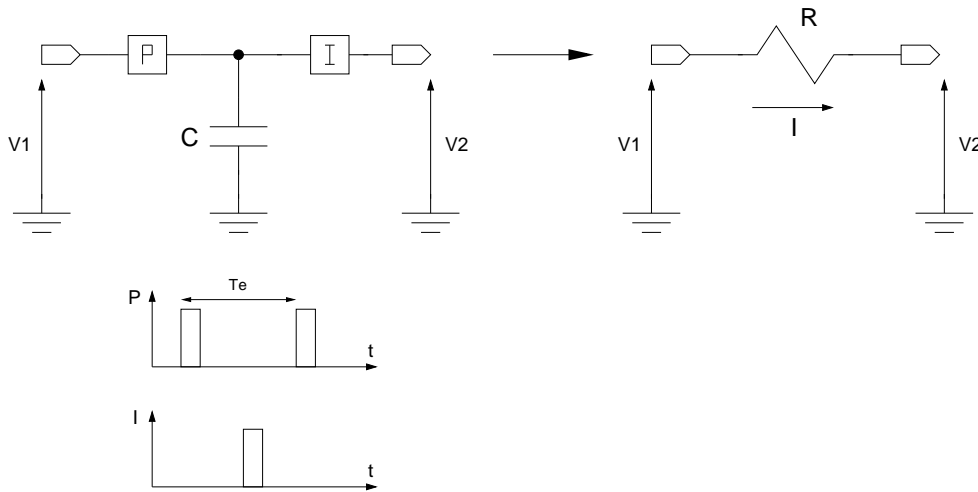


FIGURE 1 – le principe de la technique des capacités commutées

Le principe des capacités commutées est connu depuis très longtemps, puisque Maxwell en 1873 [?] l'utilise sous la forme du "principe du courant intermittent". Il a été réactualisé dans les années 1970 [?] [?], et son association avec des amplificateurs opérationnels en technologie MOS performants a permis la réalisation de constantes de temps extrêmement précises autorisant ainsi la fabrication des premiers filtres intégrés monolithiques.

2 Les propriétés

2.1 L'analyse nominale

Nominalement, un circuit à capacités commutées ne comporte aucune pertes résistives. Si le circuit comporte des amplificateurs opérationnels, ils seront modélisés par leur gain statique fini (éventuellement infini), les condensateurs seront sans perte et les commutateurs présenteront une résistance nulle sur les états hauts de l'horloge de commande

et une résistance infinie sur les états bas. De ce fait, les charges sont instantanément redistribuées à chaque instant de commutation et le principe de conservation charge peut être appliqué. Ainsi, de même que l'on peut toujours écrire l'équation de Kirchhoff en courant sur chaque nœud d'un circuit temps continu, on peut écrire une équation de charges sur chaque nœud d'un circuit à capacités commutées. Ainsi, pour deux phases notées P et I, sur la phase P aux instants nTe on obtient l'équation de charges

$$\Delta q_i^P(nTe) = \sum_{j=0}^{n_P} q_{ij}^P(nTe) - \sum_{j=0}^{n_P} q_{ij}^I[(n-1/2)Te]$$

et sur la phase I aux instants $(n-1/2)Te$ on obtient l'équation de charges

$$\Delta q_i^I[(n-1/2)Te] = \sum_{j=0}^{n_I} q_{ij}^I[(n-1/2)Te] - \sum_{j=0}^{n_I} q_{ij}^P(nTe).$$

Les quantités q_i^P (q_i^I) étant la charge stockée sur la capacité connectée au nœud i sur la phase P (I), et n_P (n_I) étant le nombre total de condensateurs connectés au nœud i sur la phase P (I).

2.2 Analyse d'un circuit passif

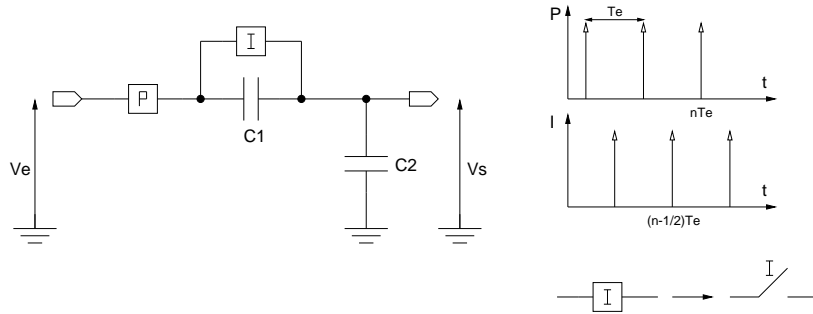


FIGURE 2 -

le circuit passif à analyser

Si nous considérons le circuit de la *figure 3* constituée d'un capacité commutée C_1 et d'une capacité non commutée C_2 , sur la phase P et la phase I, on peut déterminer les deux circuits de la *figure ??* et écrire

- **sur la phase P à $t = nTe$:**

$$\begin{aligned} \Delta q_{C_1}^P(nTe) &= C_1 \{V_{C_1}^P(nTe) - V_{C_1}^I[(n-1/2)Te]\} \\ \Delta q_{C_2}^P(nTe) &= C_2 \{V_{C_2}^P(nTe) - V_{C_2}^I[(n-1/2)Te]\} \\ V_{C_1}^P(nTe) &= V_e^P(nTe) - V_s^P(nTe) \\ V_{C_2}^P(nTe) &= V_s^P(nTe) \end{aligned}$$

- **sur la phase I à $t = (n-1/2)Te$:**

$$V_{C_1}^I[(n-1/2)Te] = 0$$

$$\Delta q_{C_2}^I[(n-1/2)Te] = 0 \rightarrow V_{C_2}^I[(n-1/2)Te] = V_{C_2}^P[(n-1)Te] = V_s^P[(n-1)Te].$$

- **soit sur la phase P :**

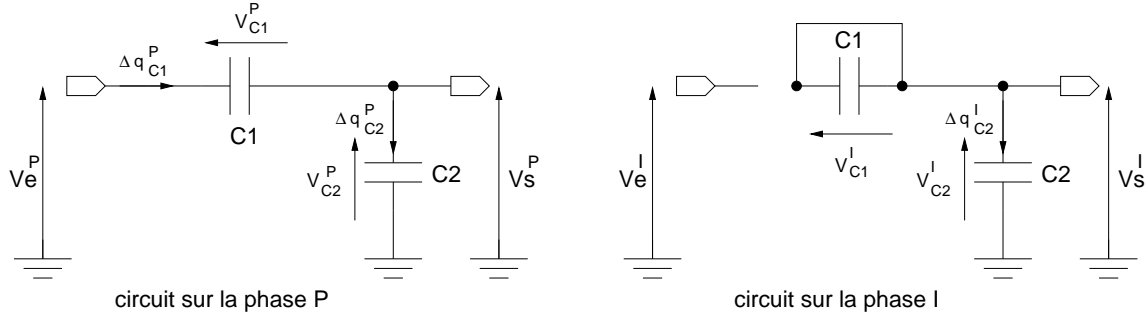


FIGURE 3 -

le circuit passif sur la phase P et la phase I

$$\begin{aligned} \Delta q_{C_1}^P(nTe) &= C_1 \{Ve^P(nTe) - Vs^P(nTe)\} = \\ \Delta q_{C_2}^P(nTe) &= C_2 \{Vs^P(nTe) - Vs^P[(n-1)Te]\} \\ \text{d'où l'équation aux différences finies} \end{aligned}$$

$$C_1 Vs^P(n) + C_2 [Vs^P(n) - Vs^P(n-1)] = C_1 Ve(n)$$

- et sur la phase I :

$$Vs^I(n-1/2) = Vs^P(n-1)$$

///

A REVOIR et a continuer notamment revisiter le passif avec deux capas paralleles pour embrayer sur necessier aop;;;;; ///

A REVOIR A REVOIR toute la suite A REVOIR A REVOIR A REVOIR A REVOIR

3 L'injection de charge d'horloge

3.1 Mise en évidence du phénomène

Considérons l'intégrateur à capacités commutées de la *figure 4* avec son jeu de phases *P* et *I* non recouvrantes :

1. Sur le front montant de la phase *P*, les commutateurs *S1* et *S1a* étant rendus passants (commutateurs NMOS), le signal d'entrée est échantillonné par le condensateur *C1* et transféré au condensateur *C2* avec un certain nombre de charges "d'horloge" provenant essentiellement des capacités de recouvrement grille-drain ou grille-source des transistors MOS. La tension effectivement échantillonné étant déterminée à la fin de la phase *P*, si le temps d'établissement est suffisant, il n'y a aucune interaction entre le signal d'entrée et l'horloge.
2. Sur le front descendant de la phase *P*, les commutateurs *S1* et *S1a* étant ouverts, la charge correspondant au signal d'entrée est maintenue sur *C1* et un certain nombre de charges "d'horloge" provenant des capacités de recouvrement et des charges stockées dans le canal des transistors est transféré dans *C2*. La source et le drain de *S1a* étant approximativement au même potentiel fixe (masse virtuelle

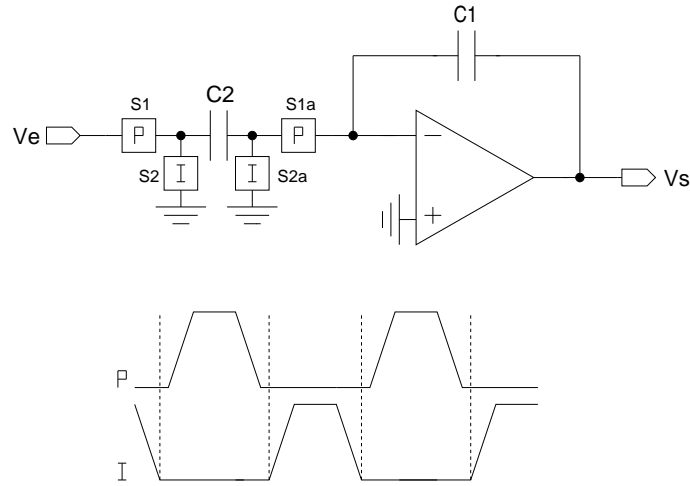


FIGURE 4 –

Mise en évidence de l'injection de charge d'horloge

de l'amplificateur opérationnel) sur chaque cycle d'horloge, l'injection de charge d'horloge (en abrégé l'ICH) est indépendante du signal d'entrée et une tension décalage est générée. Par contre les accès du commutateur $S1$ étant à un potentiel approximativement égal à la tension d'entrée, l'ICH est une fonction non linéaire de V_e , elle génère de la distorsion harmonique.

3. Sur le front montant de la phase P , les commutateurs $S2$ et $S2a$ étant rendus passants, le condensateur $C1$ est déchargé et comme pour le premier jeu de commutateurs si le temps d'établissement est suffisant, il n'y a aucune interaction entre le signal d'entrée et l'horloge.
4. Sur le front descendant de la phase P , les commutateurs $S2$ et $S2a$ étant ouverts, comme pour l'autre jeu de commutateurs, $S2a$ génère une tension de décalage et $S2$ génère de la distorsion harmonique.

3.2 Modélisation de l'ICH

A FAIRE

3.3 Minimisation de l'ICH non-linéaire par une horloge à quatre phases

Si nous considérons le schéma de la *figure 4*, il est évident que si on ouvre le commutateur $S1a$ avant d'ouvrir le commutateur $S1$, on n'empêche aucunement l'ICH "linéaire" dans la capacité d'intégration mais qu'on s'affranchit intégralement de l'ICH "non linéaire" due à $S1$ puisque les charges parasites ne peuvent être transmises en sortie de l'intégrateur et sont absorbées par l'entrée du circuit correspondant virtuellement à un nœud basse impédance [?]. De même, si on ouvre le commutateur $S2a$ avant d'ouvrir le commutateur $S2$ on s'affranchit intégralement de l'ICH "non linéaire" due à $S2$ puisque les charges parasites ne peuvent être mémorisées par $C2$ et sont intégralement absorbées par le nœud basse impédance correspondant à la masse analogique. On notera que le même raisonnement appliqué à un intégrateur non-inverseur c'est à dire avec permutation

des commutateurs $S1$ et $S2$ conduit aux mêmes résultats. Pour minimiser de l'ICH non-linéaire trois schémas d'horloge à quatre phases (fonctionnellement deux fois deux phases) sont généralement utilisés. Le premier (*figure 5*) est physiquement plus simple à réaliser que le deuxième (*figure 6*) mais présente un temps effectif d'établissement inférieur. Le troisième (*figure 7*) réduisant encore le temps effectif d'établissement apporte un degré de raffinement supplémentaire [?] en s'affranchissant des injections de charges résiduelles, présentent éventuellement en fin de temps d'établissement incomplètement réalisé. Pour les trois horloges les phases P , Q , I et J pilotent respectivement les commutateurs $S1$, $S1a$, $S2$ et $S2a$. Une réalisation physique des différents système d'horloge est donnée par la *figure 10*, la *figure 11* et la *figure 12*.

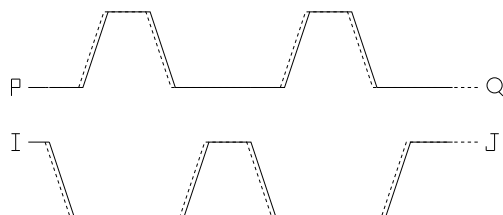


FIGURE 5 –

*Horloge à deux fois deux phases
dcalées sur fronts montants et descendants*

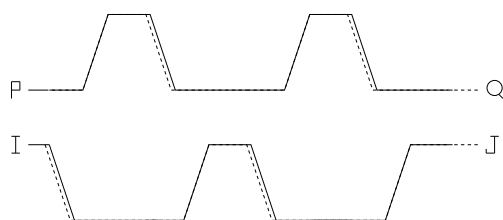


FIGURE 6 –

*Horloge à deux fois deux phases
en coincidence sur front montants et dcalées sur fronts descendants*

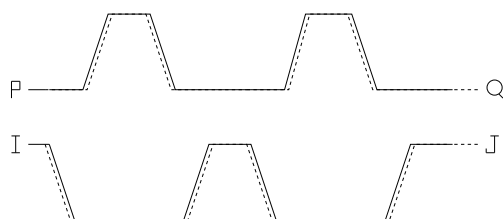


FIGURE 7 –

Horloge à deux fois deux phases imbriquées

4 La réjection des bruits d'alimentation

Si nous considérons le modèle de la *figure 8* représentant un commutateur CMOS à l'état bloqué, connecté sur l'entrée d'un intégrateur à capacités commutées, on constate

un couplage capacitif directe de l'horloge. Si l'état haut du signal d'horloge est l'alimentation VDD et l'état bas l'alimentation VSS, et si les bruits d'alimentation petit signal correspondant sont notés respectivement v_{dd} et v_{ss} , ces derniers génèrent sur la sortie de l'intégrateur deux signaux parasites tels que

$$\frac{v_s}{v_{ss}} = -\frac{covn}{C1}$$

et

$$\frac{v_s}{v_{dd}} = -\frac{covp}{C1}.$$

Même si ces signaux parasites de type mode commun peuvent être fortement atténués par l'utilisation de structures différentielles, dans le cadre d'une double alimentation du circuit il peut être avantageux d'alimenter le dernier inverseur tampon de la *figure ??* sur l'alimentation analogique "propre", les autres portes logiques étant alimentées par l'alimentation numérique "polluée".

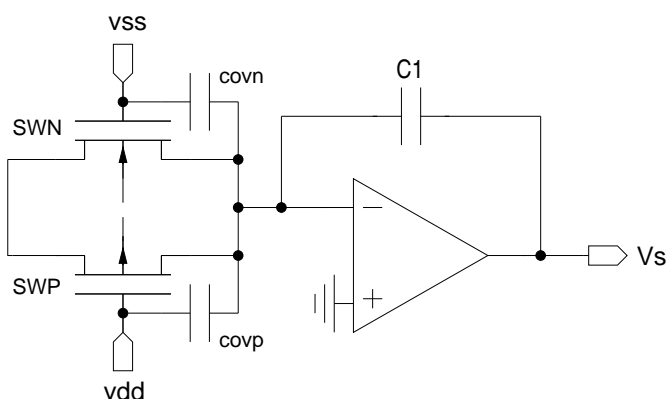


FIGURE 8 –

Modélisation de l'injection des bruits d'alimentation par les commutateurs d'entrée

5 Les générateurs de phases

5.1 Génération de deux phases non recouvrantes

– Le principe

Le fonctionnement d'un circuit à capacités commutées nécessite l'utilisation de deux phases non recouvrantes. Pour ce faire, on peut utiliser le schéma de principe de la *figure 9*, qui génère deux phases P et I à partir d'une horloge H attaquant deux circuits NOR bouclés, la *bascule RS*

ainsi constituée n'autorisant pas l'état haut simultané sur les deux sorties. Ainsi, si T_e est la période du signal d'horloge de rapport cyclique 1/2, et si τ_N et τ_I sont respectivement le temps de propagation de la porte NOR et de l'inverseur d'horloge, le retard entre le front descendant (montant) de la phase P et le front montant (descendant) de la phase I a pour valeur τ_N , et les rapport cycliques ont pour valeur

$$\eta_P = \frac{1}{2} - \frac{\tau_N + \tau_I}{T_e}$$

et

$$\eta_I = \frac{1}{2} - \frac{\tau_N - \tau_I}{T_e}.$$

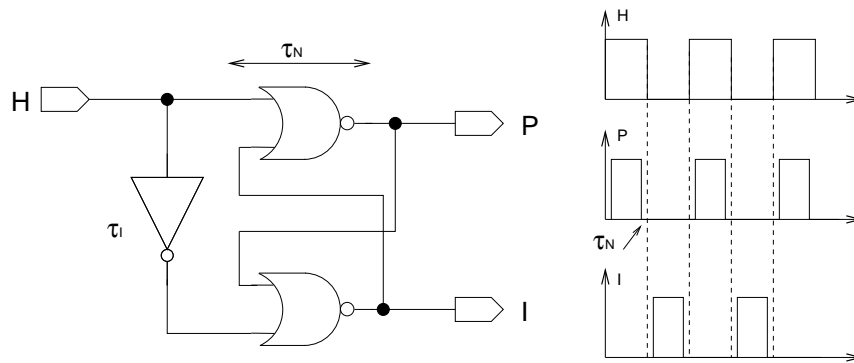


FIGURE 9 –

Principe de génération de deux phases P et I non recouvrantes

On notera, le défaut de symétrie entre les deux rapports cycliques, causé par l'inverseur. Si besoin est, on pourra surdimensionner l'inverseur ou équilibrer les deux entrées par l'intermédiaire d'un inverseur fantôme.

– **Un générateur deux phases non recouvrantes paramétrable**

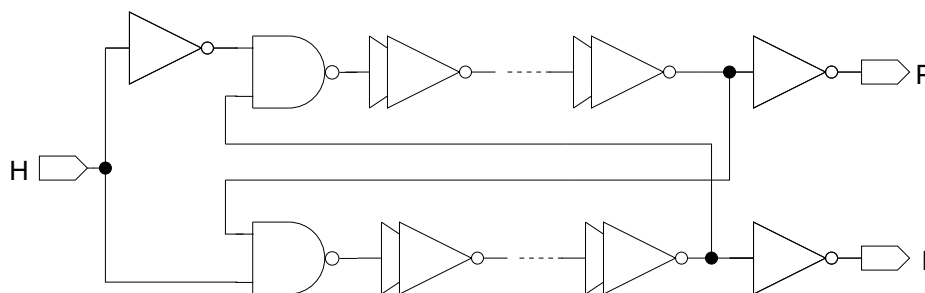


FIGURE 10 –

Générateur de deux phases P et I non recouvrantes paramétrable

Le générateur deux phases de la *figure 10* est construit à partir de deux portes NAND (une bascule RS à inverseurs est également utilisable), le temps de propagation τ_N est artificiellement augmenté et paramétré par l'utilisation de une ou plusieurs paires d'inverseurs mises en série avec la porte NAND et les sorties sont bufférisés (pratiquement plusieurs inverseurs et une optimisation de leur dimensionnement peuvent s'avérer être nécessaires) pour limiter l'influence des capacités de charge sur les temps de montée et de descente des deux phases.

5.2 Génération d'un double jeu de phases non recouvrantes avec fronts arrières décalés

Pour générer un système de phases tel que les phases P et Q (I et J) sont synchrones sur le front avant et tel que le front arrière de la phase Q (J) est avancé, on peut considérer le schéma de la *figure 11*. Le circuit constitué des transistors MN1, MN2 et MP1 (porte ET "trois états") assure le synchronisme des fronts avant et le retard du front arrière de

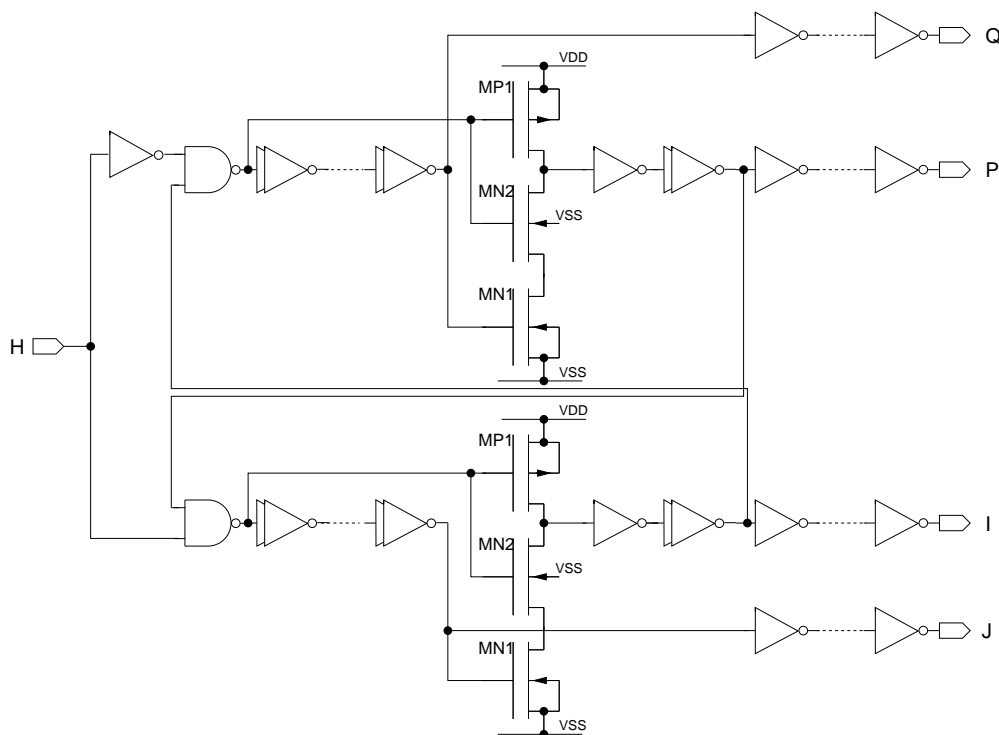


FIGURE 11 –

Un générateur "quatre phases décalées"

la phase P. On notera que l'interphase est doublée comparativement au générateur deux phases non recouvrantes. Une porte ET standard peut éventuellement être utilisée en lieu et place du jeu de trois MOS, mais ce faisant, la coïncidence (un temps de propagation) des fronts avants n'est plus respecté.

5.3 Génération d'un double jeu de phases non recouvrantes imbriqués

Pour générer un système de phases non recouvrantes tel que la phase Q (J) est imbriquée à l'intérieur de la phase P (I), on peut considérer le schéma de la *figure 12*. Comparativement au générateur précédent la phase Q (J) est simplement retardée par une série de paires d'inverseurs. Comparativement au générateur deux phases non recouvrantes, l'interphase est quadruplée.

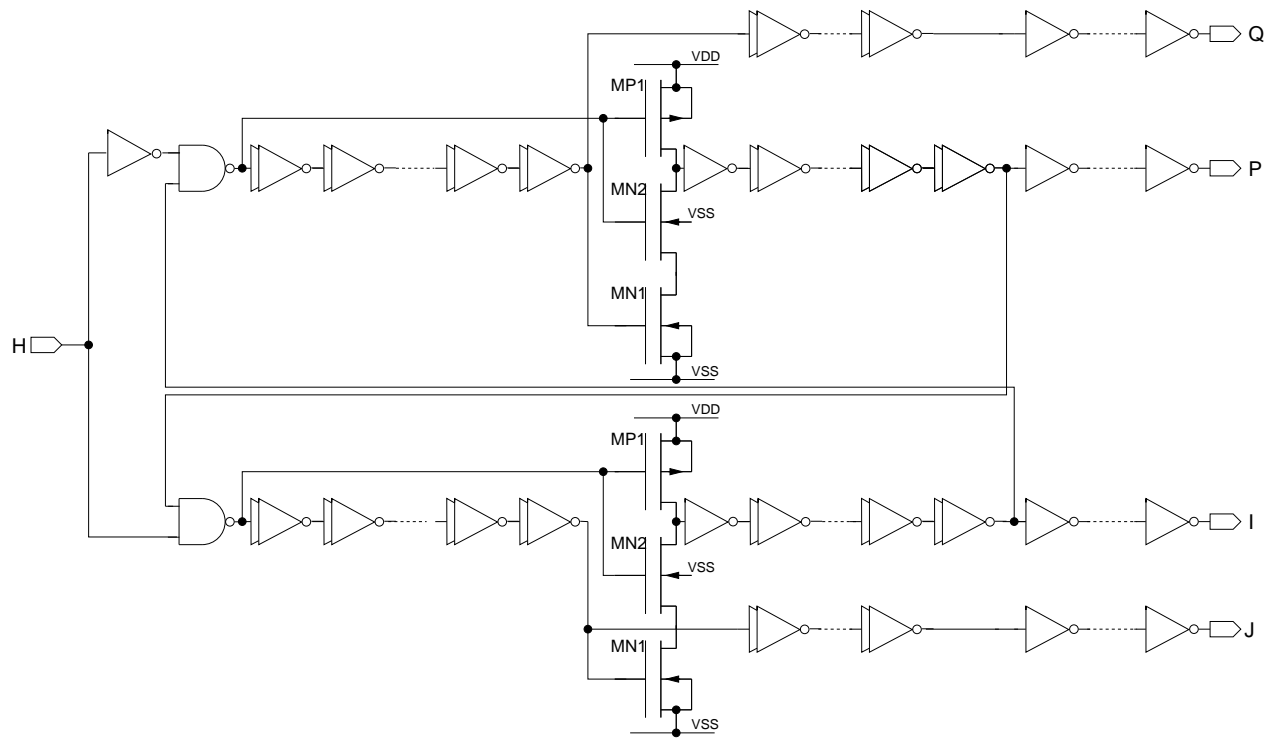


FIGURE 12 –

Un générateur "quatre phases imbriquées"

Références