

Aspects technologiques de la conception analogique CMOS

Table des matières

1	Introduction	2
2	Fabrication d'un circuit intégré CMOS	2
2.1	Principaux procédés physiques et chimiques de fabrication	2
2.1.1	La photolithographie :	2
2.1.2	La gravure :	3
2.1.3	L'oxydation :	3
2.1.4	Le dépôt :	3
2.1.5	Le dopage :	3
2.2	Opérations élémentaires pour la fabrication des transistors CMOS	4
2.3	Les autres filières technologiques	4
2.3.1	La filière à double caissons :	4
2.3.2	La filière S.O.I. :	5
2.4	Principaux défauts de conception	6
2.4.1	Le biais systématique de fabrication :	6
2.4.2	Erreur par excès de débordement des zones diffusées :	7
2.4.3	Erreur par défaut de gravure :	7
2.4.4	Effet de bec d'oiseau :	8
2.5	Règles de dessin des masques	9
3	Techniques élémentaires de dessin des masques analogiques	9
3.1	Le fractionnement	9
3.2	L'interdigitation	10
3.3	Le centrage géométrique	10
3.4	La compensation environnementale	11
3.5	La compensation thermique	11
4	Quelques règles élémentaires essentielles de conception	12
4.1	Le phénomène de latch-up	12
4.2	L'effet d'antenne	13

1 Introduction

Si la technologie CMOS est aujourd'hui la technologie dominante pour la fabrication des circuits intégrés par rapport aux autres technologies, essentiellement bipolaire et Arseniure de Gallium, c'est principalement parcequ'elle possède deux avantages. Tout d'abord sa faible consommation, un inverseur CMOS, cellule de base de l'électronique numérique, ne consomme de la puissance qu'en phase de commutation. Ensuite sa densité d'intégration qui ne cesse de croître, puisqu'en trente ans la longueur minimum des transistors a été divisée par un facteur supérieur à cent. Par contre, elle est moins performante en termes de rapidité et de [bruit](#).

Les différents processus mis en œuvre lors de la fabrication d'un circuit intégré CMOS génèrent des défauts de conception qu'il faut connaître pour éventuellement pouvoir s'en affranchir ou les corriger par l'intermédiaire de règles et de techniques spécifiques à la conception analogique. L'objet de ce chapitre est de fournir au concepteur de circuits intégrés analogiques les connaissances élémentaires permettant la mise en œuvre de ces règles et de ces techniques.

2 Fabrication d'un circuit intégré CMOS

2.1 Principaux procédés physiques et chimiques de fabrication

Actuellement les quatre types de filières technologiques principalement utilisées sont dans l'ordre

1. la filière caisson P
2. la filière caisson N
3. la filière à double caissons N et P
4. la filière S.O.I. (substrat sur isolant).

Si on considère la fabrication d'un circuit CMOS à caisson P [\[1\]](#) [\[3\]](#) [\[4\]](#), elle se fait à partir d'un substrat de silicium cristallin de type P (excédentaire en trous donc chargé positivement), avec une résistivité $< 0,1\Omega/cm$ et une épaisseur de quelques centaines de μm , sur lequel on applique une succession de procédés physiques et chimiques.

2.1.1 La photolithographie :

La photolithographie (lithographie) est un processus regroupant un ensemble de séquences transcrivant sur le substrat un motif dessiné préalablement sur un masque (*figure 1*).

- Le motif à transférer est précisément dessiné par un faisceau d'électrons sur un masque de verre transparent.
- Le masque est placé au dessus du substrat recouvert d'une résine photorésistante et soumis à des rayons ultraviolets. La zone opaque est ainsi projetée sur le substrat.
- Ce dernier est ensuite placée dans un révélateur qui dissout la surface opaque non durcie par les UV (dans le cas d'une résine "positive"), une fenêtre est ainsi générée.

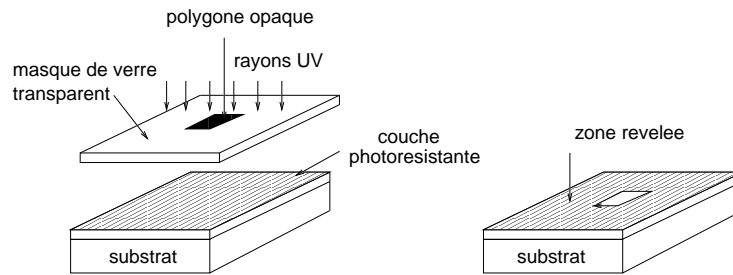


FIGURE 1 –

La lithographie

2.1.2 La gravure :

Elle succède généralement à la lithographie. Elle permet l'ouverture d'une zone dans un matériau. La gravure humide consiste à réaliser une attaque chimique à partir d'un acide ou d'une base. Le procédé de gravure sèche est un usinage à partir d'un faisceau d'ions à énergie importante ou d'un plasma.

2.1.3 L'oxydation :

L'oxydation permet de recouvrir une surface d'une couche uniforme d'oxyde. Elle est utilisée pour la fabrication de l'isolant de grille des transistor MOS, des champs d'oxyde épais séparants les dispositifs et des diélectriques des condensateurs. Elle est réalisée en plaçant le circuit dans une atmosphère oxydante humide à température élevée ou dans une atmosphère pure en oxygène. L'oxydation consomme du silicium et sa croissance se fait dans les deux sens verticaux. Toutefois, pour des raisons de commodités, au niveau des schémas, nous représenterons cette croissance uniquement vers le haut.

2.1.4 Le dépôt :

Le dépôt de silicium est réalisé par voie chimique en phase vapeur, alors que le dépôt métallique est effectué par évaporation sous vide ou pulvérisation cathodique.

2.1.5 Le dopage :

Le dopage par diffusion consiste à introduire localement des impuretés dans un semi-conducteur **intrinsèque** pour le transformer en semi-conducteur extrinsèque. Les impuretés se substituent ainsi à des atomes de silicium pour le rendre de type P, c'est à dire excédentaire en trous donc chargé positivement, ou de type N c'est à dire excédentaire en électrons donc chargé négativement. Si la technique de diffusion thermique est utilisée, le dopage est fourni sous forme gazeuse puis réparti localement à température élevée. Alors que si la technique de l'implantation ionique est utilisée, les impuretés sont préalablement ionisées puis accélérées pour être implantées. Par dopage, il est possible de modifier de plusieurs ordres de grandeur la conductivité d'un semi-conducteur.

2.2 Opérations élémentaires pour la fabrication des transistors CMOS

Une structure CMOS composée d'un transistor de type P et d'un transistor de type N, est la superposition de différentes zones conductrices ou isolantes, créées à partir l'application des différents procédés physiques et chimiques dans un ordre parfaitement établi :

- Une fine couche de protection d'oxyde de silicium est déposée sur un substrat de type P (*figure 2*).
- Le caisson N est diffusé (*figure 3*).
- Les anneaux de garde séparant électriquement les transistors sont implantés (*figure 4*). Ceux-ci seront par la suite reliés au potentiel électrique le plus bas du circuit.

Cette étape est suivie d'un dépôt d'oxyde épais (champ d'oxyde épais).

- Les oxydes de grille minces sont créés, suivis de l'ajustement des tensions de seuil des transistors "nativement" plus négatives que désirées ($\approx -1V$ pour le N et $\approx 0V$ pour le P) (*figure 5*).
- Les grilles de silicium polycristallin (silicium amorphe au niveau macroscopique et composé de cristaux de silicium distribués et orientés aléatoirement au niveau microscopique) sont déposées et les diffusions de type N sont implantées (*figure 6*). Ces grilles servant de masques, leur autoalignement sur la structure canal-source-drain est assuré, on minimise ainsi le recouvrement grille-drain et grille-source générateur de capacité parasite structurelle.

La prise de caisson, fortement dopée, en diminuant la résistance de contact permet de se prémunir contre le phénomène de **latch-up**.

- Les diffusions de type P sont implantées (*figure 7*).
- Les transistors de type N et P étant fabriqués, on recouvre toutes les zones actives (sources, drains et grilles) d'une couche conductrice (typiquement un composite silicium-tungstène, silicium-platine,...) pour diminuer la résistance de ces zones (quelques Ω/q). C'est l'étape de silicidation (*figure 8*).
- Un premier niveau d'interconnexion (aluminium ou cuivre) est réalisé après isolation par une couche d'oxyde épais (quelques $0,1\mu m$). Eventuellement les autres niveaux d'interconnexion métalliques sont ensuite successivement réalisés (*figure 9*).
- L'étape final de passivation complète du circuit est effectuée. Cette couche de protection est ensuite ouverte pour réaliser les connexions avec l'extérieur (c'est le "packaging").

Le jeu complet de masques nécessaire à l'enchaînement de toutes les séquences de la fabrication d'un circuit intégré est appelé "le layout".

2.3 Les autres filières technologiques

2.3.1 La filière à double caissons :

Les transistors P et N sont placés dans des caissons différents (*figure 10*). Cette séparation physique des dispositifs facilite l'optimisation séparée des paramètres électriques des transistors (tension de seuil, effet de substrat,). La mise en œuvre de cette technologie nécessite la mise en place d'une zone épitaxiée sur le substrat. L'épitaxie consistant à faire croître une couche de silicium dont on contrôle parfaitement l'épaisseur et le dopage sur un matériau de même nature. Nécessitant plus d'étapes de

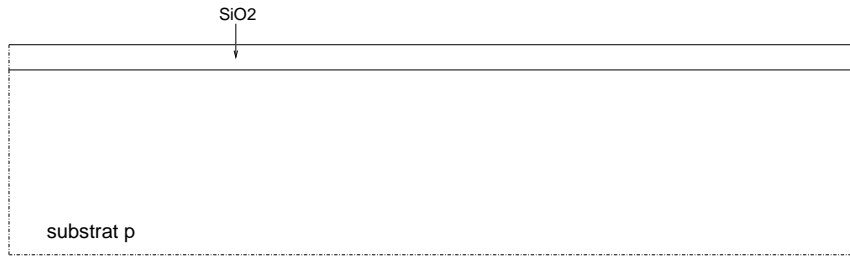


FIGURE 2 –
Oxydation

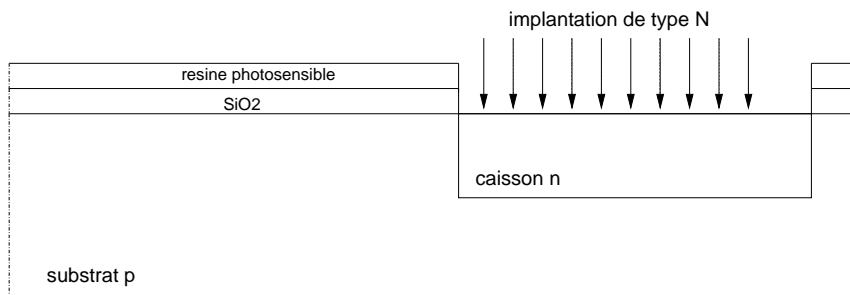


FIGURE 3 –
Implantation du caisson N

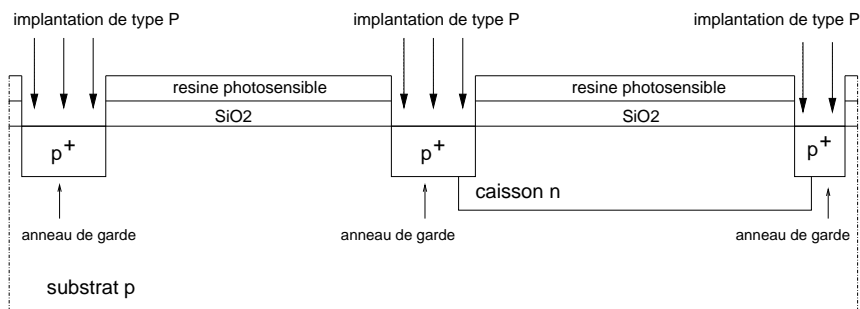


FIGURE 4 –
Fabrication des anneaux de garde et champ d'oxyde épais

fabrication que la filière classique CMOS, la filière à double caisson est plus onéreuse.

2.3.2 La filière S.O.I. :

Les transistors P et N sont électriquement complètement séparés du substrat par un isolant (*figure 11*). La filière S.O.I. possède intrinsèquement plusieurs avantages sur les autres filières CMOS. Elle est essentiellement caractérisée par une plus grande densité d'intégration, pas de problème de latch-up, une plus grande rapidité du fait de la diminution des capacités parasites et une grande immunité aux bruits de substrat. Ses coûts de production ne cessant de diminuer, il est possible que cette filière technologique supplante les filières CMOS standards dans la plupart des circuits intégrés comportant des fonctions analogiques hautes fréquences.

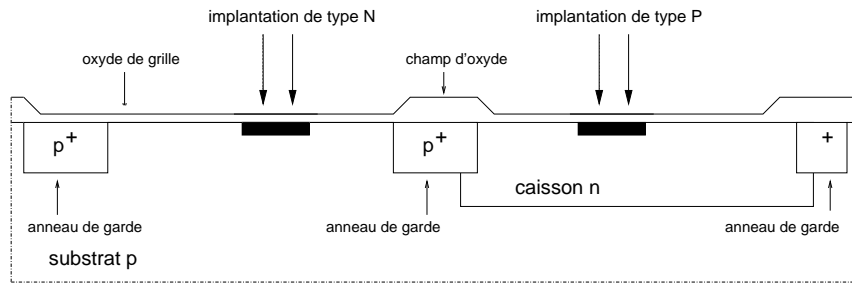


FIGURE 5 –

Fabrication des oxydes de grille et implantation des canaux

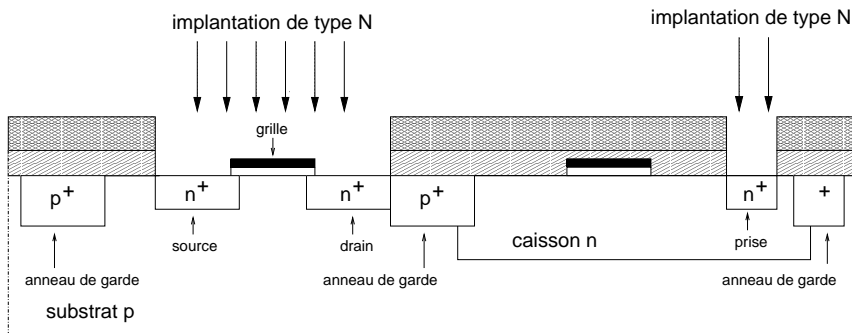


FIGURE 6 –

Fabrication des grilles polycristallines et des diffusions N

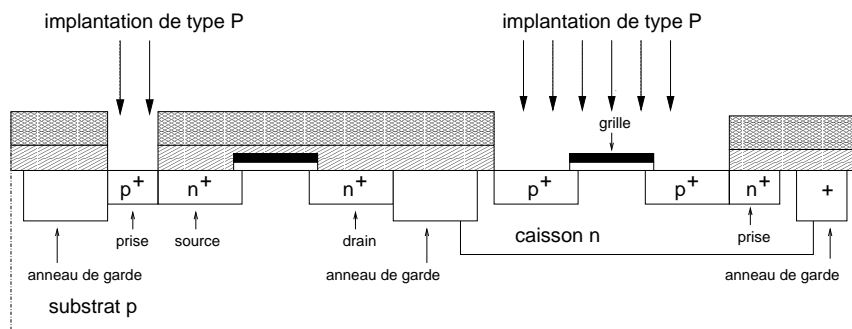


FIGURE 7 –

Diffusions P

2.4 Principaux défauts de conception

2.4.1 Le biais systématique de fabrication :

Pour un même lot de fabrication, on peut observer un biais systématique de fabrication, c'est à dire une différence systématique entre la cote physique et la cote dessinée fixant la valeur d'un composant, du fait des défauts inévitables de centrage des différents masques, des réglages des machines, conditions de mise en œuvre des différents procédés,

...

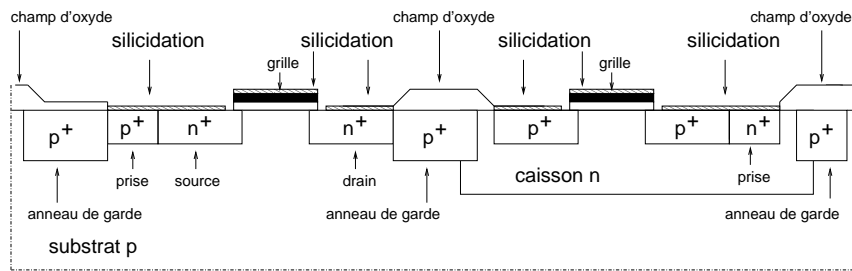


FIGURE 8 –
Silicidation

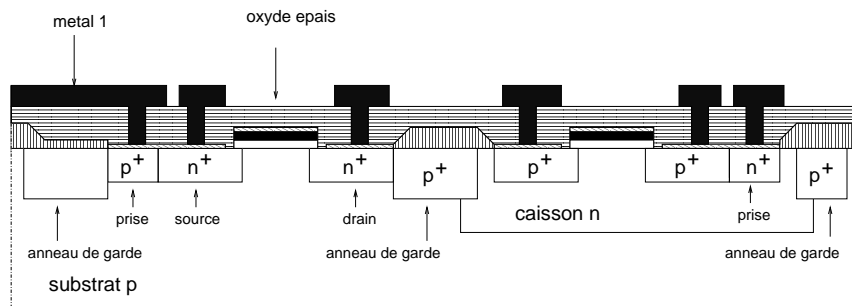


FIGURE 9 –
Premier niveau d'interconnexion

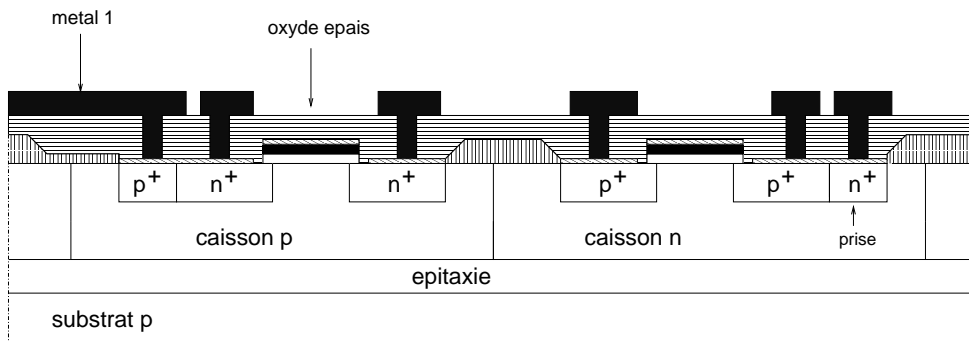


FIGURE 10 –
Transistors MOS double caisson

2.4.2 Erreur par excès de débordement des zones diffusées :

Du point de vue électrique la distance à considérer pour le fonctionnement d'un dispositif est la distance effective D' , différente de la distance dessinée D du concepteur ($D' > D$), du fait du débordement de la zone diffusée (*figure 12*) .

2.4.3 Erreur par défaut de gravure :

Lors de la gravure chimique ou ionique d'une zone active une erreur de gravure réduisant la cote dessinée est générée (*figure 13*). Cette erreur systématique de conception est appelée "erreur de gravure par défaut".

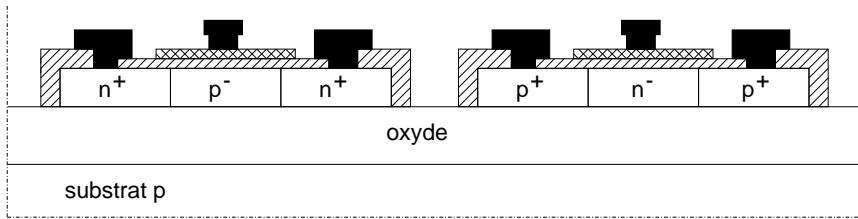


FIGURE 11 –

Transistors MOS SOI

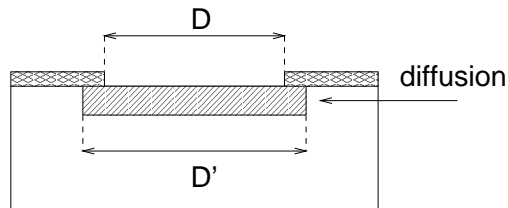


FIGURE 12 –

L'erreur de débordement de diffusion

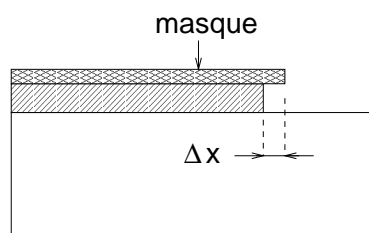


FIGURE 13 –

L'erreur par défaut de gravure

2.4.4 Effet de bec d'oiseau :

Ce défaut affecte les [transistors MOS](#). En effet, pour la détermination de la largeur effective de grille, on doit considérer une erreur, connue sous le terme "effet de bec d'oiseau" due à une déformation latérale de la surface active au niveau de la transition entre l'oxyde mince de grille et l'oxyde épais localisé (*figure 14*).

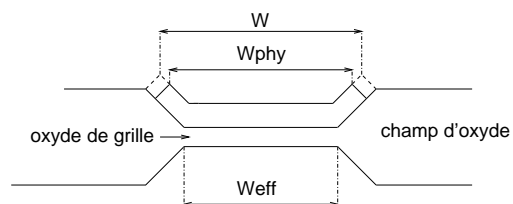


FIGURE 14 –

L'effet de bec d'oiseau

2.5 Règles de dessin des masques

Lors du dessin des différents masques d'un circuit intégré, en plus des cotes du motif à réaliser, on doit considérer un certain nombre de règles dimensionnelles, spécifiques d'une filière technologique, qui prennent en compte ses limites en termes de précision sur la superposition des différents masques, des incompatibilités technologiques, de la résolution finie de la lithographie et de la gravure, Cet ensemble de règles constitue les "règles de dessin" de la filière et sert de lien entre la conception de circuit et le processus technologique. Pouvant être très nombreuses (plusieurs centaines), elles peuvent être scindées en quatre groupes distincts [4].

1. règles de largeur minimum :

Les largeurs et les longueurs minimums des motifs dessinés doivent être supérieures à une valeur donnée.

2. règle de l'espacement minimum :

Les motifs dessinés sur un même masque ou des masques différents doivent être séparés par un espacement minimum. Ces règles évitent principalement que deux "lignes" d'un même matériau ne puisse être confondues (court-circuit) et que deux "lignes" de matériaux différents ne se recouvrent intempestivement.

3. règles de l'entourage minimum :

Lorsqu'il est prévu qu'un motif soit inséré l'intérieur d'un autre motif sur un masque différent, les règles de l'entourage minimum garantissent cette insertion quelques soient les tolérances de centrage des masques.

4. règles de l'extension minimum :

Ces règles sont les duales des précédentes. Elles garantissent que comme prévu, un motif reste sous un autre motif indépendamment des variations dimensionnelles.

3 Techniques élémentaires de dessin des masques analogiques

La prise en compte de l'aspect statistique de la conception analogique implique, autant que faire ce peut, le respect des contraintes d'appariement entre composants. Pour ce faire, ces composants doit impérativement répondre à un certain nombre de règles élémentaires de conception qui doivent être prises en compte par le concepteur lors de la phase de dimensionnement des dispositifs analogiques qui sont pour mémoire :

- même forme et même dimension
- distance minimum
- même orientation
- géométrie commune centrée
- mêmes effets de bord (même environnement)
- même température
- dimensions non minimum.

Ces règles de conception peuvent facilement être respectées à partir de techniques élémentaires de dessin des masques analogiques [2].

3.1 Le fractionnement

La plupart du temps, les composants analogiques, transistors, résistances et condensateurs peuvent être fractionnés en modules élémentaires de même forme et de même

dimension interconnectables, on forme un "empilage". Ce faisant, on peut contrôler principalement le facteur de forme du dispositif, la précision sur l'appariement, et appliquer les autres techniques de dessin de masque.

3.2 L'interdigitation

L'interdigitation (*figure 15*), favorise l'appariement entre deux dispositifs en assurant une bonne compensation des variations linéaires le long du substrat des caractéristiques technologiques. La disposition symétrique des modules symétrise et minimise l'influence de la connectique. Appliquée au transistor MOS elle diminue par fusion l'influence des **capacités parasites de jonction**.

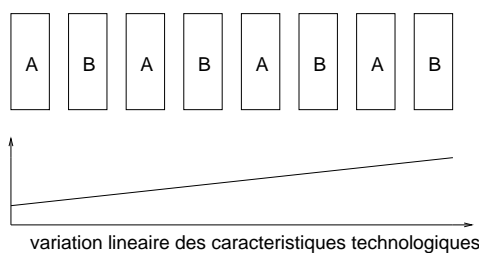


FIGURE 15 –

Interdigitation de deux dispositifs

3.3 Le centrage géométrique

Le centrage géométrique (*figure 16*) assure la compensation complète des variations linéaires des caractéristiques technologiques. Les dispositifs sont dits "à centre géométrique commun".

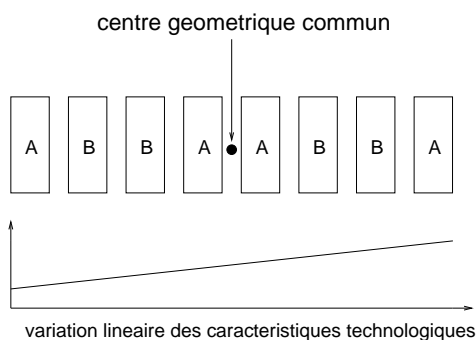


FIGURE 16 –

Centrage géométrique de deux dispositifs

Lorsque l'appariement doit être réalisé sur de nombreux composants, le facteur de forme peut être très différent de l'unité. Le centrage géométrique est alors réalisé sur deux dimensions comme le montre l'exemple de la *figure 17*.

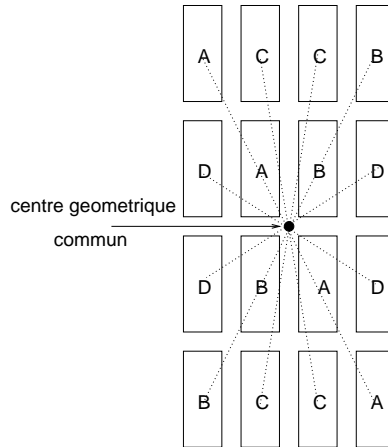


FIGURE 17 –

*Centrage géométrique
de plusieurs dispositifs*

3.4 La compensation environnementale

En pratique, on observe que pour une même durée de l'application d'un processus (par exemple une diffusion), deux points de la surface du circuit qui n'ont pas le même environnement physique auront propriétés électriques différentes (par exemple la concentration en atomes dopants). Afin de compenser cet effet, les empilages de modules sont terminés par des modules factices, électriquement neutres, assurant un même environnement physique du dispositif (*figure 18*).

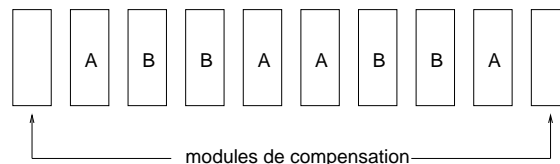


FIGURE 18 –

*Compensation environnementale
d'un empilage de modules élémentaires*

3.5 La compensation thermique

Considérons un dispositif qui produit une température élevée, par exemple le transistor de sortie d'un amplificateur de puissance, deux composants à des distances différentes de la source de chaleur auront des caractéristiques électriques différentes et seront donc affectés d'une erreur d'appariement s'ils ne sont pas traversés par le même nombre d'isothermes (*figure 19*).

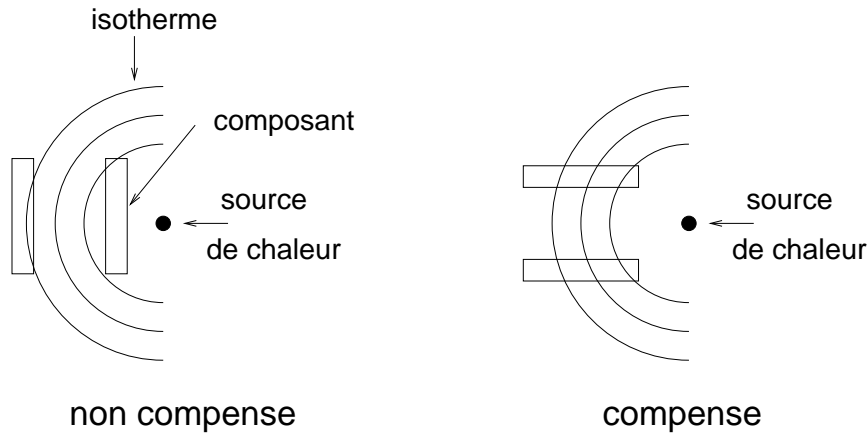


FIGURE 19 –

Compensation en température de deux dispositifs

4 Quelques règles élémentaires essentielles de conception

4.1 Le phénomène de latch-up

Un transistor bipolaire est un dispositif constitué de deux jonctions tête bêche, l'empilage (NP,PN) formant un transistor NPN et l'empilage (PN,NP) formant un transistor PNP. Si nous considérons le transistor NPN (collecteur-base-émetteur), il est conducteur si la jonction base-émetteur est passante ($V_{BE} \approx 0,6V$) et si la jonction collecteur-base est en polarisation inverse. Dans ce cas un courant, d'autant plus important que la base est fine, traverse le dispositif dans le sens collecteur vers émetteur. Le fonctionnement du dispositif PNP se déduit du NPN par dualité.

Structurellement, une paire de transistors MOS constitue un dispositif quasi-bipolaire dans le sens où elle présente un empilage de plusieurs jonctions, et l'examen de la *figure 20* révèle l'existence de deux transistors parasites tels que la base du NPN est reliée au collecteur du PNP et que la base du PNP est reliée au collecteur du NPN.

Supposons qu'un courant soit injecté au nœud $B1C2$, du fait de l'existence de la résistance de substrat R_{subst} il peut y avoir génération d'un courant de collecteur dans le transistor NPN qui lui-même par l'intermédiaire de la résistance de caisson $R_{caisson}$ peut créer un courant de collecteur dans le transistor PNP, qui lui-même ... etc.. . Si certaines conditions sont réunies, en fait si le gain de boucle des deux bipolaires qui sont en réaction positive et supérieur à l'unité, il y a emballement du phénomène et mise en court-circuit de la paire CMOS. C'est le phénomène de latch-up. L'initialisation du phénomène peut avoir des causes variées, courant naturel de substrat, déplacement de charges dans le caisson provenant de la commutation des transistors, ... , ainsi, le latch-up doit être impérativement évité. Pour ce faire, on fait en sorte que le gain de boucle soit inférieur à l'unité, typiquement en plaçant des prises de caisson et de substrat, qui par l'ajout d'une autre jonction modifie le fonctionnement des transistors bipolaires en abaissant leur gain par diminution de la concentration en porteurs des émetteurs, en jouant sur les dopages pour diminuer les résistances de caisson et de substrat,

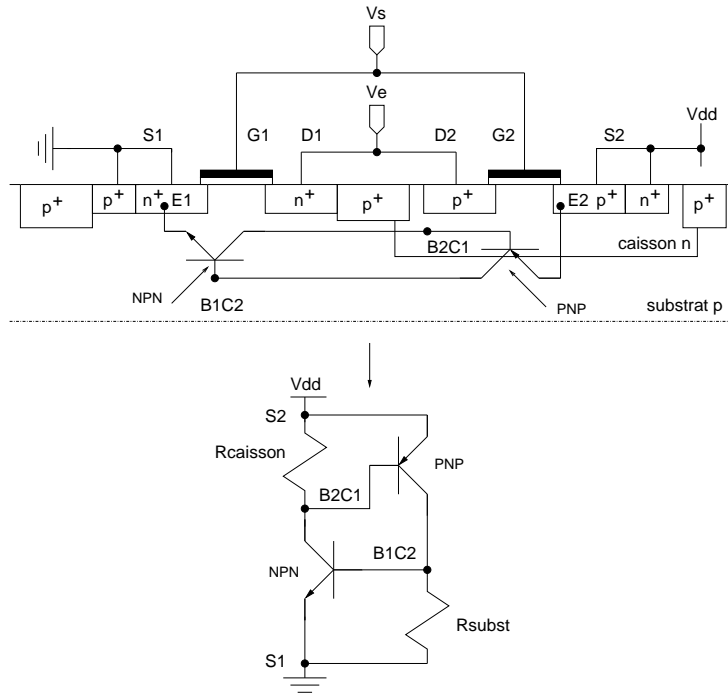


FIGURE 20 –

Le phénomène latch-up

4.2 L'effet d'antenne

Lors de la gravure d'une grande surface d'une zone conductrice, cette zone agit comme une antenne, puisqu'en collectant une grande quantité d'ions elle peut atteindre un potentiel électrostatique important susceptible d'endommager l'oxyde de grille des transistors MOS. Ainsi, une règle élémentaire de conception consiste à introduire des discontinuités de matériau dans les grilles des transistors MOS concernés. (*figure 21*)

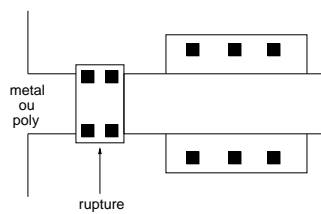


FIGURE 21 –

L'effet d'antenne

Références

- [1] M. CAND, E. DEMOULIN, J.L. LARDY, and P. SENN. *"Conception des circuits intégrés MOS"*. Eyrolles, 1986.
- [2] A. HASTING. *"The art of analog layout"*. Prentice Hall, 2001.
- [3] B. RAZAVI. *"Design of analog CMOS integrated circuits"*. McGraw-Hill Book Company, 2000.
- [4] N.H.E. WESTE and K. ESHRAGHIAN. *"Principles of CMOS VLSI design :a systems perspective"*. Addison-wesley publishing compagny, 1988.