

TP1 : Modélisation Comportementale VHDL

Data-Flow

1. Objectifs
2. A) Modélisation zero-delay
3. B) Définition des stimuli
4. C) Simulation logique (zero-delay)
5. D) Simulation logico-temporelle
6. Compte-Rendu

Objectifs

Le but de cette séance est de modéliser en VHDL, puis de simuler un petit circuit très simple : un additionneur accumulateur que nous appellerons *addaccu*.

Vous pouvez obtenir la spécification fonctionnelle de ce circuit [en cliquant ici](#).

L'outil de simulation utilisé aujourd'hui est le compilateur/simulateur VHDL **asimut**, qui fait partie de la chaîne de CAO *ALLIANCE* développée au laboratoire LIP6.

Vous pouvez obtenir des informations détaillées sur n'importe quel outil de la chaîne *ALLIANCE* en tapant la commande :

```
> man asimut
```

Pour utiliser cette commande, il faut définir le chemin d'accès aux fichiers *man* dans la variable d'environnement UNIX MANPATH. En bash il faut lancer la commande:

```
> export MANPATH=$MANPATH:/asim/alliance/man
```

Le déroulement de ce premier TP comporte trois étapes: Modélisation comportementale du circuit *adaccu*, description des stimuli en entrée et des résultats attendus en sortie, et simulation effective avec le simulateur **asimut**.

Commencez par créer un répertoire de travail *tp1* pour archiver les fichiers de ce TP.

A) Modélisation zero-delay

Le simulateur **asimut** n'accepte qu'un sous-ensemble du langage VHDL, en particulier pour la description comportementale, qui ne doit contenir que des "assignations concurrentes", ce qui correspond au style *data-flow*.

Ces assignations peuvent contenir des informations temporelles :

```
c <= a AND b AFTER 300ps;
```

Puisque la sémantique du langage VHDL repose sur les *événements*, l'assignation ci-dessus signifie qu'un événement (c'est à dire un changement de valeur à une date *t*) sur le signal *a* ou sur le signal *b* peut entraîner un événement sur le signal *c* à la date *t* + 300 ps. La construction AFTER peut être omise, ce qui correspond à un temps de propagation nul.

Une description comportementale qui ne contient pas de constructions AFTER est une description dite "zero-delay": on considère que tous les temps de propagation sont négligeables par rapport au temps de cycle. C'est donc une description où on cherche à valider la fonctionnalité logique, mais où on ne cherche pas à simuler les performances temporelles.

Ecrire une description comportementale "zero-delay" pour le composant *addaccu*.

Le fichier comportera l'extension ".vbe" qui est l'extension usuelle pour indiquer un fichier VHDL comportemental de type data-flow (.vbe pour Vhdl BEhaviour).

Vous pouvez obtenir des indications sur la syntaxe du format .vbe en tapant la commande

```
>man vbe
```

Vous pourrez vérifier que votre fichier *addaccu.vbe* est syntaxiquement correct en utilisant l'outil **asimut** pour compiler ce fichier sans lancer la simulation.

```
>asimut -b -c addaccu
```

- l'option -b indique qu'il s'agit d'une description purement comportementale (extension .vbe), car **asimut** accepte également en entrée des descriptions structurelle (dans ce cas le fichier possède l'extension .vst).
- l'option -c permet de compiler sans simuler.

Comme tous les outils de la chaîne ALLIANCE, **asimut** utilise des variables d'environnement UNIX, qui permettent de paramétrer le simulateur. La signification des 8 variables d'environnement utilisées par **asimut** est à découvrir dans la page man de l'outil **asimut**. Vous pouvez consulter la valeur courante de ces variables en tapant la commande

```
>echo $VH_MAXERR
```

Vous pouvez modifier ces variables d'environnement en utilisant la commande suivante:

```
>export VH_MAXERR=10
```

Votre description est syntaxiquement correcte lorsque vous n'obtenez plus aucun message d'erreur.

B) Définition des stimuli

Lorsque la description comportementale du composant *addaccu* compile sans erreurs, il faut écrire le fichier décrivant les stimuli qui vont être appliqués sur les entrées du circuit. Ce fichier permet également de déclarer quels signaux on souhaite observer : les signaux observés peuvent être soit des sorties du circuits, soit des signaux internes.

Le format du fichier de stimuli accepté par *asimut* est défini dans la page man du format .pat :

```
>man pat
```

Ce fichier *stimuli.pat* doit en particulier décrire le signal d'horloge. On choisira un signal périodique de période 10 ns, et de rapport cyclique 50% (cela signifie que l'état bas et l'état haut ont des durées égales).

Vous trouverez ci-dessous un exemple de fichier *stimuli.pat*

```
-- controled inputs :
```

```

in      a (3 downto 0)          X;;;
in      b (3 downto 0)          X;;;
in      sel                     B;;;
in      ck                      B;;;
in      vdd                     B;;;
in      vss                     B;;;

-- observed outputs & internal signals :

register addaccu,accu (3 downto 0)  X spy;;;
out      s (3 downto 0)           X spy;;;

begin

-- Pattern description :

--
--      a  b  s  c  v  v  a  s
--      e  k  d  s  c
--      l  d  s  c
--      u

< 0  ns>      : 0  0  0  0  1  0  ?*  ?* ;
< +5 ns>      : 0  0  0  1  1  0  ?*  ?* ;

< +5 ns>      : 0  1  0  0  1  0  ?*  ?* ;
< +5 ns>      : 0  1  0  1  1  0  ?*  ?* ;

< +5 ns>      : 0  2  0  0  1  0  ?*  ?* ;
< +5 ns>      : 0  2  0  1  1  0  ?*  ?* ;

< +5 ns>      : 0  5  0  0  1  0  ?*  ?* ;
< +5 ns>      : 0  5  0  1  1  0  ?*  ?* ;

< +5 ns>      : 0  1  1  0  1  0  ?*  ?* ;
< +5 ns>      : 0  1  1  1  1  0  ?*  ?* ;

< +5 ns>      : 0  1  1  0  1  0  ?*  ?* ;
< +5 ns>      : 0  1  1  1  1  0  ?*  ?* ;

end;

```

On utilise l'attribut *spy* pour les signaux qu'on souhaite observer. Les signaux internes sont désignés par la notation *composant.signal*

Attention : Comme les registres internes au composant *addaccu* sont des bascules à échantillonnage sur front montant, les signaux d'entrée ne doivent pas changer de valeur lorsque le signal d'horloge passe de 0 à 1.

Vous pouvez vérifier le chronogramme défini par votre fichier *stimuli.pat*, en utilisant l'outil de visualisation graphique **xpat**:

```
>xpat -l stimuli
```

C) Simulation logique (zero-delay)

Vous pouvez maintenant lancer la simulation sous **asimut**, en appliquant les stimuli définis dans le fichier *stimuli.pat* sur la description comportementale définie dans le fichier *addaccu.vbe*:

```
>asimut -b addaccu stimuli result
```

Le dernier argument sur la ligne de commande est le nom du fichier (de format .pat), contenant - en plus des stimuli sur les entrées - les valeurs des signaux calculées par le simulateur.

D) Simulation logico-temporelle

Pour terminer ce TP, vous allez maintenant compléter la description comportementale du composant *addaccu*, en attachant des temps de propagation aux différents opérateurs combinatoires. Plus précisément, vous allez utiliser la construction AFTER pour préciser les valeurs des temps de propagation de l'additionneur et du multiplexeur.

Relancer la simulation pour les trois cas suivants :

	cas 1	cas 2	cas 3
additionneur	1.0 ns	3.0 ns	5.0 ns
multiplexeur	0.2ns	0.5 ns	1.0 ns

Comment interprêtez-vous ces résultats ?

Compte-Rendu

Vous rédigerez un compte-rendu d'une page maximum pour ce TP, et vous joindrez les deux fichiers *addaccu.vbe* et *stimuli.pat* en annexe.