

Outils deroutage et autres

graal, cougar, yagle, lvx, nero,
tas, scapin

Université Pierre et Marie Curie
Master ACSI
Outil pour la Conception VLSI

Plan

- Placementetroutagemanuel.
- outilscougar,yagle,lvx
- routageautomatiquenero

routage manuel

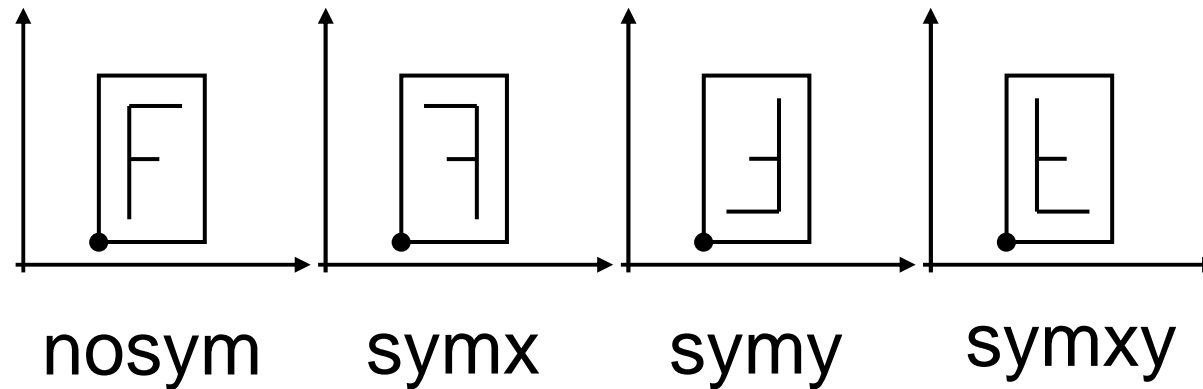
Objectif faire un placement manuel (avec Graal) de cellules de base et router ces cellules pour fabriquer une fonction complexe.

Problèmes:

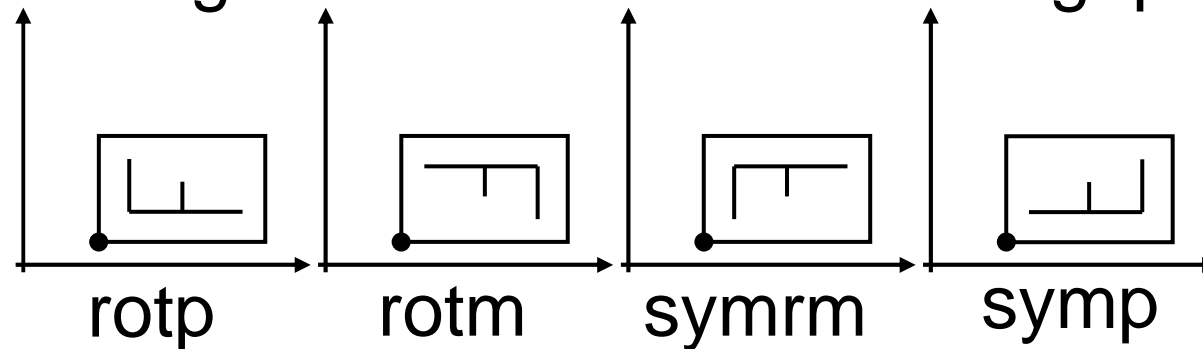
- comment instancier une cellule
- comprendre quel'on manipule des boites noires
- assurer la continuité des alimset du caisson

Transformationstopologiques

enplace



lecoinbas-gauchedel'abut-boxnebougepas

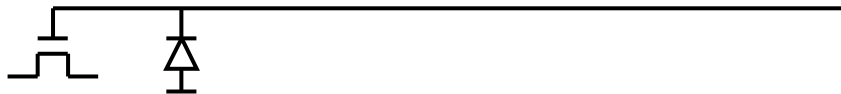


Les blocs

- Lorsqu'on instancie un bloc (ou une cellule) on n' en voit que son interface
 - son abutment box
 - ses connecteurs (CALUx)
 - ses références
 - ses obstacles internes
- La mise à plat n'est souvent pas possible surtout le circuit, mais elle est souvent indispensable par morceau.
- Lorsqu'on conçoit un bloc en plaçant/routant des cellules, il faut terminer le travail en fabriquant une abutment box et des connecteurs et éventuellement des références et des obstacles.

Cellulesdebouillage

- Lorsqu'on aboutedescellulespourfaireune fonctioncomplexe,ilfautabouterlescellulesde telle sortequelacontinuité desalimetdescaissonsest assuré.Aubesoinoncomplèteleslignesavecdes cellulesdebouillage.
 - avecdesrappelsd'alim
 - avecdesprisesdecaisson
 - avecdesdiodes !(pasici)



validation

- Valider une cellule ou un bloc signifie
 - que le dessin est sans erreur de dessin
→ **druc**
 - qu'elle se comporte électriquement et temporellement bien
→ **cougar avec les règles de dessin du fondeur**
+spice (eldo)
+tas
 - que son comportement correspond à celui attendu
→ **cougar + spice** donne des informations
→ **cougar + yagle + proof**

cougar

extracteur de netlist

- cougar prend un dessin de masque à plat ou hiérarchique et produit une netlist de cellule ou de transistors.
- grâce au fichier CATAL on peut décider de jusqu'où se fait la mise à plat

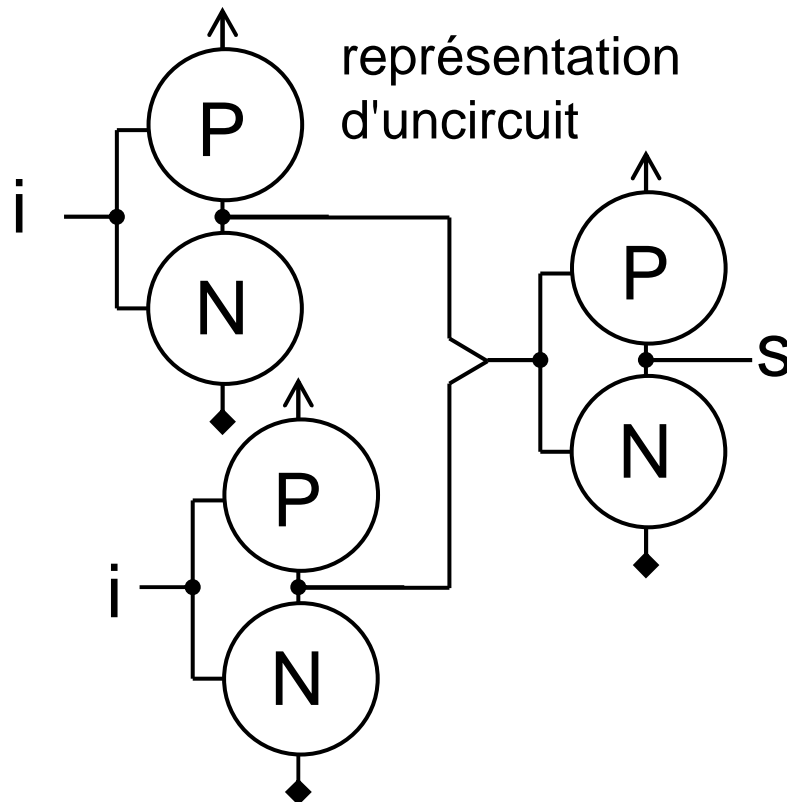
ATTENTION au fichier technodéfini par `RDS_TECHNO_NAME`

- si on veut utiliser la netlist pour une simulation temporelle, il faut utiliser une technologie réelle

yagle

abstracteur

- yagle prend un dessin en netlist de transistors et en abstraitle comportement pour produire un vhdl.
- principe général:



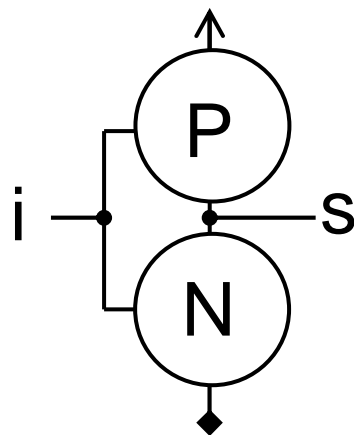
- S est à 0 si le réseau N est passant
- S est à 1 si le réseau P est passant

en CMOS:
le réseau P est le dual du réseau N
on peut ne regarder que le réseau N

yagle

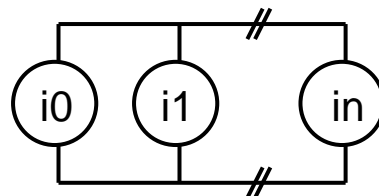
abstracteur

représentation
d'une couche logique

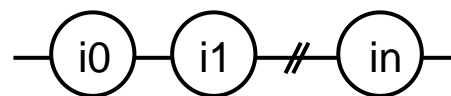


en CMOS:

- Le réseau P est le dual du réseau N.
- On peut ne regarder que le réseau N.
- On regarde les conditions qui le rendent passant
- Le réseau N est constitué de transistors en série et en parallèle.
- Pour que des transistors en série soient passants, il faut qu'ils soient tous passants → ET
- Pour que des transistors en parallèle soient passants, il faut au moins un de passants → OU



→ $i_0 \text{ OU } i_1 \text{ OU } \dots \text{ OU } i_n$



→ $i_0 \text{ ET } i_1 \text{ ET } \dots \text{ ET } i_n$

comparateur denetlist

- lvx prend deux netlists, les compare et indique les différences.
 - La première est celle avant le routage
 - la seconde est celle obtenue par cougar
- Si les deux sont égales, c'est qu'il n'y a pas eu de problème lors du routage (net oublié, ou court-circuit)
- Indispensable mais difficile à déboguer
- Pour que deux netlists soient égales, il faut qu'elles aient la même interface, les mêmes instances et les mêmes signaux (connectés pareils).

nero

routeurdecellules

- nero est un routeur qui prend en entrée une liste de cellules et un bloc de cellules.
- Il prend en entrée:
 - la liste de cellules
 - le placement des cellules (éventuellement pré-routé)
 - les contraintes (nombre de couches de méta et effet)
- Il rend le bloc routé.

nero

routeurdecellules

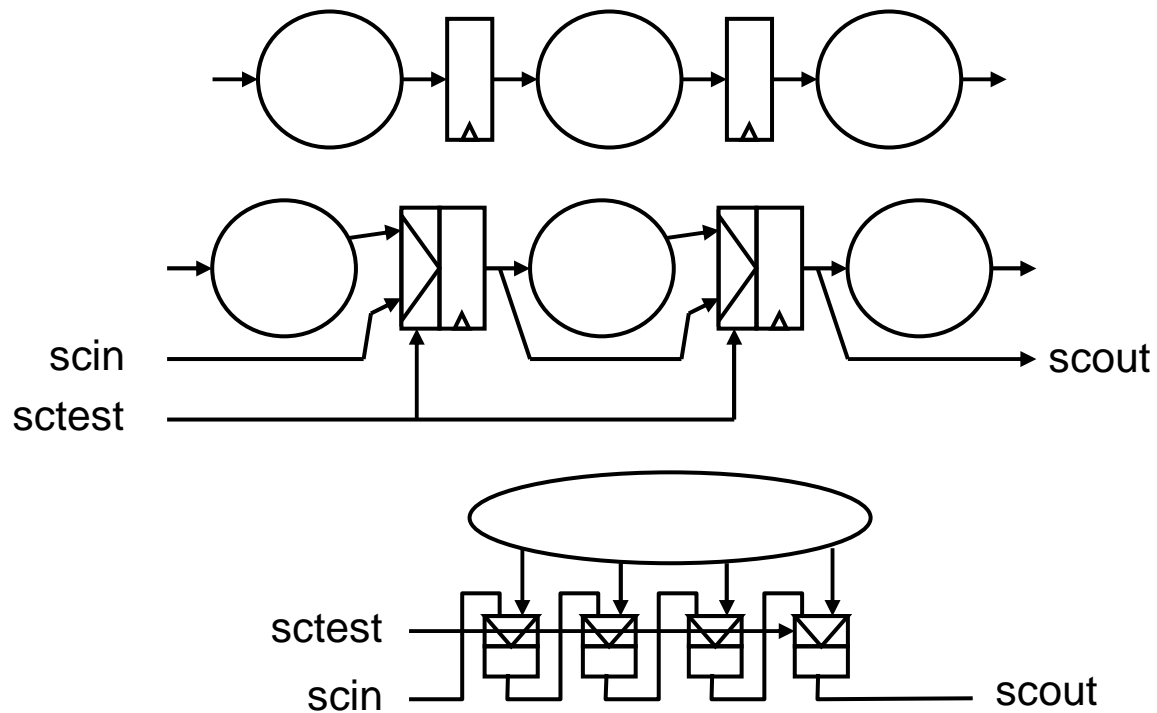
- Neroutiliseunalgorithmeeavecunback-track.
- Ilclasselesnetsà routerpartaille(+grandsd'abord).
- Ilroutechaquenetl'unaprèsl'autreaupluscourt,mais
enrespectantdescontraintesdedensité.
- S'ilneparvientpasà trouverdesolutionpourleroutage
d'unnet.Irevientenarrièreendétruisant
progressivementlesnetsqu'ilaroutésenlesroutant
différemment.
- Ils'arrêtequandilaréussià toutrouter.

tas(Avertec)

- Analyse temporelle statique qui permet de connaître la chaîne longue ans simulation
- tas prend une liste de transistors + résistances + capacités aux dimensions réelles.
- tas rend une liste ordonnée des chaînes longues.
 - attention certaines peuvent ne pas être fonctionnelles c'est-à-dire qu'elles ne sont pas sollicitées lors du fonctionnement normal du circuit.

scapin

- ajout d'un chemin de test
- chaînage de toutes les bascules du circuit pour former un grand registre à décalage.



chemindetestsurl'am2901

- appelle des capin apres la synthèsesurla partieco ntrôle
- utilisation de basculeDPGENavec chemindetest
- connexion des chemins detest contrôle etDP dans core
- ajout des plots detest et connexion avec le core