

**EXERCICE I (10- points)**

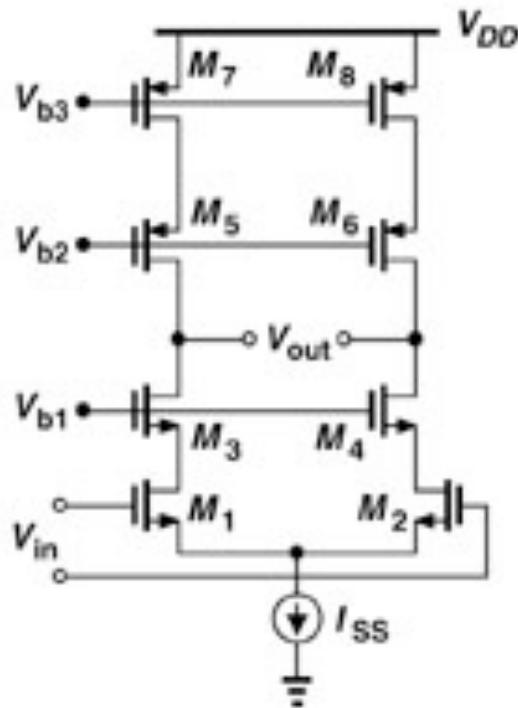


Figure 1

Dans le schéma de la Figure 1, on supposera que tous les transistors fonctionnent dans le régime saturé et qu'ils ont tous la même tension effective de grille,  $V_{EG} = V_{GS} - V_{TH} = 0.2V$ . Le courant de polarisation,  $I_{SS} = 150\mu A$ . Nous allons supposer que la capacité totale au nœud de sortie est égale à :  $C_{out1} = C_{out2} = 0.5 pF$ ,  $V_{DD} = 3V$ .

**(I.1)** Calculer le gain petit signal de cet amplificateur.

**(I.2)** En considérant uniquement le pôle dû au nœud de sortie, trouver la fréquence en rad/sec et en Hz de ce pôle.

**(I.3)** Trouver la fréquence de gain unitaire de cet amplificateur.

**(I.4)** Cet amplificateur est utilisé dans une boucle de contre-réaction avec un gain unitaire (unity-gain feedback loop), calculer la marge de phase ?

Tracer un diagramme de Bode approximatif de ce système (amplitude et phase).

**(I.5)** Si nous voulons obtenir une fréquence de gain unitaire de 450 MHz. Quel doit-être la tension effective de grille des transistors ?

## EXERCICE II (10 points)

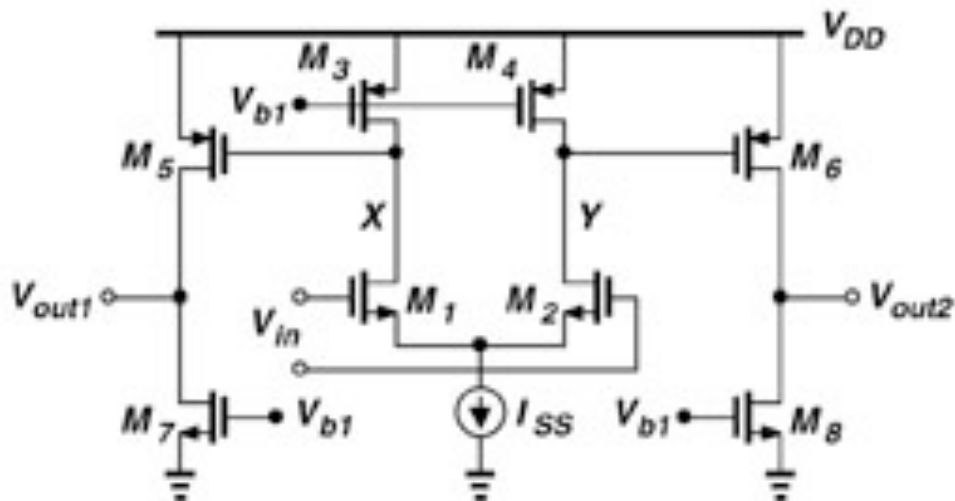


Figure 2

Dans le schéma de la Figure 2. On supposera que tous les transistors fonctionnent dans le régime saturé et qu'ils ont tous la même tension effective de grille,  $V_{EG} = V_{GS} - V_{TH} = 0.2 V$ . Le courant de polarisation du 1<sup>er</sup> étage,  $I_{SS} = 20 \mu A$ , et le courant de polarisation du 2<sup>ème</sup> étage est égal à  $200 \mu A$ . Nous allons supposer que les capacités totales aux nœuds de sorties du 2<sup>ème</sup> étage sont égales à  $C_{out1} = C_{out2} = 0.5 pF$ . La longueur de tous les transistors est égale à  $1 \mu m$ . Les nœuds X, Y, Vout1, Vout2 sont polarisés à  $V_{DD}/2$ .

**(II.1)** Calculer le gain petit signal de cet amplificateur 2-étages.

**(II.2)** En supposant que les capacités aux nœuds de sortie du 1er étage sont dues aux capacités parasites  $C_{GS}$  de M5 et M6, calculer les capacités  $C_X$  et  $C_Y$ .

**(II.3)** Trouver les fréquences en rad/sec et en Hz des pôles dus aux nœuds Y et  $V_{out}$ .

**(II.4)** Cet amplificateur est utilisé dans une boucle de contre-réaction avec un gain unitaire (unity-gain feedback loop), calculer la marge de phase ?

Tracer un diagramme de Bode approximatif de ce système (amplitude et phase).

**(II.5)** Est-ce que cette marge de phase est suffisante ?

Proposer une technique pour améliorer la marge de phase.

Décrivez à l'aide d'un diagramme de Bode approximatif l'effet de cette technique sur la réponse en fréquence de l'amplificateur.

**Table 2.1** Level 1 SPICE Models for NMOS and PMOS Devices.

---

NMOS Model			
LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = 9e+14	LD = 0.08e-6	UO = 350	LAMBDA = 0.1
TOX = 9e-9	PB = 0.9	CJ = 0.56e-3	CJSW = 0.35e-11
MJ = 0.45	MJSW = 0.2	CGDO = 0.4e-9	JS = 1.0e-8
PMOS Model			
LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = 5e+14	LD = 0.09e-6	UO = 100	LAMBDA = 0.2
TOX = 9e-9	PB = 0.9	CJ = 0.94e-3	CJSW = 0.32e-11
MJ = 0.5	MJSW = 0.3	CGDO = 0.3e-9	JS = 0.5e-8

---

VTO: threshold voltage with zero  $V_{SB}$  (unit: V)

GAMMA: body effect coefficient (unit:  $V^{1/2}$ )

PHI:  $2\Phi_F$  (unit: V)

TOX: gate oxide thickness (unit: m)

NSUB: substrate doping (unit:  $\text{cm}^{-3}$ )

LD: source/drain side diffusion (unit: m)

UO: channel mobility (unit:  $\text{cm}^2/\text{V}/\text{s}$ )

LAMBDA: channel-length modulation coefficient (unit:  $V^{-1}$ )

CJ: source/drain bottom-plate junction capacitance per unit area (unit:  $\text{F}/\text{m}^2$ )

CJSW: source/drain sidewall junction capacitance per unit length (unit:  $\text{F}/\text{m}$ )

PB: source/drain junction built-in potential (unit: V)

MJ: exponent in CJ equation (unitless)

MJSW: exponent in CJSW equation (unitless)

CGDO: gate-drain overlap capacitance per unit width (unit:  $\text{F}/\text{m}$ )

CGSO: gate-source overlap capacitance per unit width (unit:  $\text{F}/\text{m}$ )

JS: source/drain leakage current per unit area (unit:  $\text{A}/\text{m}^2$ )